



Hi3798M V200 Data Sheet

硬件信息

文档版本 00B01

发布日期 2016-08-04

版权所有 © 深圳市海思半导体有限公司 2016。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为总部 邮编：518129

网址： <http://www.hisilicon.com>

客户服务邮箱： support@hisilicon.com



前 言

概述

Hi3798M V200 datasheet 主要包括如下所示内容，本手册为其中高亮底纹部分。

文档编号	文档名称	文档内容描述
Hi3798M V200 Data Sheet01	基本信息	本文包含如下信息： <ul style="list-style-type: none">• 产品概述• 启动模式• 地址空间映射• 焊接工艺建议• 潮敏参数• 订购须知• 缩略语
Hi3798M V200 Data Sheet02	硬件信息	本文包含如下信息： <ul style="list-style-type: none">• 封装与管脚• 电性能参数• 原理图设计建议• PCB 设计建议• 热设计建议• 接口时序
Hi3798M V200 Data Sheet03	系统	本文包含如下信息： <ul style="list-style-type: none">• 处理器子系统• 安全子系统• 电源管理与低功耗控制• 复位• 时钟• 系统控制器• 外设控制器• 中断系统



文档编号	文档名称	文档内容描述
		<ul style="list-style-type: none">• Timer• 64bit timer• WDG• DMAC
Hi3798M V200 Data Sheet04	外围设备	本文包含如下信息： <ul style="list-style-type: none">• DDRC• FMC• MMC/SD/SDIO 控制器• ETH• GMAC• GPIO• UART• I2C• IR• KEYLED• SCI• SPI• USB2.0• USB3.0• PCIE• SATA• LSDAC
Hi3798M V200 Data Sheet05	数据流/图形图像处理/ 音视频接口	本文包含如下信息： <ul style="list-style-type: none">• TSI• 视频编码器• 视频解码器• HWC• GPU• VPSS• VDP• HDMI TX• AIAO

产品版本

与本文档相对应的产品版本如下。



产品名称	产品版本
Hi3798M	V2XX

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 软件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2016-08-04	00B01	第一次临时版本发布。



目 录

前 言.....	i
1 封装与管脚.....	1
1.1 封装.....	1
1.2 管脚描述.....	6
1.2.1 管脚类型说明.....	6
1.2.2 管脚排列表	7
1.2.3 ADAC 管脚.....	13
1.2.4 HDMI 管脚.....	13
1.2.5 PLL 管脚	15
1.2.6 FE 管脚.....	15
1.2.7 USB 管脚.....	16
1.2.8 VDAC 管脚.....	16
1.2.9 DDR 管脚	17
1.2.10 SDIO 管脚.....	21
1.2.11 EMMC 管脚	21
1.2.12 RGMII 管脚.....	22
1.2.13 GPIO 管脚.....	26
1.2.14 IR 管脚	33
1.2.15 JTAG 管脚.....	34
1.2.16 UART 管脚.....	36
1.2.17 LED 管脚.....	36
1.2.18 LSADC 管脚	37
1.2.19 NF 管脚	37
1.2.20 PMC 管脚.....	40
1.2.21 PCIE 管脚.....	41
1.2.22 SATA 管脚.....	41
1.2.23 COMB 管脚.....	42
1.2.24 SPDIF 管脚.....	43
1.2.25 STB_PWROFF 管脚.....	43
1.2.26 SYS 管脚	44



1.2.27 STANDBY 管脚.....	44
1.2.28 PG (Power and Ground) 管脚.....	45
1.3 复用寄存器概览.....	47
1.4 复用寄存器描述.....	49
1.5 软件复用管脚.....	145
1.5.1 MEM.....	145
1.5.2 SYS.....	148
1.5.3 TS.....	149
1.5.4 SIM.....	154
1.5.5 SFC.....	155
1.5.6 SPDIF.....	158
1.5.7 HDMITX.....	158
1.5.8 NET.....	159
2 电性能参数.....	164
2.1 极限工作电压.....	164
2.2 推荐工作条件.....	165
2.3 DC/AC 电气参数.....	166
2.4 上下电要求.....	170
3 原理图设计建议.....	171
3.1 小系统设计建议.....	171
3.1.1 Clocking 电路.....	171
3.1.2 复位和 Watchdog 电路.....	172
3.1.3 JTAG Debug 接口.....	172
3.1.4 Hi3798M V200 硬件初始化系统配置电路.....	173
3.1.5 DDR 电路设计.....	174
3.1.6 Flash 电路设计.....	179
3.2 电源设计建议.....	181
3.2.1 CPU/CORE/GPU 电源设计.....	182
3.2.2 IO 电源设计.....	182
3.2.3 DDR 电源设计.....	182
3.2.4 PLL 电源设计.....	183
3.2.5 Standby 电源设计.....	183
3.2.6 待机电路方案设计.....	183
3.2.7 电源 SVB/DVFS 动态调压.....	184
3.2.8 注意事项.....	185
3.3 外围接口设计建议.....	186
3.3.1 SDIO 接口设计.....	186
3.3.2 网口设计.....	187
3.3.3 SCI 接口设计.....	190



3.3.4 TSI 接口.....	191
3.3.5 TSO 接口设计.....	192
3.3.6 SPI 接口设计.....	192
3.3.7 AO 接口设计.....	193
3.3.8 USB 接口设计.....	193
3.3.9 音频 DAC 接口设计.....	194
3.3.10 音频 SPDIF 接口设计.....	194
3.3.11 视频 DAC 接口设计.....	195
3.3.12 COMBO PHY 接口设计.....	195
3.3.13 HDMI 接口设计.....	196
3.3.14 ADC 接口设计.....	197
3.3.15 Hi3798M V200 IO 新特性介绍.....	198
4 PCB 设计建议.....	4-1
4.1 层叠和布局.....	4-1
4.1.1 层叠.....	4-1
4.1.2 单板布局.....	4-2
4.1.3 Fanout 封装设计.....	4-3
4.2 小系统 PCB 设计建议.....	4-5
4.2.1 小系统电源.....	4-5
4.2.2 时钟和复位电路.....	4-5
4.2.3 DDR 信号设计.....	4-6
4.2.4 Flash 设计.....	4-7
4.3 典型外围接口 PCB 设计建议.....	4-10
4.3.1 SDIO 接口设计.....	4-10
4.3.2 网口设计.....	4-11
4.3.3 SCI 接口电路设计.....	4-12
4.3.4 TSO 接口设计.....	4-13
4.3.5 SPI 接口设计.....	4-13
4.3.6 AO 接口设计.....	4-13
4.3.7 USB 接口设计.....	4-14
4.3.8 音频 DAC 接口设计.....	4-14
4.3.9 视频 DAC 接口设计.....	4-15
4.3.10 COMBO PHY 接口设计.....	4-15
4.3.11 HDMI 接口设计.....	4-16
4.3.12 其它.....	4-16
5 热设计建议.....	5-1
5.1 工作条件.....	5-1
5.2 散热设计参考.....	5-2



5.3 电路热设计参考	5-4
5.3.1 原理图	5-4
5.3.2 PCB	5-4
6 接口时序	6-1
6.1 DDR 接口时序	6-1
6.1.1 写操作时序	6-1
6.1.2 读操作时序	6-2
6.1.3 时序参数	6-3
6.2 NANDC 接口时序	6-4
6.2.1 异步 NAND 命令周期时序	6-4
6.2.2 异步 NAND 地址周期时序	6-5
6.2.3 异步 NAND 写数据时序	6-5
6.2.4 异步 NAND 读数据时序	6-6
6.3 SFC 接口时序	6-7
6.4 同步 NAND 接口时序	6-8
6.4.1 NVDDR 接口时序	6-8
6.4.2 NVDDR2 接口时序	6-13
6.5 TSI 接口时序	6-15
6.6 TSO 接口时序	6-15
6.7 Ethernet MAC 接口时序	6-16
6.7.1 RMII 接口时序	6-16
6.7.2 RGMII 接口时序	6-18
6.7.3 MDIO 接口时序	6-19
6.8 I ² C 时序	6-20
6.9 SCI 接口时序	6-21
6.9.1 激活和冷复位接口时序	6-21
6.9.2 热复位接口时序	6-22
6.9.3 释放接口时序	6-22
6.10 SPI 接口时序	6-23
6.11 eMMC/SD/SDIO 接口时序	6-25
6.11.1 SDR 操作时序	6-25
6.11.2 EMMC DDR50 操作时序	6-26
6.11.3 eMMC HS400*操作时序	6-27



插图目录

图 1-1 芯片封装图	2
图 1-2 管脚分布图 part1 (A1~K11)	3
图 1-3 管脚分布图 part2 (L1~AA11)	4
图 1-4 管脚分布图 part3 (L12~AA21)	5
图 1-5 管脚分布图 part4 (A12~K21)	6
图 2-1 推荐上电顺序	170
图 3-1 推荐晶体连接方式及器件参数	171
图 3-2 JTAG 连接方式及标准连接器管脚定义	173
图 3-3 Hi3798M V200 与 DDR3/3L SDRAM 的一驱二 T 型拓扑结构图	175
图 3-4 Hi3798M V200 与 DDR3/3L SDRAM 的一驱二 fly-by 拓扑结构图	176
图 3-5 Hi3798M V200 DDR 差分时钟两层板一驱二 T 型设计	177
图 3-6 Hi3798M V200 DDR 差分时钟四层板一驱二 fly-by 设计	177
图 3-7 Hi3798M V200 DDR 差分时钟四层板一驱四 fly-by 设计	177
图 3-8 Hi3798M V200 DDR 两层板 AC 信号一驱二 T 型设计	178
图 3-9 Hi3798M V200 DDR3/3L 四层板单端信号一驱二 fly-by 设计	178
图 3-10 Hi3798M V200 DDR4 四层板 CS 信号一驱二 fly-by 设计	179
图 3-11 Hi3798M V200 DDR3/3L、DDR4 单端信号一驱四 fly-by 设计	179
图 3-12 DDR 电源分压网络参考设计图	183
图 3-13 Hi3798M V200 板级待机电路方案框图	184
图 3-14 电源动态调压示意图	184
图 3-15 RGMII 模式下的信号连接图	188
图 3-16 RMII 模式下的信号连接图	188
图 3-17 FE PHY 网口 LED 灯的信号连接图	190
图 3-18 PCIE_REFCLKN/P 拓扑结构图	196
图 4-1 Hi3798M V200 DDR3 2x16bit 单板两层板布局图	4-2



图 4-2 Hi3798M V200 DDR4 2x16bit 单板两层板布局图	4-3
图 4-3 Hi3798M V200 DDR4 2x16bit 单板四层板布局图	4-3
图 4-4 TFBGA-350 封装两层板 fanout	4-4
图 4-5 TFBGA-350 封装四层板 fanout	4-4
图 6-1 DDR _x _DQS 相对于 DDR _x _DQ 的写操作时序图	6-1
图 6-2 DDR _x _DQS 相对于 DDR _x _CLK(CMDADDR PHY)的写操作时序图	6-2
图 6-3 命令和地址相对于 DDR _x _CLK(CMDADDR PHY)的写操作时序图	6-2
图 6-4 DDR _n SDRAM 输出时序图	6-3
图 6-5 异步 NAND 模式命令周期时序图	6-4
图 6-6 异步 NAND 模式地址周期时序图	6-5
图 6-7 NANDC 写数据时序图	6-6
图 6-8 异步 NAND 读数据时序图	6-7
图 6-9 SFC 输入方向时序图	6-7
图 6-10 SFC 输出方向时序图	6-8
图 6-11 NVDDR 同步模式命令时序	6-9
图 6-12 NVDDR 同步模式地址时序	6-9
图 6-13 NVDDR 同步模式输出数据时序	6-10
图 6-14 NVDDR 同步模式输入数据时序	6-12
图 6-15 NVDDR2 同步模式输出数据时序	6-13
图 6-16 NVDDR2 同步模式输入数据时序	6-14
图 6-17 TSI 接口时序图	6-15
图 6-18 TSO 接口时序图	6-16
图 6-19 RMII 接口 100Mbit/s 接收时序	6-16
图 6-20 RMII 接口 100Mbit/s 发送时序	6-17
图 6-21 RMII 接口 10Mbit/s 接收时序	6-17
图 6-22 RMII 接口 10Mbit/s 发送时序	6-17
图 6-23 RMII 接口时序参数	6-17
图 6-24 RGMII 接口 1000Mbit/s 接收时序	6-18
图 6-25 RGMII 接口 1000Mbit/s 发送时序	6-18
图 6-26 MDIO 接口读时序	6-19
图 6-27 MDIO 接口写时序	6-19
图 6-28 MDIO 接口接收时序参数	6-20



图 6-31 I ² C 传输时序图	6-20
图 6-32 SCI 激活和冷复位接口时序图	6-22
图 6-33 SCI 热复位接口时序图	6-22
图 6-34 SCI 释放接口时序图	6-23
图 6-35 SPICK 时序	6-23
图 6-36 SPI 主模式下接口时序 (sph=0)	6-23
图 6-37 SPI 主模式下接口时序 (sph=1)	6-24
图 6-38 SDR 输入、输出方向时序图	6-25
图 6-39 DDR50 输入、输出方向时序图	6-26
图 6-40 HS400*输出方向时序图	6-27
图 6-41 HS400*输入方向时序图	6-27



表格目录

表 1-1 管脚 I/O 类型说明	6
表 1-2 管脚排列表	7
表 1-3 ADAC 管脚	13
表 1-4 HDMI 管脚	13
表 1-5 PLL 管脚	15
表 1-6 FE 管脚	15
表 1-7 USB 管脚	16
表 1-8 VDAC 管脚	17
表 1-9 DDR 电源和地管脚	17
表 1-10 DDR 信号管脚	18
表 1-11 SDIO 管脚	21
表 1-12 EMMC 管脚	21
表 1-13 RGMII 管脚	22
表 1-14 GPIO 管脚	26
表 1-15 IR 管脚	34
表 1-16 JTAG 管脚	34
表 1-17 UART 管脚	36
表 1-18 LED 管脚	36
表 1-19 LSADC 管脚	37
表 1-20 NF 管脚	37
表 1-21 PMC 管脚	40
表 1-22 PCIE 管脚	41
表 1-23 SATA 管脚	41
表 1-24 COMB 管脚	43
表 1-25 SPDIF 管脚	43



表 1-26 STB_PWROFF 管脚	44
表 1-27 SYS 管脚	44
表 1-28 STANDBY 管脚	44
表 1-29 VDD 管脚	45
表 1-30 DVDD_CPU 管脚	45
表 1-31 DVDD_GPU 管脚	45
表 1-32 DVDD33 管脚	46
表 1-33 DVDD3318 管脚	46
表 1-34 VSS 管脚	46
表 1-35 复用寄存器概览(复用寄存器基地址为 0xF8A2_1000)	47
表 1-36 MEM 的软件复用管脚	145
表 1-37 MEM 的软件复用管脚描述	146
表 1-38 SYS 的软件复用管脚	148
表 1-39 SYS 的软件复用管脚描述	149
表 1-40 TS 的软件复用管脚	149
表 1-41 TS 的软件复用管脚描述	150
表 1-42 SIM 的软件复用管脚	154
表 1-43 SIM 的软件复用管脚描述	154
表 1-44 SFC 的软件复用管脚	156
表 1-45 SFC 的软件复用管脚描述	156
表 1-46 SPDIF 的软件复用管脚	158
表 1-47 SPDIF 的软件复用管脚描述	158
表 1-48 HDMITX 的软件复用管脚	158
表 1-49 HDMITX 的软件复用管脚描述	159
表 1-50 NET 的软件复用管脚	159
表 1-51 NET 的软件复用管脚描述	160
表 2-1 极限工作电压参数	164
表 2-2 推荐工作条件	165
表 2-3 DC/AC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容)	166
表 2-4 DC 电气参数表 (DVDD3318_*=1.8V)	167
表 2-5 DDR3 模式下, DC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	167
表 2-6 DDR3 模式下, AC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)	168



表 2-7 AC 和 DC 电气参数表-数据线 (VDDIO_DDR =1.20V, DDR4 模式)	168
表 2-8 AC 和 DC 电气参数表-地址/命令线 (VDDIO_DDR =1.20V, DDR4 模式)	169
表 3-1 R2 阻值与芯片最大激励功率及晶体等效电阻匹配关系	171
表 3-2 JTAG Debug 接口信号	172
表 3-3 FUNC_SEL 模式说明	173
表 3-4 信号描述	173
表 3-5 DQ、DQS_P/DQS_N、DM 拓扑设计推荐	176
表 3-6 单片 SPI Flash 上下拉和匹配设计推荐	180
表 3-7 单片 Flash 上下拉和匹配设计推荐	180
表 3-8 单片 eMMC Flash DDR50 工作模式匹配设计推荐	181
表 3-9 单片 eMMC Flash HS200 单沿 200MHz 工作模式匹配设计推荐	181
表 3-10 单片 eMMC Flash HS400 双沿 100MHz 工作模式匹配设计推荐	181
表 3-11 SVB/DVFS 电路的 R/C 参数参考值	185
表 3-12 SDIO 接口匹配设计推荐	186
表 3-13 RGMII 的两种电平标准	187
表 3-14 RGMII MDCK/MDIO 接口匹配设计推荐	187
表 3-15 RGMII 接口匹配设计推荐	188
表 3-16 RMII 接口匹配设计推荐	189
表 3-17 SCI 接口匹配设计推荐	190
表 3-18 8/9 线 FBC 详细对接方式	191
表 3-19 TSI 信号拓扑设计推荐	192
表 3-20 TSO 接口匹配设计推荐	192
表 3-21 SPI 接口匹配设计推荐	193
表 3-22 I2S 接口匹配设计推荐	193
表 3-23 I2S_BCLK 两层板 PCB 设计时的两种电平标准	193
表 3-24 海思参考设计 DEMO 板版本与 ADC 电压关系	197
表 3-25 客户 Hi3798MV200 系列产品板与 ADC 电压关系	198
表 3-26 防倒灌 IO 列表	198
表 4-1 SPI Flash 接口 PCB 走线约束推荐	4-8
表 4-2 单片 ASYNC NAND Flash PCB 走线约束推荐	4-8
表 4-3 单片 SYNC NAND Flash PCB 走线约束推荐	4-9
表 4-4 单片 eMMC Flash PCB 走线约束推荐	4-9



表 4-5 SDIO 接口 PCB 走线约束推荐	4-10
表 4-6 RMII 接口各信号 PCB 走线约束推荐	4-11
表 4-7 RGMII 接口各信号 PCB 走线约束推荐	4-12
表 4-8 SCI 接口各信号 PCB 走线约束推荐	4-13
表 4-9 TSO 接口各信号 PCB 走线约束推荐	4-13
表 4-10 SPI 接口各信号 PCB 走线约束推荐	4-13
表 4-11 AO 接口各信号 PCB 走线约束推荐	4-14
表 4-12 SATA 接口各信号 PCB 走线约束推荐	4-15
表 4-13 PCIE 接口各信号 PCB 走线约束推荐	4-16
表 4-14 HDMI 接口各信号 PCB 走线约束推荐	4-16
表 5-1 四层 PCB 封装热阻参数	5-1
表 5-2 推荐工作环境参数	5-2
表 5-3 导热介质材料推荐表	5-3
表 5-4 散热器固定方式与质量关系	5-4
表 6-1 DDR3 时钟参数表	6-3
表 6-2 DDR3 SDRAM 存储器参数表 (DDR3-1866/2133)	6-3
表 6-3 异步 NAND 模式命令周期时序参数表	6-4
表 6-4 异步 NAND 模式地址周期时序参数表	6-5
表 6-5 异步 NAND 模式写数据时序参数表	6-6
表 6-6 异步 NAND 模式读数据时序参数表	6-7
表 6-7 SFC 输入方向时序参数表	6-8
表 6-8 SFC 输出方向时序参数表	6-8
表 6-9 NVDDR 模式命令地址及写操作时序参数配置范围	6-9
表 6-10 NVDDR 模式写操作时序参数配置范围	6-11
表 6-11 NVDDR 模式写操作时序参数配置范围	6-12
表 6-12 NVDDR2 输出接口时序参数表	6-13
表 6-13 NVDDR2 输入接口时序参数表	6-14
表 6-14 TSI 接口时序参数表	6-15
表 6-15 TSO 接口时序参数表	6-16
表 6-16 RMII 接口时序参数说明	6-18
表 6-17 RGMII(1000Mbit/s)接口时序参数说明	6-19
表 6-18 MDIO 接口时序参数	6-20



表 6-15 I ² C 接口时序参数表	6-20
表 6-16 SPI 接口时序参数	6-24
表 6-17 eMMC 接口时序参数	6-26



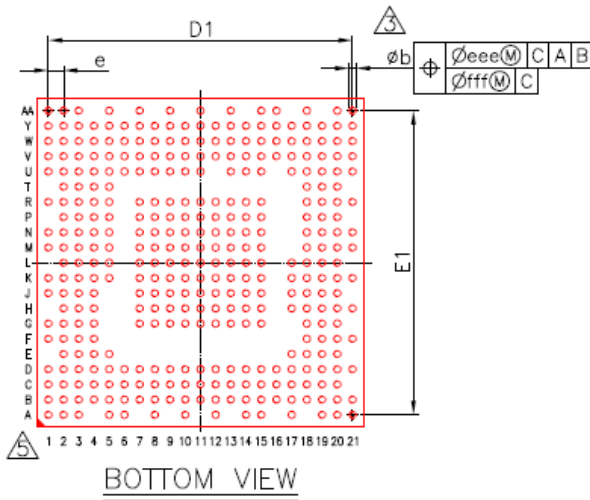
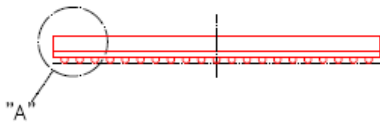
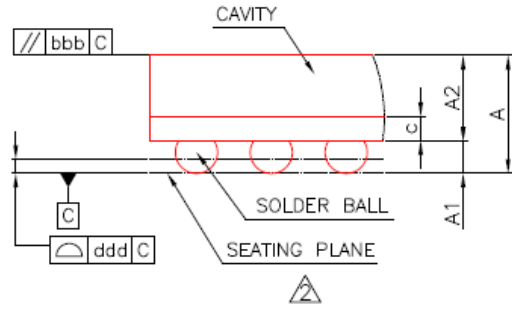
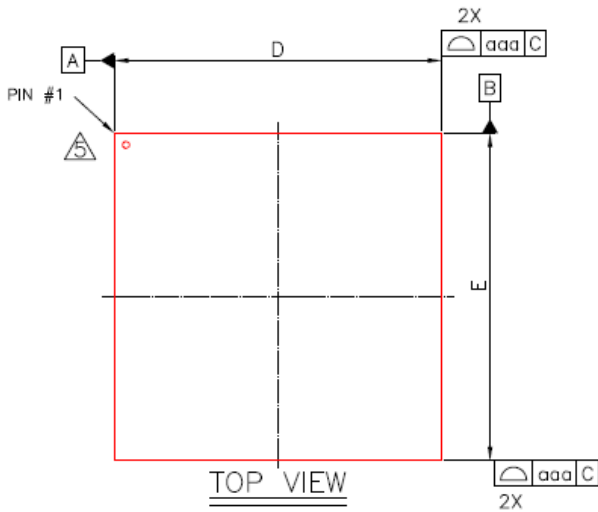
1 封装与管脚

1.1 封装

Hi3798M V200 芯片的封装形式为 TFBGA (Thin Fine BGA package)，封装尺寸为 14mm×14mm，管脚间距为 0.65mm，管脚总数为 350 个，详细封装如图 1-1 所示。



图1-1 芯片封装图



Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.10	1.17	1.24	0.043	0.046	0.049
A1	0.16	0.21	0.26	0.006	0.008	0.010
A2	0.91	0.96	1.01	0.036	0.038	0.040
c	0.22	0.26	0.30	0.009	0.010	0.012
D	13.90	14.00	14.10	0.547	0.551	0.555
E	13.90	14.00	14.10	0.547	0.551	0.555
D1	----	13.00	----	----	0.512	----
E1	----	13.00	----	----	0.512	----
e	----	0.65	----	----	0.026	----
b	0.25	0.30	0.35	0.010	0.012	0.014
aaa	0.15			0.006		
bbb	0.10			0.004		
ddd	0.08			0.003		
eee	0.15			0.006		
fff	0.08			0.003		
MD/ME	21/21					

NOTE :

1. CONTROLLING DIMENSION : MILLIMETER.
2. PRIMARY DATUM C AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
3. DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C.
4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd
5. THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY .
6. REFERENCE DOCUMENT : JEDEC PUBLICATION 95 DESIGN GUIDE 4.5

Hi3798M V200 芯片如图 1-2, 图 1-3, 图 1-4, 图 1-5 所示。



图1-2 管脚分布图 part1 (A1~K11)

Pin #1	1	2	3	4	5	6	7	8	9	10	11
A	VSS	RGMII_R XD2	RGMII_R XD0		CLKOUT_ 25M	RGMII_R ST		FE_RXP		USB0_DP	
B	RGMII_T XD2	RGMII_R XD3	RGMII_R XD1	RGMII_R XCK	DVDD331 8_SDIO0_ LD0_DEF	VSS	FE_TXN	FE_RXN	USB1_DP	USB0_DN	AVSS_HD MITX
C	RGMII_T XD0	RGMII_T XD1	RGMII_T XEN	RGMII_R XDV	RGMII_M DCK	RGMII_M DIO	FE_TXP	AVSS_FE	USB1_DN	AVSS_US B	AVSS_HD MITX
D	VSS	VSS	RGMII_T XD3	RGMII_T XCK	PMC_CP U0	USB_BO OT	AVSS_FE	AVDD33_ FE	DVDD33_ SDIO0_LD 0	AVDD33_ USB	USB01_R EXT
E		DDR_DQ2	DDR_DQ6	VSS	DVDD331 8_RGMII						
F	DDR_DQ9	DDR_DQ1 1	DDR_DQ0	DDR_DQ4							
G	DDR_DQ S0_P	DDR_DQ S0_N	VSS	VSS			DVDD_CP U	DVDD_CP U	DVDD_CP U	DVDD_CP U	VSS
H		DDR_DQ S1_P	DDR_DQ1 3	DDR_DQ1 5			DVDD_CP U	DVDD_CP U	DVDD_CP U	DVDD_CP U	VSS
J	VSS	DDR_DQ S1_N	DDR_DM0	VSS			VSS	VSS	VSS	VSS	VSS
K	DDR_DQ3	DDR_DQ1	VSS	DDR_DM1	VSS		VSS	VSS	VSS	VSS	VSS



图1-3 管脚分布图 part2 (L1~AA11)

L		DDR_DQ7	DDR_DQ8	DDR_DQ1_0	VDDIO_D DR	VSS	VSS	VSS	VSS	VSS	
M	DDR_DQ2_2	VSS	DDR_DQ5	DDR_DQ1_2	VDDIO_D DR	AVSS_DD RPLL1	VSS	VSS	VSS	VDD	
N	VSS	DDR_DQ1_8	DDR_DQ1_4	DDR_DQ2_0	VDDIO_D DR	AVDD_DD RPLL1	VSS	VSS	VSS	VDD	
P		DDR_DQ2_5	DDR_DQ2_7	DDR_DQ1_6	VSS	VSS	AVDD_DD RPLL2	VSS	VSS	VDD	
R	DDR_DQ_S2_N	DDR_DQ_S2_P	VSS	DDR_DQ2_9	VDDIO_D DR	VDDIO_CK_DDR	AVSS_DD RPLL2	VSS	VSS	VDD	
T		DDR_DQ_S3_P	DDR_DQ_S3_N	DDR_DQ3_1	VDDIO_D DR						
U	DDR_DQ2_8	VSS	DDR_DM3	DDR_DM2	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VDDIO_D DR	VSS	VDDIO_D DR	VDDIO_D DR
V	VSS	DDR_DQ3_0	DDR_DQ2_6	DDR_BA1	VSS	VSS	DDR_A6	DDR_A8	DDR_A15	DDR_BA2	DDR_A13
W	DDR_DQ2_4	VSS	DDR_DQ1_9	VSS	DDR_CKE_0	DDR_A4	DDR_A14	VSS	VSS	DDR_A2	VSS
Y	DDR_DQ1_7	DDR_DQ2_3	DDR_CLK_0_P	DDR_A12	DDR_A10	VSS	VSS	DDR_A11	DDR_WE_N	DDR_CS0_N	DDR_RESET_N
AA	VSS	DDR_DQ2_1	DDR_CLK_0_N		VSS		DDR_A1		DDR_CAS_N		DDR_A9
	1	2	3	4	5	6	7	8	9	10	11



图1-4 管脚分布图 part3 (L12~AA21)

VSS	VSS	DVDD_GP U	DVDD_GP U		AVDD33_ USB2	AVSS_US B2	USB2_DN	USB2_DP		L
VSS	VSS	DVDD_GP U	DVDD_GP U			AVDD33_ COMB	AVSS_CO MB	COMB_R XN	COMB_R XP	M
VDD	VSS	VSS	AVSS_CO MB			PCIE_RE FCLKN	AVSS_CO MB	COMB_T XP	COMB_T XN	N
VDD	VSS	VSS	AVDD_C OMB			PCIE_RE FCLKP	AVSS_CO MB	PMC_CO RE0		P
VDD	DVDD_ST ANDBY_L DO_DEC	AVSS_PL L	VSS			VSS	PMC_GP U0	NF_REC	NF_REN	R
						NF_WEN	NF_ALE	NF_CLE		T
	DDR_ZQ	AVDD_PL L	AVDD33_ PLL		DVDD331 8_EMMC	GPIO5_4	EMMC_C ARD_PO WREN	NF_DQ1	NF_DQ0	U
VSS	DDR_A7	DDR_A5	VSS	DVDD33_ STANDBY	LSADC1	LSADC0	NF_DQ7	NF_DQ3	NF_DQ2	V
DDR_A0	VSS	DDR_BA0	FUNC_SE L	GPIO5_3	UART0_R XD	VSS	NF_CSN	NF_DQ5	NF_DQ4	W
DDR_A3	VSS	DDR_RAS N	LED_KEY	IR_IN	UART0_T XD	XOUT	NF_RDY	NF_DQS	NF_DQ6	Y
	DDR_ODT 0		LED_DAT A	STB_PW ROFF		XIN		NF_DQSN	VSS	AA
12	13	14	15	16	17	18	19	20	21	



图1-5 管脚分布图 part4 (A12~K21)

12	13	14	15	16	17	18	19	20	21	
AVSS_HD MITX		HDMI_TX0 N	HDMI_TX CP		HDMITX_ SDA		NC_ADAC _FLY_P	ADAC_OU TL	VSS	A
HDMI_TX 2N	HDMI_TX1 N	HDMI_TX0 P	HDMI_TX CN	HDMITX_ CEC	HDMITX_ HOTPLU C	GPIO6_3	NC_ADAC _FLY_N	VDAC_0	GPIO6_2	B
HDMI_TX 2P	HDMI_TX1 P	AVSS_HD MITX	AVSS_HD MITX	HDMITX_ SCL	SPDIF_O UT	ADAC_OU TR	ADAC_VR EFDAC	GPIO6_0		C
AVSS_HD MITX	AVSS_HD MITX	AVDD33_ HDMITX	DVDD33	AVDD33_ ADAC	NC_ADAC _CPOUTN	VDAC_IR EF	GPIO6_1	VSS	GPIO4_6	D
					AVDD33_ VDAC	GPIO4_7	GPIO4_5	GPIO4_4		E
						DVDD331 8	GPIO4_3	GPIO4_2	GPIO4_1	F
						DVDD331 8	GPIO4_0	GPIO3_7		G
AVSS_HD MITX	AVDD_HD MITX	VSS	AVSS_AD AC							
VSS	VSS	VSS	VSS		GPIO2_6	GPIO2_7	GPIO3_6	GPIO3_5	JTAG_TD O	H
VSS	VSS	DVDD_GP U	DVDD_GP U		SATA0_L ED_N	GPIO2_5	JTAG_TC K	JTAG_TM S		J
VSS	VSS	DVDD_GP U	DVDD_GP U		DVDD33	SATA0_P WREN	JTAG_TDI	JTAG_TR STN	USB2_RE XT	K

1.2 管脚描述

1.2.1 管脚类型说明

管脚 I/O 类型说明如表 1-1 所示。

表1-1 管脚 I/O 类型说明

I/O	说明
I	输入信号。
I _{PD}	输入信号，内部下拉。
I _{PU}	输入信号，内部上拉。
O	输出信号。
I/O	双向输入/输出信号。
I _{PD} /O	双向，输入下拉。
I _{PU} /O	双向，输入上拉。



I/O	说明
CIN	Crystal Oscillator, 晶振输入。
COUT	Crystal Oscillator, 晶振输出。
P	电源。
G	地。
FS	Fail Safe

1.2.2 管脚排列表

Hi3798M V200 的管脚按位置排列如表 1-2 所示。

表1-2 管脚排列表

位置	管脚名称	位置	管脚名称
A1	VSS	L3	DDR_DQ8
A2	RGMII_RXD2	L4	DDR_DQ10
A3	RGMII_RXD0	L5	VDDIO_DDR
A5	CLKOUT_25M	L7	VSS
A6	RGMII_RST	L8	VSS
A8	FE_RXP	L9	VSS
A10	USB0_DP	L10	VSS
A12	AVSS_HDMITX	L11	VSS
A14	HDMI_TX0N	L12	VSS
A15	HDMI_TXCP	L13	VSS
A17	HDMITX_SDA	L14	DVDD_GPU
A19	NC	L15	DVDD_GPU
A20	ADAC_OUTL	L17	AVDD33_USB2
A21	VSS	L18	AVSS_USB2
AA1	VSS	L19	USB2_DN
AA2	DDR_DQ21	L20	USB2_DP
AA3	DDR_CLK_N	M1	DDR_DQ22
AA5	VSS	M2	VSS
AA7	DDR_A1	M3	DDR_DQ5



位置	管脚名称	位置	管脚名称
AA9	DDR_CAS_N	M4	DDR_DQ12
AA11	DDR_A9	M5	VDDIO_DDR
AA13	DDR_ODT	M7	AVSS_DDRPLL1
AA15	LED_DATA	M8	VSS
AA16	STB_PWROFF	M9	VSS
AA18	XIN	M10	VSS
AA20	NF_DQSN	M11	VDD
AA21	VSS	M12	VSS
B1	RGMII_TXD2	M13	VSS
B2	RGMII_RXD3	M14	DVDD_GPU
B3	RGMII_RXD1	M15	DVDD_GPU
B4	RGMII_RXCK	M18	AVDD33_COMB
B5	DVDD3318_SDIO0_LDO_DECA P	M19	AVSS_COMB
B6	VSS	M20	COMB_RXN
B7	FE_TXN	M21	COMB_RXP
B8	FE_RXN	N1	VSS
B9	USB1_DP	N2	DDR_DQ18
B10	USB0_DN	N3	DDR_DQ14
B11	AVSS_HDMITX	N4	DDR_DQ20
B12	HDMI_TX2N	N5	VDDIO_DDR
B13	HDMI_TX1N	N7	AVDD_DDRPLL1
B14	HDMI_TX0P	N8	VSS
B15	HDMI_TXCN	N9	VSS
B16	HDMITX_CEC	N10	VSS
B17	HDMITX_HOTPLUG	N11	VDD
B18	GPIO6_3	N12	VDD
B19	NC	N13	VSS
B20	VDAC_0	N14	VSS
B21	GPIO6_2	N15	AVSS_COMB
C1	RGMII_TXD0	N18	PCIE_REFCLKN



位置	管脚名称	位置	管脚名称
C2	RGMII_TXD1	N19	AVSS_COMB
C3	RGMII_TXEN	N20	COMB_TXP
C4	RGMII_RXDV	N21	COMB_TXN
C5	RGMII_MDCK	P2	DDR_DQ25
C6	RGMII_MDIO	P3	DDR_DQ27
C7	FE_TXP	P4	DDR_DQ16
C8	AVSS_FE	P5	VSS
C9	USB1_DN	P7	VSS
C10	AVSS_USB	P8	AVDD_DDRPLL2
C11	AVSS_HDMITX	P9	VSS
C12	HDMI_TX2P	P10	VSS
C13	HDMI_TX1P	P11	VDD
C14	AVSS_HDMITX	P12	VDD
C15	AVSS_HDMITX	P13	VSS
C16	HDMITX_SCL	P14	VSS
C17	SPDIF_OUT	P15	AVDD_COMB
C18	ADAC_OUTR	P18	PCIE_REFCLKP
C19	ADAC_VREFDAC	P19	AVSS_COMB
C20	GPIO6_0	P20	PMC_CORE0
D1	VSS	R1	DDR_DQS2_N
D2	VSS	R2	DDR_DQS2_P
D3	RGMII_TXD3	R3	VSS
D4	RGMII_TXCK	R4	DDR_DQ29
D5	PMC_CPU0	R5	VDDIO_DDR
D6	USB_BOOT	R7	VDDIO_CK_DDR
D7	AVSS_FE	R8	AVSS_DDRPLL2
D8	AVDD33_FE	R9	VSS
D9	DVDD33_SDIO0_LDO	R10	VSS
D10	AVDD33_USB	R11	VDD
D11	USB01_REXT	R12	VDD
D12	AVSS_HDMITX	R13	DVDD_STANDBY_LDO_DECAP



位置	管脚名称	位置	管脚名称
D13	AVSS_HDMITX	R14	AVSS_PLL
D14	AVDD33_HDMITX	R15	VSS
D15	DVDD33	R18	VSS
D16	AVDD33_ADAC	R19	PMC_GPU0
D17	NC	R20	NF_REC
D18	VDAC_IREF	R21	NF_REN
D19	GPIO6_1	T2	DDR_DQS3_P
D20	VSS	T3	DDR_DQS3_N
D21	GPIO4_6	T4	DDR_DQ31
E2	DDR_DQ2	T5	VDDIO_DDR
E3	DDR_DQ6	T18	NF_WEN
E4	VSS	T19	NF_ALE
E5	DVDD3318_RGMII	T20	NF_CLE
E17	AVDD33_VDAC	U1	DDR_DQ28
E18	GPIO4_7	U2	VSS
E19	GPIO4_5	U3	DDR_DM3
E20	GPIO4_4	U4	DDR_DM2
F1	DDR_DQ9	U5	VDDIO_DDR
F2	DDR_DQ11	U6	VDDIO_DDR
F3	DDR_DQ0	U7	VDDIO_DDR
F4	DDR_DQ4	U8	VDDIO_DDR
F18	DVDD3318	U9	VSS
F19	GPIO4_3	U10	VDDIO_DDR
F20	GPIO4_2	U11	VDDIO_DDR
F21	GPIO4_1	U13	DDR_ZQ
G1	DDR_DQS0_P	U14	AVDD_PLL
G2	DDR_DQS0_N	U15	AVDD33_PLL
G3	VSS	U17	DVDD3318_EMMC
G4	VSS	U18	GPIO5_4
G7	DVDD_CPU	U19	EMMC_CARD_POWER_EN
G8	DVDD_CPU	U20	NF_DQ1



位置	管脚名称	位置	管脚名称
G9	DVDD_CPU	U21	NF_DQ0
G10	DVDD_CPU	V1	VSS
G11	VSS	V2	DDR_DQ30
G12	AVSS_HDMITX	V3	DDR_DQ26
G13	AVDD_HDMITX	V4	DDR_BA1
G14	VSS	V5	VSS
G15	AVSS_ADAC	V6	VSS
G18	DVDD3318	V7	DDR_A6
G19	GPIO4_0	V8	DDR_A8
G20	GPIO3_7	V9	DDR_A15
H2	DDR_DQS1_P	V10	DDR_BA2
H3	DDR_DQ13	V11	DDR_A13
H4	DDR_DQ15	V12	VSS
H7	DVDD_CPU	V13	DDR_A7
H8	DVDD_CPU	V14	DDR_A5
H9	DVDD_CPU	V15	VSS
H10	DVDD_CPU	V16	DVDD33_STANDBY
H11	VSS	V17	LSADC1
H12	VSS	V18	LSADC0
H13	VSS	V19	NF_DQ7
H14	VSS	V20	NF_DQ3
H15	VSS	V21	NF_DQ2
H17	GPIO2_6	W1	DDR_DQ24
H18	GPIO2_7	W2	VSS
H19	GPIO3_6	W3	DDR_DQ19
H20	GPIO3_5	W4	VSS
H21	JTAG_TDO	W5	DDR_CKE
J1	VSS	W6	DDR_A4
J2	DDR_DQS1_N	W7	DDR_A14
J3	DDR_DM0	W8	VSS
J4	VSS	W9	VSS



位置	管脚名称	位置	管脚名称
J7	VSS	W10	DDR_A2
J8	VSS	W11	VSS
J9	VSS	W12	DDR_A0
J10	VSS	W13	VSS
J11	VSS	W14	DDR_BA0
J12	VSS	W15	FUNC_SEL
J13	VSS	W16	GPIO5_3
J14	DVDD_GPU	W17	UART0_RXD
J15	DVDD_GPU	W18	VSS
J17	SATA0_LED_N	W19	NF_CSN
J18	GPIO2_5	W20	NF_DQ5
J19	JTAG_TCK	W21	NF_DQ4
J20	JTAG_TMS	Y1	DDR_DQ17
K1	DDR_DQ3	Y2	DDR_DQ23
K2	DDR_DQ1	Y3	DDR_CLK_P
K3	VSS	Y4	DDR_A12
K4	DDR_DM1	Y5	DDR_A10
K5	VSS	Y6	VSS
K7	VSS	Y7	VSS
K8	VSS	Y8	DDR_A11
K9	VSS	Y9	DDR_WE_N
K10	VSS	Y10	DDR_CS_N
K11	VSS	Y11	DDR_RESET_N
K12	VSS	Y12	DDR_A3
K13	VSS	Y13	VSS
K14	DVDD_GPU	Y14	DDR_RAS_N
K15	DVDD_GPU	Y15	LED_KEY
K17	DVDD33	Y16	IR_IN
K18	SATA0_PWREN	Y17	UART0_TXD
K19	JTAG_TDI	Y18	XOUT
K20	JTAG_TRSTN	Y19	NF_RDY



位置	管脚名称	位置	管脚名称
K21	USB2_REXT	Y20	NF_DQS
L2	DDR_DQ7	Y21	NF_DQ6

1.2.3 ADAC 管脚

ADAC 管脚如表 1-3 所示。

表1-3 ADAC 管脚

Pin	管脚名称	类型	电压 (V)	描述
A20	ADAC_OUTL	O	3.3	音频输出接口左声道输出
C18	ADAC_OUTR	O	3.3	音频输出接口右声道输出
C19	ADAC_VREFDAC	I/O	3.3	音频输出接口参考源，外挂 2.2uF 低 ESR 陶瓷电容，电容尽量靠近芯片管脚。
D16	AVDD33_ADAC	P	3.3	ADAC 3.3V 模拟电压
G15	AVSS_ADAC	G	-	ADAC 模拟地
D17	NC	-	-	No Connect
B19	NC	-	-	No Connect
A19	NC	-	-	No Connect

1.2.4 HDMI 管脚

HDMI 管脚如表 1-4 所示。

表1-4 HDMI 管脚

Pin	管脚名称	类型	电压 (V)	描述
G13	AVDD_HDMITX	P	0.9	HDMI TX 0.9V 模拟电源
D14	AVDD33_HDMITX	P	3.3	HDMI TX 3.3V 模拟电源
A12、B11、 C11、C14、	AVSS_HDMITX	G	-	HDMITX 模拟地



Pin	管脚名称	类型	电压 (V)	描述
C15、D12、D13、G12				
A14	HDMI_TX0N	O	0.9	HDMI TX 数据通道 0 串行差分信号负极。
B14	HDMI_TX0P	O	0.9	HDMI TX 数据通道 0 串行差分信号正极。
B13	HDMI_TX1N	O	0.9	HDMI TX 数据通道 1 串行差分信号负极。
C13	HDMI_TX1P	O	0.9	HDMI TX 数据通道 1 串行差分信号正极。
B12	HDMI_TX2N	O	0.9	HDMI TX 数据通道 2 串行差分信号负极。
C12	HDMI_TX2P	O	0.9	HDMI TX 数据通道 2 串行差分信号正极。
B15	HDMI_TXCN	O	0.9	HDMI TX 像素时钟差分信号负极。
A15	HDMI_TXCP	O	0.9	HDMI TX 像素时钟差分信号正极。
B16	HDMITX_CEC	I _s /O _o D	3.3	功能 0: 保留 功能 1: HDMITX_CEC HDMI TX 接口的控制通道信号 功能 2: GPIO7_0 通用输入输出
B17	HDMITX_HOTPLUG	I _s /O	3.3/5	功能 0: 保留 功能 1: HDMITX_HOTPLUG HDMI TX 接口的热插拔信号 功能 2: GPIO6_5 通用输入输出
C16	HDMITX_SCL	I/O _{OD}	3.3/5	功能 0: 保留 功能 1: HDMITX_SCL HDMI TX 接口的 I2C 总线时钟 功能 2: GPIO6_7 通用输入输出
A17	HDMITX_SDA	I/O _{OD}	3.3/5	功能 0: 保留



Pin	管脚名称	类型	电压 (V)	描述
				功能 1: HDMITX_SDA HDMI TX 接口的 I2C 总线数据 功能 2: GPIO6_6 通用输入输出

1.2.5 PLL 管脚

PLL 管脚如表 1-5 所示。

表1-5 PLL 管脚

Pin	管脚名称	类型	电压 (V)	描述
U14	AVDD_PLL	P	0.9	PLL 0.9V 模拟电源
U15	AVDD33_PLL	P	3.3	PLL 3.3V 模拟电源
R14	AVSS_PLL	G	-	PLL 模拟地

1.2.6 FE 管脚

FE 管脚如表 1-6 所示。

表1-6 FE 管脚

Pin	管脚名称	类型	电压 (V)	描述
D8、 C8、D7	AVDD33_FE	P	3.3	FE 3.3V 模拟电压
B8	FE_RXN	I	3.3	FE 差分接收，极性自适应
A8	FE_RXP			
B7	FE_TXN	O	3.3	FE 差分发送，极性自适应
C7	FE_TXP			



1.2.7 USB 管脚

USB 管脚如表 1-7 所示。

表1-7 USB 管脚

Pin	管脚名称	类型	电压 (V)	描述
D10	AVDD33_USB	P	3.3	USB3.0 的 3.3V 模拟电源
L17	AVDD33_USB2	P	3.3	USB2.0 的 3.3V 模拟电源
C10	AVSS_USB	G	-	USB3.0 模拟地
L18	AVSS_USB2	G	-	USB2.0 模拟地
D6	USB_BOOT	I _{SPU}	3.3	BOOT 时, 指示 USB 自举是否使能, 低有效: 0: 使能; 1: 不使能;
B10	USB0_DN	I/O	3.3	USB2.0 端口 0 的差分总线负极。
A10	USB0_DP	I/O	3.3	USB2.0 端口 0 的差分总线正极。
D11	USB01_REXT	I/O	3.3	USB2.0 端口 0/1 的外接参考电阻, 推荐阻值: $133 \pm 1\% \Omega$ 。
C9	USB1_DN	I/O	3.3	USB2.0 端口 1 的差分总线负极。
B9	USB1_DP	I/O	3.3	USB2.0 端口 1 的差分总线正极。
L19	USB2_DN	I/O	3.3	USB2.0 端口 2 的差分总线 D-信号
L20	USB2_DP	I/O	3.3	USB2.0 端口 2 的差分总线 D+信号
K21	USB2_REXT	I/O	3.3	USB2.0 端口 2 的外接参考电阻, 推荐阻值: $133 \pm 1\% \Omega$ 。

1.2.8 VDAC 管脚

VDAC 管脚如表 1-8 所示。



表1-8 VDAC 管脚

Pin	管脚名称	类型	电压 (V)	描述
E17	AVDD33_VDAC	P	3.3	VDAC 3.3V 模拟电源
B20	VDAC_0	O	3.3	VDAC 通道 0 转换模拟输出。
D18	VDAC_IREF	I/O	3.3	VDAC 外接参考电流源，电阻阻值是 12k \pm 1% Ω 。

1.2.9 DDR 管脚

DDR 电源和地

DDR 电源和地管脚如表 1-9 所示。

表1-9 DDR 电源和地管脚

Pin	管脚名称	类型	电压 (V)	描述
R7	VDDIO_CK_DDR	P	1.5/1.35/1.2	DDR3/3L/4 时钟接口电源 DDR4 电源范围 1.17~1.26V
L5、 M5、 N5、 R5、 T5、 U5、 U6、 U7、 U8、 U10、 U11	VDDIO_DDR	P	1.5/1.35/1.2	DDR3/3L/4 接口电源 DDR4 电源范围 1.17~1.26V
N7	AVDD_DDRPLL1	P	3.3	DDR3/3L/4 时钟接口电源
P8	AVDD_DDRPLL2	P	3.3	DDR3/3L/4 PLL 3.3V 模拟电源
M7	AVSS_DDRPLL1	G	-	DDR3/3L/4 PLL 3.3V 模拟地
R8	AVSS_DDRPLL2	G	-	DDR3/3L/4 PLL 3.3V 模拟地



DDR 信号

DDR 信号管脚如表 1-10 所示。

表1-10 DDR 信号管脚

Pin	管脚名称	类型	电压 (V)	描述
W12	DDR_A0	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 0
AA7	DDR_A1	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 1
W10	DDR_A2	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 2
Y12	DDR_A3	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 3
W6	DDR_A4	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 4
V14	DDR_A5	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 5
V7	DDR_A6	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 6
V13	DDR_A7	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 7
V8	DDR_A8	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 8
AA11	DDR_A9	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 9
Y5	DDR_A10	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 10
Y8	DDR_A11	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 11
Y4	DDR_A12	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 12
V11	DDR_A13	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 13
W7	DDR_A14	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 14
V9	DDR_A15	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 地址信号 15
W14	DDR_BA0	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 BANK 地址信号 0
V4	DDR_BA1	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 BANK 地址信号 1
V10	DDR_BA2	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 BANK 地址信号 2
AA9	DDR_CAS_N	O	1.5/1.35	DDR3/3L SDRAM0 列地址选择信号
W5	DDR_CKE0	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 时钟使能信号



Pin	管脚名称	类型	电压 (V)	描述
				0
AA3	DDR_CLK0_N	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 差分时钟
Y3	DDR_CLK0_P			
Y10	DDR_CS0_N	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 片选信号 0
J3	DDR_DM0	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据屏蔽使能 0, 高有效
K4	DDR_DM1	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据屏蔽使能 1, 高有效
U4	DDR_DM2	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据屏蔽使能 2, 高有效
U3	DDR_DM3	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据屏蔽使能 3, 高有效
F3	DDR_DQ0	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 0
K2	DDR_DQ1	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 1
E2	DDR_DQ2	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 2
K1	DDR_DQ3	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 3
F4	DDR_DQ4	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 4
M3	DDR_DQ5	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 5
E3	DDR_DQ6	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 6
L2	DDR_DQ7	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 7
L3	DDR_DQ8	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 8
F1	DDR_DQ9	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 9
L4	DDR_DQ10	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 10
F2	DDR_DQ11	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 11
M4	DDR_DQ12	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 12
H3	DDR_DQ13	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 13
N3	DDR_DQ14	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 14



Pin	管脚名称	类型	电压 (V)	描述
H4	DDR_DQ15	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 15
P4	DDR_DQ16	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 16
Y1	DDR_DQ17	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 17
N2	DDR_DQ18	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 18
W3	DDR_DQ19	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 19
N4	DDR_DQ20	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 20
AA2	DDR_DQ21	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 21
M1	DDR_DQ22	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 22
Y2	DDR_DQ23	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 23
W1	DDR_DQ24	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 24
P2	DDR_DQ25	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 25
V3	DDR_DQ26	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 26
P3	DDR_DQ27	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 27
U1	DDR_DQ28	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 28
R4	DDR_DQ29	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 29
V2	DDR_DQ30	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 30
T4	DDR_DQ31	I/O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 数据线 31
G2	DDR_DQS0_N	I/O	1.5/1.35/1.2	DDR3/3L/4 DQS strobe 差分信号 0, 控制 DDR0_DQ[7:0]
G1	DDR_DQS0_P			
J2	DDR_DQS1_N	I/O	1.5/1.35/1.2	DDR3/3L/4 DQS strobe 差分信号 1, 控制 DDR0_DQ[15:8]
H2	DDR_DQS1_P			
R1	DDR_DQS2_N	I/O	1.5/1.35/1.2	DDR3/3L/4 DQS strobe 差分信号 2, 控制 DDR0_DQ[23:16]
R2	DDR_DQS2_P			
T3	DDR_DQS3_N	I/O	1.5/1.35/1.2	DDR3/3L/4 DQS strobe 差分信号 3, 控制 DDR0_DQ[31:24]
T2	DDR_DQS3_P			



Pin	管脚名称	类型	电压 (V)	描述
AA13	DDR_ODT0	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 片内终端匹配控制信号 0
Y14	DDR_RAS_N	O	1.5/1.35	DDR3/3L SDRAM0 片内终端匹配控制信号 1
Y11	DDR_RESET_N	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 行地址选择信号, 低有效
Y9	DDR_WE_N	O	1.5/1.35	DDR3/3L SDRAM0 复位信号, 低有效
U13	DDR_ZQ	O	1.5/1.35/1.2	DDR3/3L/4 SDRAM0 写使能, 低有效

1.2.10 SDIO 管脚

SDIO 管脚如表 1-11 所示。

表1-11 SDIO 管脚

Pin	管脚名称	类型	电压 (V)	描述
D9	DVDD33_SDIO0_LDO	P	3.3	SDIO0 LDO 3.3V 数字电源
B5	DVDD3318_SDIO0_LDO_DECAP	P	3.3/1.8	SDIO0 LDO 输出 3.3/1.8V 数字电源的滤波管脚

1.2.11 EMMC 管脚

EMMC 管脚如表 1-12 所示。

表1-12 EMMC 管脚

Pin	管脚名称	类型	电压 (V)	描述
U17	DVDD3318_EMMC	P	3.3/1.8	eMMC 3.3/1.8V 数字电压
U19	EMMC_CARD_POWER_EN	G	-	eMMC 电源使能信号, 默认高电平有效, 极性可配



1.2.12 RGMII 管脚

RGMII 管脚如表 1-13 所示。

表1-13 RGMII 管脚

Pin	管脚名称	类型	电压 (V)	描述
E5	DVDD3318_RGMII	P	3.3/1.8	RGMII 3.3/1.8V 数字电源
A5	CLKOUT_25M	I/O	1.8/3.3	功能 0: GPIO9_0 通用输入输出 功能 1: CLKOUT_25M GEPHY CLK
C5	RGMII_MDCK	I/O	1.8/3.3	功能 0: GPIO7_3 通用输入输出 功能 1: RGMII_MDCK MDIO 接口的时钟信号 功能 2: RMII_RST RMII 接口复位信号 功能 3: SDIO0_CARD_DETECT 卡检查信号, 默认低电平有效, 极性可配
C6	RGMII_MDIO	I/O _{OD}	1.8/3.3	功能 0: GPIO7_2 通用输入输出 功能 1: RGMII_MDIO MDIO 接口的输入/输出信号 功能 2: UART3_RXD UART3 数据接收 功能 3: FE_LED_BASE 网口链接状态指示信号: 1: 链接已经建立; 0: 没有链接建立。 CMOS 输出
A6	RGMII_RST	I/O _{OD}	1.8/3.3	功能 0: GPIO7_1 通用输入输出 功能 1: RGMII_RST RGMII 接口复位信号 功能 2: UART3_TXD UART3 数据发送



Pin	管脚名称	类型	电压 (V)	描述
				功能 3: FE_LED_ACT 网口链接状态指示信号: 1: 链接已经建立; 0: 没有链接建立。 此信号控制的 LED 闪烁, 传输的数据包密集时 LED 闪烁迅速, 传输数据包稀疏时 LED 闪烁缓慢。 CMOS 输出
B4	RGMII_RXCK	I/O	1.8/3.3	功能 0: GPIO7_4 通用输入输出 功能 1: RGMII_RXCK RGMII 接口接收时钟, 双沿有效 功能 2: RMII_TXD1 RMII 接口发送数据 功能 3: SDIO0_CDATA1 卡数据
A3	RGMII_RXD0	I/O	1.8/3.3	功能 0: GPIO7_6 通用输入输出 功能 1: RGMII_RXD0 RGMII 接口接收数据 功能 2: RMII_TXEN RMII 接口发送使能信号 功能 3: SDIO0_CCLK_OUT 输出给卡使用的工作时钟
B3	RGMII_RXD1	I/O	1.8/3.3	功能 0: GPIO7_7 通用输入输出 功能 1: RGMII_RXD1 RGMII 接口接收数据 功能 2: RMII_RXDV RMII 接口的载波侦听信号和接收使能信号 功能 3: SDIO0_CCMD 卡命令
A2	RGMII_RXD2	I/O	1.8/3.3	功能 0: GPIO8_0 通用输入输出 功能 1: RGMII_RXD2



Pin	管脚名称	类型	电压 (V)	描述
				RGMII 接口接收数据 功能 2: RMII_RXD0 RMII 接口接收数据 功能 3: SDIO0_CDATAB3 卡数据
B2	RGMII_RXD3	I/O	1.8/3.3	功能 0: GPIO8_1 通用输入输出 功能 1: RGMII_RXD3 RGMII 接口接收数据 功能 2: RMII_RXD1 RMII 接口接收数据 功能 3: SDIO0_CDATAB2 卡数据
C4	RGMII_RXDV	I/O	1.8/3.3	功能 0: GPIO7_5 通用输入输出 功能 1: RGMII_RXDV RGMII 接口的接收数据使能和错误指示信号 功能 2: RMII_TXD0 RMII 接口发送数据 功能 3: SDIO0_CDATAB0 卡数据
D4	RGMII_TXCK	I/O	1.8/3.3	功能 0: GPIO8_3 通用输入输出 功能 1: RGMII_TXCK RGMII 接口发送时钟, 双沿有效 功能 2: UART3_CTSN Modem 状态输入: Clear To Send.低有效。
C1	RGMII_TXD0	I/O	1.8/3.3	功能 0: 保留 功能 1: RGMII_TXD0 RGMII 接口发送数据 功能 2: RMII_REFCLK RMII 接口的参考时钟 功能 3: SDIO0_CARD_POWER_EN



Pin	管脚名称	类型	电压 (V)	描述
				电源使能控制信号，高电平有效 功能 4: GPIO8_7 通用输入输出
C2	RGMII_TXD1	I/O	1.8/3.3	功能 0: 保留 功能 1: RGMII_TXD1 RGMII 接口发送数据 功能 2: RMII_MDIO MDIO 接口的输入/输出信号 功能 3: SDIO0_CWPR 卡写保护检测信号，默认高电平有效，极性可配 功能 4: GPIO8_6 通用输入输出
B1	RGMII_TXD2	I _{SPU} / O	1.8/3.3	功能 0: GPIO8_5 通用输入输出 功能 1: RGMII_TXD2 RGMII 接口发送数据 功能 2: RMII_MDCK MDIO 接口的时钟信号 功能 3: BOOT_SEL1 启动 memeory 类型选择，仅在上电的时候有效， {BOOT_SEL2,BOOT_SEL1,BOOT_SEL0} }: 000: SPI Nor Flash 001: asyn NAND Flash 010: syn NAND Flash 011: eMMC 100: SPI Nand Flash 其他: 保留
D3	RGMII_TXD3	I/O	1.8/3.3	功能 0: GPIO8_4 通用输入输出 功能 1: RGMII_TXD3 RGMII 接口发送数据 功能 2: UART3_RTSN Modem 状态输出: request to send, 低有



Pin	管脚名称	类型	电压 (V)	描述
				效。默认为低。
C3	RGMII_TXEN	I _{SPU} / O	1.8/3.3	功能 0: GPIO8_2 通用输入输出 功能 1: RGMII_TXEN RGMII 接口发送使能及错误指示; 功能 3: BOOT_SEL0 启动 mememory 类型选择, 仅在上电的时候有效, {BOOT_SEL2,BOOT_SEL1,BOOT_SEL0 }: 000: SPI Nor Flash 001: asyn NAND Flash 010: syn NAND Flash 011: eMMC 100: SPI Nand Flash 其他: 保留

1.2.13 GPIO 管脚

GPIO 管脚如表 1-14 所示。

表1-14 GPIO 管脚

Pin	管脚名称	类型	电压 (V)	描述
J18	GPIO2_5	I/O _{OD}	3.3/5	功能 0: GPIO2_5 通用输入输出 功能 2: UART3_RXD UART3 数据接收 功能 3: TSI1_D0 TSI1 1bit 串行数据输入, 或 2bit 串行数据输入 功能 5: TSI0_D5 TSI0 并行输入的数据 功能 6: TSI3_D0 TSI3 1bit 串行数据输入



Pin	管脚名称	类型	电压 (V)	描述
				功能 7: SIM1_RST 智能卡复位信号, 低电平有效; OD 和 CMOS 类型可选
H17	GPIO2_6	I/O _{OD}	3.3/5	功能 0: GPIO2_6 通用输入输出 功能 2: UART3_TXD UART3 数据发送 功能 3: TSI1_CLK TSI1 的串行时钟输入, 最高为 190MHz 功能 5: TSI0_D4 TSI0 并行输入的数据 功能 6: TSI2_VALID TSI2 输入的数据有效信号, 高电平有效 功能 7: SIM1_CLK 智能卡双向时钟信号, OD 和 CMOS 类型可选
H18	GPIO2_7	I/O _{OD}	3.3/5	功能 0: GPIO2_7 通用输入输出 功能 1: I2C2_SDA I2C 总线数据, OD 输出 功能 3: TSI1_VALID TSI1 输入的数据有效信号, 高电平有效 功能 5: TSI0_D3 TSI0 并行输入的数据 功能 6: TSI2_D0 TSI2 1bit 串行数据输入 功能 7: SIM1_PWREN 智能卡使能信号, 有效电平可配, 默认为高有效; OD 和 CMOS 类型可选
H20	GPIO3_5	I _{PU} /O	1.8/3.3	功能 0: GPIO3_5 通用输入输出 功能 1: I2S_MCLK I2S 或 PCM 发送接口工作时钟 功能 2: I2S_DOUT2 I2S 或 PCM 接口数据输出。



Pin	管脚名称	类型	电压 (V)	描述
				功能 5: SF_WPN_IO2 SPI Flash 的控制/数据信号: 在 Standard SPI 模式或 Dual SPI 模式下, 作为 write protect 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 6: TSO0_SYNC TSO0 输出的同步信号
H19	GPIO3_6	I/O	1.8/3.3	功能 0: GPIO3_6 通用输入输出 功能 1: I2S_WS I2S 发送接口左右声道选择信号, 或 PCM 帧同步信号 功能 2: I2S_DOUT1 I2S 或 PCM 接口数据输出。 功能 3: TSI1_SYNC TSI1 输入的数据同步指示信号 功能 4: TSI1_D1 TSI1 2bit 串行数据输入 功能 5: SF_SDI_IO1 SPI Flash 的控制/数据信号: 在 Standard SPI 模式, 为数据的输入信号; 在 Dual SPI 模式或者 Quad SPI 模式下, 为数据的输入输出信号。 功能 6: TSO0_VALID TSO0 输出的数据有效信号, 高电平有效
G20	GPIO3_7	I _{pu} /O	1.8/3.3	功能 0: GPIO3_7 通用输入输出 功能 1: I2S_DOUT0 I2S 或 PCM 接口数据输出。 功能 3: TSI1_D0 TSI1 1bit 串行数据输入, 或 2bit 串行数据输入 功能 4: 保留 功能 5: SF_CSN SPI Flash 片选信号, 低有效



Pin	管脚名称	类型	电压 (V)	描述
				功能 6: TSO0_CLK TSO0 输出的随路时钟, 最高 90MHz
G19	GPIO4_0	I _{PU} /O	1.8/3.3	功能 0: GPIO4_0 通用输入输出 功能 1: I2S_BCLK I2S 或 PCM 发送接口位流时钟 功能 2: I2S_WS I2S 发送接口左右声道选择信号, 或 PCM 帧同步信号 功能 3: TS11_CLK TS11 的串行时钟输入, 最高为 190MHz 功能 4: 保留 功能 5: SF_HOLDN_IO3 SPI Flash 的控制/数据信号: 在 Standard SPI 模式或 Dual SPI 模式下, 作为 hold 功能, 低有效; 在 Quad SPI 模式下, 为数据的输入输出信号。 功能 6: TSO0_D0 TSO0 输出的数据
F21	GPIO4_1	I/O	1.8/3.3	功能 0: GPIO4_1 通用输入输出 功能 1: I2S_DIN I2S 或 PCM 接口数据输入。 功能 2: I2S_BCLK I2S 或 PCM 发送接口位流时钟 功能 3: TS11_VALID TS11 输入的数据有效信号, 高电平有效 功能 4: 保留 功能 5: SF_CLK SPI Flash 时钟信号, 时钟停靠的高低电平可选
F20	GPIO4_2	I/O	1.8/3.3	功能 0: GPIO4_2 通用输入输出 功能 1: SDIO1_CWPR



Pin	管脚名称	类型	电压 (V)	描述
				卡写保护检测信号，高电平有效 功能 2: I2S_MCLK I2S 或 PCM 发送接口工作时钟 功能 4: 保留 功能 5: SF_SDO_IO0 SPI Flash 的控制/数据信号： 在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式或者 Quad SPI 模式下，为数据的输入输出信号。
F19	GPIO4_3	I/O _{OD}	1.8/3.3	功能 0: GPIO4_3 通用输入输出 功能 1: SDIO1_CARD_POWER_EN 电源使能控制信号，高电平有效 功能 2: 保留 功能 3: I2C1_SCL I2C 总线时钟，OD 输出 功能 4: I2S_RX_BCLK I2S 或 PCM 接收接口位流时钟 功能 5: TSI0_D2 TSI0 并行输入的数据 功能 6: TSI2_CLK TSI2 的串行时钟输入，最高为 190MHz
E20	GPIO4_4	I/O _{OD}	1.8/3.3	功能 0: GPIO4_4 通用输入输出 功能 1: SDIO1_CDATA1 卡数据 功能 2: 保留 功能 4: I2S_RX_WS I2S 接收接口左右声道选择信号，或 PCM 帧同步信号 功能 5: TSI0_D1 TSI0 并行输入的数据，或 2bit 串行数据输入 功能 6: I2C1_SDA I2C 总线数据，OD 输出



Pin	管脚名称	类型	电压 (V)	描述
E19	GPIO4_5	I/O _{OD}	1.8/3.3	功能 0: GPIO4_5 通用输入输出 功能 1: SDIO1_CDATA0 卡数据 功能 2: TSI0_D1 TSI0 并行输入的数据, 或 2bit 串行数据输入 功能 3: TSI0_SYNC TSI0 输入的数据同步指示信号 功能 4: I2S_RX_MCLK I2S 或 PCM 接收接口工作时钟 功能 5: TSI0_D0 TSI0 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入 功能 6: I2C1_SCL I2C 总线时钟, OD 输出
D21	GPIO4_6	I/O	1.8/3.3	功能 0: GPIO4_6 通用输入输出 功能 1: SDIO1_CCLK_OUT 输出给卡使用的工作时钟 功能 2: 保留 功能 3: TSI0_D0 TSI0 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入 功能 4: I2S_MCLK I2S 或 PCM 发送接口工作时钟 功能 5: TSI0_CLK TSI0 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz 功能 6: TSI1_VALID TSI1 输入的数据有效信号, 高电平有效
E18	GPIO4_7	I/O	1.8/3.3	功能 0: GPIO4_7 通用输入输出 功能 1: SDIO1_CCMD 卡命令



Pin	管脚名称	类型	电压 (V)	描述
				功能 2: 保留 功能 3: TSI0_CLK TSI0 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz 功能 4: I2S_WS I2S 发送接口左右声道选择信号, 或 PCM 帧同步信号 功能 5: TSI0_VALID TSI0 输入的数据有效信号, 高电平有效 功能 6: TSI1_D0 TSI1 1bit 串行数据输入, 或 2bit 串行数据输入
W16	GPIO5_3	I/O	3.3	功能 0: GPIO5_3 通用输入输出 功能 1: LED_CLK Led 串行输出同步时钟
U18	GPIO5_4	I _S /O	3.3	通用输入输出
C20	GPIO6_0	I/O _{OD}	1.8/3.3	功能 0: GPIO6_0 通用输入输出 功能 1: SDIO1_CD _{DATA3} 卡数据 功能 2: TSI1_CLK TSI1 的串行时钟输入, 最高为 190MHz 功能 3: TSI0_VALID TSI0 输入的数据有效信号, 高电平有效 功能 4: I2S_DOUT0 I2S 或 PCM 接口数据输出。 功能 5: I2C2_SCL I2C 总线时钟, OD 输出 功能 6: TSI0_VALID TSI0 输入的数据有效信号, 高电平有效
D19	GPIO6_1	I/O _{OD}	1.8/3.3	功能 0: GPIO6_1 通用输入输出 功能 1: SDIO1_CD _{DATA2}



Pin	管脚名称	类型	电压 (V)	描述
				卡数据 功能 2: 保留 功能 3: I2C2_SCL I2C 总线时钟, OD 输出 功能 4: I2S_BCLK I2S 或 PCM 发送接口位流时钟 功能 5: I2C2_SDA I2C 总线数据, OD 输出 功能 6: TSI0_D0 TSI0 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入
B21	GPIO6_2	I/O _{OD}	1.8/3.3	功能 0: GPIO6_2 通用输入输出 功能 1: SDIO1_CARD_DETECT 卡检查信号, 低电平有效 功能 2: 保留 功能 3: I2C2_SDA I2C 总线数据, OD 输出 功能 4: I2S_DIN I2S 或 PCM 接口数据输入。 功能 5: 保留 功能 6: TSI0_CLK TSI0 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz
B18	GPIO6_3	I _{SPD} /O	3.3	功能 0: JTAG_SEL JTAG 管脚复用功能控制指示: 0: JTAG 管脚功能通过管脚复用寄存器控制; 1: JTAG 管脚功能固定为 JTAG 接口功能; 功能 1: GPIO6_3 通用输入输出

1.2.14 IR 管脚

IR 管脚如表 1-15 所示。



表1-15 IR 管脚

Pin	管脚名称	类型	电压 (V)	描述
Y16	IR_IN	I _{SPU/O}	3.3/5	功能 0: IR_IN 红外输入 功能 1: GPIO5_5 通用输入输出

1.2.15 JTAG 管脚

JTAG 管脚如表 1-16 所示。

表1-16 JTAG 管脚

Pin	管脚名称	类型	电压 (V)	描述
J19	JTAG_TCK	I/O _{OD}	1.8/3.3	功能 0: JTAG_TCK JTAG 时钟输入 功能 1: I2S_RX_WS I2S 接收接口左右声道选择信号, 或 PCM 帧同步信号 功能 2: SPI0_SDI SPI 数据输入 功能 3: SIM0_CLK 智能卡双向时钟信号, OD 和 CMOS 类型可选 功能 4: GPIO3_3 通用输入输出 功能 5: UART2_RXD UART2 数据接收
K19	JTAG_TDI	I/O	1.8/3.3	功能 0: JTAG_TDI JTAG 数据输入 功能 2: SPI0_CSN SPI 的片选输出 功能 3: SIM0_DET 智能卡信号检测, 有效电平可配, 默认为高有效 功能 4: GPIO3_1



Pin	管脚名称	类型	电压 (V)	描述
				通用输入输出 功能 5: UART2_CTSN Modem 状态输入: Clear To Send.低有效。
H21	JTAG_TDO	I/O _{OD}	1.8/3.3	功能 0: JTAG_TDO JTAG 数据输出 功能 1: I2S_RX_MCLK I2S 或 PCM 接收接口工作时钟 功能 2: I2S_DOUT3 I2S 或 PCM 接口数据输出。 功能 3: SIM0_PWREN 智能卡使能信号, 有效电平可配, 默认为高有效;OD 和 CMOS 类型可选 功能 4: GPIO3_4 通用输入输出 功能 5: UART2_RTSN Modem 状态输出: request to send, 低有效。默认为低。
J20	JTAG_TMS	I/O _{OD}	1.8/3.3	功能 0: JTAG_TMS JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制 功能 1: I2S_RX_BCLK I2S 或 PCM 接收接口位流时钟 功能 2: SPI0_SCLK SPI 时钟信号 功能 3: SIM0_RST 智能卡复位信号, 低电平有效; OD 和 CMOS 类型可选 功能 4: GPIO3_2 通用输入输出 功能 5: UART2_TXD UART2 数据发送
K20	JTAG_TRSTN	I _{SPD} /O _{OD}	3.3/5	功能 0: JTAG_TRSTN JTAG 复位输入 功能 1: I2C2_SCL I2C 总线时钟, OD 输出



Pin	管脚名称	类型	电压 (V)	描述
				功能 2: SPI0_SDO SPI 数据输出 功能 3: SIM0_DATA 智能卡双向数据信号, OD 输出 功能 4: GPIO3_0 通用输入输出

1.2.16 UART 管脚

UART 管脚如表 1-17 所示。

表1-17 UART 管脚

Pin	管脚名称	类型	电压 (V)	描述
W17	UART0_RXD	I	3.3	功能 0: UART0_RXD UART0 数据接收
Y17	UART0_TXD	O	3.3	功能 0: UART0_TXD UART0 数据发送

1.2.17 LED 管脚

LED 管脚如表 1-18 所示。

表1-18 LED 管脚

Pin	管脚名称	类型	电压 (V)	描述
AA15	LED_DATA	I/O	3.3	功能 0: GPIO5_0 通用输入输出 功能 1: LED_DATA Led 串行输出数据 功能 2: CLKOUT_WIFI 输出 24MHz 时钟, 对接海思自研 WiFi 芯片
Y15	LED_KEY	I _P /O	3.3	功能 0: GPIO5_1 通用输入输出



Pin	管脚名称	类型	电压 (V)	描述
				功能 1: LED_KEY 矩阵键盘输入

1.2.18 LSADC 管脚

LSADC 管脚如表 1-19 所示。

表1-19 LSADC 管脚

Pin	管脚名称	类型	电压 (V)	描述
V18	LSADC0	I/O	3.3	LSADC 通道 0 输入模拟电压值
V17	LSADC1	I/O	3.3	LSADC 通道 1 输入模拟电压值

1.2.19 NF 管脚

NF 管脚如表 1-20 所示。

表1-20 NF 管脚

Pin	管脚名称	类型	电压 (V)	描述
T19	NF_ALE	I/O	1.8/3.3	功能 0: GPIO1_5 通用输入输出 功能 1: NF_ALE NAND Flash 地址锁存信号
T20	NF_CLE	I _P U/O	1.8/3.3	功能 0: GPIO1_6 通用输入输出 功能 1: NF_CLE NANDFlash 命令锁存信号 功能 2: EMMC_CCMD 卡命令
W19	NF_CSN	I _P U/O	1.8/3.3	功能 0: GPIO0_1 通用输入输出 功能 1: NF_CSN



Pin	管脚名称	类型	电压 (V)	描述
				Nandflash 片选信号，低电平有效。
U21	NF_DQ0	I _{PU} /O	1.8/3.3	功能 0: GPIO1_3 通用输入输出 功能 1: NF_DQ0 NAND Flash 数据总线 功能 2: EMMC_CDATA7 卡数据
U20	NF_DQ1	I _{PU} /O	1.8/3.3	功能 0: GPIO1_2 通用输入输出 功能 1: NF_DQ1 NAND Flash 数据总线 功能 2: EMMC_CDATA2 卡数据
V21	NF_DQ2	I _{PU} /O	1.8/3.3	功能 0: GPIO1_1 通用输入输出 功能 1: NF_DQ2 NAND Flash 数据总线 功能 2: EMMC_CDATA6 卡数据
V20	NF_DQ3	I _{PU} /O	1.8/3.3	功能 0: GPIO1_0 通用输入输出 功能 1: NF_DQ3 NAND Flash 数据总线 功能 2: EMMC_CDATA1 卡数据
W21	NF_DQ4	I _{PU} /O	1.8/3.3	功能 0: GPIO0_7 通用输入输出 功能 1: NF_DQ4 NAND Flash 数据总线 功能 2: EMMC_CDATA5 卡数据
W20	NF_DQ5	I _{PU} /O	1.8/3.3	功能 0: GPIO0_6 通用输入输出



Pin	管脚名称	类型	电压 (V)	描述
				功能 1: NF_DQ5 NAND Flash 数据总线 功能 2: EMMC_CDATA0 卡数据
Y21	NF_DQ6	I _{PU} /O	1.8/3.3	功能 0: GPIO0_5 通用输入输出 功能 1: NF_DQ6 NAND Flash 数据总线 功能 2: EMMC_CDATA4 卡数据
V19	NF_DQ7	I _{PU} /O	1.8/3.3	功能 0: GPIO0_4 通用输入输出 功能 1: NF_DQ7 NAND Flash 数据总线 功能 2: EMMC_CDATA3 卡数据
Y20	NF_DQS	I/O	1.8/3.3	功能 0: GPIO0_3 通用输入输出 功能 1: NF_DQS NAND Flash DQ strobe 信号
AA20	NF_DQSN	I _{PD} /O	1.8/3.3	功能 0: GPIO0_2 通用输入输出 功能 1: NF_DQSN NAND Flash DQS 的差分信号; 功能 3: BOOT_SEL2 启动 mememory 类型选择, 仅在上电的时候有效, {BOOT_SEL2,BOOT_SEL1,BOOT_SEL0}: 000: SPI Nor Flash 001: asyn NAND Flash 010: syn NAND Flash 011: eMMC 100: SPI Nand Flash 其他: 保留



Pin	管脚名称	类型	电压 (V)	描述
Y19	NF_RDY	I _P /O	1.8/3.3	功能 0: GPIO0_0 通用输入输出 功能 1: NF_RDY NAND Flash 忙/空闲指示。 1: 空闲; 0: 忙;
R20	NF_REC	I/O	1.8/3.3	功能 0: GPIO1_7 通用输入输出 功能 1: NF_REC NF_REN 差分信号; toggle2.0/onfi3.0 功能 2: EMMC_RST EMMC 复位信号
R21	NF_REN	I _P /O	1.8/3.3	功能 0: GPIO2_0 通用输入输出 功能 1: NF_REN NAND Flash 读使能信号, 低电平有效 功能 2: EMMC_DATA_STROBE 卡数据 strobe 信号, 默认处于低电平
T18	NF_WEN	I/O	1.8/3.3	功能 0: GPIO1_4 通用输入输出 功能 1: NF_WEN NAND Flash 写使能信号, 低电平有效 功能 2: EMMC_CCLK_OUT 输出给卡使用的工作时钟

1.2.20 PMC 管脚

PMC 管脚如表 1-21 所示。

表1-21 PMC 管脚

Pin	管脚名称	类型	电压 (V)	描述
P20	PMC_CORE0	I/O _{OD}	3.3	功能 0: PMC_CORE0 PWM1 输出



Pin	管脚名称	类型	电压 (V)	描述
				功能 1: I2C0_SDA I2C 总线数据, OD 输出 功能 2: GPIO2_1 通用输入输出
D5	PMC_CPU0	I/O	3.3	功能 0: PMC_CPU0 PWM0 输出 功能 1: GPIO9_1 通用输入输出
R19	PMC_GPU0	I/O _{OD}	3.3	功能 0: PMC_GPU0 PWM2 输出 功能 1: I2C0_SCL I2C 总线时钟, OD 输出 功能 2: GPIO2_2 通用输入输出

1.2.21 PCIE 管脚

PCIE 管脚如表 1-22 所示。

表1-22 PCIE 管脚

Pin	管脚名称	类型	电压 (V)	描述
N18	PCIE_REFCLKN	I/O	3.3	PCIE 参考时钟管脚负极。
P18	PCIE_REFCLKP	I/O	3.3	PCIE 参考时钟管脚正极。

1.2.22 SATA 管脚

SATA 管脚如表 1-23 所示。

表1-23 SATA 管脚

Pin	管脚名称	类型	电压 (V)	描述
J17	SATA0_LED_N	I _s /O	3.3/5	功能 0: GPIO2_4



Pin	管脚名称	类型	电压 (V)	描述
				通用输入输出 功能 1: SATA0_LED_N SATA 硬盘指示灯, 低有效 功能 2: UART3_RTSN Modem 状态输出: request to send, 低有效。默认为低。 功能 3: TSI1_SYNC TSI1 输入的数据同步指示信号 功能 4: TSI1_D1 TSI1 2bit 串行数据输入 功能 5: TSI0_D6 TSI0 并行输入的数据 功能 6: TSI3_VALID TSI3 输入的数据有效信号, 高电平有效 功能 7: SIM1_DET 智能卡信号检测, 有效电平可配, 默认为高有效
K18	SATA0_PWREN	I/O _{OD}	3.3/5	功能 0: GPIO2_3 通用输入输出 功能 1: SATA0_PWREN SATA 电源控制输出管脚 功能 2: UART3_CTSN Modem 状态输入: Clear To Send.低有效。 功能 5: TSI0_D7 TSI0 并行输入的数据 功能 6: TSI3_CLK TSI3 的串行时钟输入, 最高为 190MHz 功能 7: SIM1_DATA 智能卡双向数据信号, OD 输出

1.2.23 COMB 管脚

COMB 管脚如表 1-24 所示。



表1-24 COMB 管脚

Pin	管脚名称	类型	电压 (V)	描述
P15	AVDD_COMB	P	1.1	COMB 1.1V 模拟电压
M18	AVDD33_COMB	P	3.3	COMB 3.3V 模拟电压
M19、 N15、 N19、 P19	AVSS_COMB	G	-	COMB 模拟地
M20	COMB_RXN	I	3.3	USB3.0/SATA3.0/PCIE2.0 接口高速差分接收信号负极。
M21	COMB_RXP	I	3.3	USB3.0/SATA3.0/PCIE2.0 接口高速差分接收信号正极。
N21	COMB_TXN	O	3.3	USB3.0/SATA3.0/PCIE2.0 接口高速差分发送信号负极。
N20	COMB_TXP	O	3.3	USB3.0/SATA3.0/PCIE2.0 接口高速差分发送信号正极。

1.2.24 SPDIF 管脚

SPDIF 管脚如表 1-25 所示。

表1-25 SPDIF 管脚

Pin	管脚名称	类型	电压 (V)	描述
C17	SPDIF_OUT	I/O	3.3	功能 0: GPIO6_4 通用输入输出 功能 1: SPDIF_OUT SPDIF 数据输出

1.2.25 STB_PWROFF 管脚

STB_PWROFF 管脚如表 1-26 所示。



表1-26 STB_PWROFF 管脚

Pin	管脚名称	类型	电压 (V)	描述
AA16	STB_PWROFF	I/O	3.3	功能 0: STB_PWROFF 待机的时候控制芯片下电 功能 1: GPIO5_6 通用输入输出

1.2.26 SYS 管脚

SYS 管脚如表 1-27 所示。

表1-27 SYS 管脚

Pin	管脚名称	类型	电压 (V)	描述
W15	FUNC_SEL	I _{SPD} /O	3.3	功能模式和测试模式选择。 0: 功能模式; 1: 测试模式。
AA18	XIN	I	3.3	24M 晶体输入
Y18	XOUT	O	3.3	24M 晶体输出

1.2.27 STANDBY 管脚

STANDBY 管脚如表 1-28 所示。

表1-28 STANDBY 管脚

Pin	管脚名称	类型	电压 (V)	描述
R13	DVDD_STANDBY_LDO_DECAP	P	0.9	MCU 0.9V 数字电源
V16	DVDD33_STANDBY	P	3.3	3.3V STANDBY 电源



1.2.28 PG (Power and Ground) 管脚

VDD 管脚

VDD 管脚如表 1-29 所示。

表1-29 VDD 管脚

Pin	管脚名称	类型	电压 (V)	描述
M11、N11、N12、 P11、P12、R11、R12	VDD	P	0.9	内核 0.9V Core 电源

DVDD_CPU 管脚

DVDD_CPU 管脚如表 1-30 所示。

表1-30 DVDD_CPU 管脚

Pin	管脚名称	类型	电压 (V)	描述
G7、G8、G9、 G10、H7、 H8、H9、H10	DVDD_CPU	P	0.9	CPU 0.9V 数字电源

DVDD_GPU 管脚

DVDD_GPU 管脚如表 1-31 所示。

表1-31 DVDD_GPU 管脚

Pin	管脚名称	类型	电压 (V)	描述
J14、J15、 K14、K15、 L14、L15、 M14、M15	DVDD_GPU	P	0.9	GPU 0.9V 数字电源

DVDD33 管脚

DVDD33 管脚如表 1-32 所示。



表1-32 DVDD33 管脚

Pin	管脚名称	类型	电压 (V)	描述
D15、K17	DVDD33	P	3.3	3.3V I/O 接口电源

DVDD3318 管脚

DVDD3318 管脚如表 1-33 所示。

表1-33 DVDD3318 管脚

Pin	管脚名称	类型	电压 (V)	描述
F18、G18	DVDD3318	P	-	3.3V/1.8V 数字电压

VSS 管脚

VSS 管脚如表 1-34 所示。

表1-34 VSS 管脚

Pin	管脚名称	类型	电压 (V)	描述
A1、A21、B6、D1、D2、D20、E4、G3、G4、G11、G14、H11、H12、H13、H14、H15、J1、J4、J7、J8、J9、J10、J11、J12、J13、K3、K5、K7、K8、K9、K10、K11、K12、K13、L7、L8、L9、L10、L11、L12、L13、M2、M8、M9、M10、M12、M13、N1、N8、N9、N10、N13、N14、P5、P7、P9、P10、P13、P14、R3、R9、R10、R15、R18、U2、U9、V1、V5、V6、V12、V15、W2、W4、W8、W9、W11、W13、W18、Y6、Y7、Y13、AA1、AA5、AA21	VSS	G	-	数字地



1.3 复用寄存器概览

复用寄存器概览如表 1-35 所示。

表1-35 复用寄存器概览(复用寄存器基地址为 0xF8A2_1000)

偏移地址	名称	描述	页码
0x000	ioshare_0	NF_RDY 管脚的复用控制寄存器	49
0x004	ioshare_1	NF_CSN 管脚的复用控制寄存器	50
0x008	ioshare_2	NF_DQSN 管脚的复用控制寄存器	51
0x00C	ioshare_3	NF_DQS 管脚的复用控制寄存器	53
0x010	ioshare_4	NF_DQ7 管脚的复用控制寄存器	54
0x014	ioshare_5	NF_DQ6 管脚的复用控制寄存器	56
0x018	ioshare_6	NF_DQ5 管脚的复用控制寄存器	58
0x01C	ioshare_7	NF_DQ4 管脚的复用控制寄存器	59
0x020	ioshare_8	NF_DQ3 管脚的复用控制寄存器	61
0x024	ioshare_9	NF_DQ2 管脚的复用控制寄存器	63
0x028	ioshare_10	NF_DQ1 管脚的复用控制寄存器	64
0x02C	ioshare_11	NF_DQ0 管脚的复用控制寄存器	66
0x030	ioshare_12	NF_WEN 管脚的复用控制寄存器	68
0x034	ioshare_13	NF_ALE 管脚的复用控制寄存器	69
0x038	ioshare_14	NF_CLE 管脚的复用控制寄存器	71
0x03C	ioshare_15	NF_REC 管脚的复用控制寄存器	72
0x040	ioshare_16	NF_REN 管脚的复用控制寄存器	73
0x044	ioshare_17	PMC_CORE0 管脚的复用控制寄存器	75
0x048	ioshare_18	PMC_GPU0 管脚的复用控制寄存器	76
0x04C	ioshare_19	SATA0_PWREN 管脚的复用控制寄存器	77
0x050	ioshare_20	SATA0_LED_N 管脚的复用控制寄存器	78
0x054	ioshare_21	GPIO2_5 管脚的复用控制寄存器	80
0x058	ioshare_22	GPIO2_6 管脚的复用控制寄存器	81
0x05C	ioshare_23	GPIO2_7 管脚的复用控制寄存器	82
0x060	ioshare_24	JTAG_TRSTN 管脚的复用控制寄存器	83



偏移地址	名称	描述	页码
0x064	ioshare_25	JTAG_TDI 管脚的复用控制寄存器	85
0x068	ioshare_26	JTAG_TMS 管脚的复用控制寄存器	86
0x06C	ioshare_27	JTAG_TCK 管脚的复用控制寄存器	87
0x070	ioshare_28	JTAG_TDO 管脚的复用控制寄存器	89
0x074	ioshare_29	GPIO3_5 管脚的复用控制寄存器	90
0x078	ioshare_30	GPIO3_6 管脚的复用控制寄存器	91
0x07C	ioshare_31	GPIO3_7 管脚的复用控制寄存器	93
0x080	ioshare_32	GPIO4_0 管脚的复用控制寄存器	94
0x084	ioshare_33	GPIO4_1 管脚的复用控制寄存器	95
0x088	ioshare_34	GPIO4_2 管脚的复用控制寄存器	96
0x08C	ioshare_35	GPIO4_3 管脚的复用控制寄存器	98
0x090	ioshare_36	GPIO4_4 管脚的复用控制寄存器	99
0x094	ioshare_37	GPIO4_5 管脚的复用控制寄存器	100
0x098	ioshare_38	GPIO4_6 管脚的复用控制寄存器	102
0x09C	ioshare_39	GPIO4_7 管脚的复用控制寄存器	104
0x0A0	ioshare_40	GPIO6_0 管脚的复用控制寄存器	105
0x0A4	ioshare_41	GPIO6_1 管脚的复用控制寄存器	107
0x0A8	ioshare_42	GPIO6_2 管脚的复用控制寄存器	109
0x0AC	ioshare_43	GPIO6_3 管脚的复用控制寄存器	110
0x0B0	ioshare_44	SPDIF_OUT 管脚的复用控制寄存器	111
0x0B4	ioshare_45	HDMITX_HOTPLUG 管脚的复用控制寄存器	112
0x0B8	ioshare_46	HDMITX_SDA 管脚的复用控制寄存器	113
0x0BC	ioshare_47	HDMITX_SCL 管脚的复用控制寄存器	114
0x0C0	ioshare_48	HDMITX_CEC 管脚的复用控制寄存器	115
0x0C4	ioshare_49	RGMII_RXCK 管脚的复用控制寄存器	116
0x0C8	ioshare_50	RGMII_RXDV 管脚的复用控制寄存器	118
0x0CC	ioshare_51	RGMII_RXD0 管脚的复用控制寄存器	120
0x0D0	ioshare_52	RGMII_RXD1 管脚的复用控制寄存器	121



偏移地址	名称	描述	页码
0x0D4	ioshare_53	RGMII_RXD2 管脚的复用控制寄存器	123
0x0D8	ioshare_54	RGMII_RXD3 管脚的复用控制寄存器	125
0x0DC	ioshare_55	RGMII_RST 管脚的复用控制寄存器	126
0x0E0	ioshare_56	RGMII_MDIO 管脚的复用控制寄存器	127
0x0E4	ioshare_57	RGMII_MDCK 管脚的复用控制寄存器	129
0x0E8	ioshare_58	RGMII_TXEN 管脚的复用控制寄存器	130
0x0EC	ioshare_59	RGMII_TXCK 管脚的复用控制寄存器	131
0x0F0	ioshare_60	RGMII_TXD3 管脚的复用控制寄存器	133
0x0F4	ioshare_61	RGMII_TXD2 管脚的复用控制寄存器	134
0x0F8	ioshare_62	RGMII_TXD1 管脚的复用控制寄存器	136
0x0FC	ioshare_63	RGMII_TXD0 管脚的复用控制寄存器	137
0x100	ioshare_64	CLKOUT_25M 管脚的复用控制寄存器	139
0x104	ioshare_65	PMC_CPU0 管脚的复用控制寄存器	140
0x0044	SC_IO_REUSE_SEL	MCU 子系统管脚复用控制	141
0x005C	SC_IO_REUSE2_SEL	MCU 子系统管脚复用控制 2	144

注意：SC_IO_REUSE_SEL 和 SC_IO_REUSE2_SEL 基地址与其他寄存器的基地址不一样，基地址为 0xF800_0000。

1.4 复用寄存器描述

ioshare_0

NF_RDY 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x000		ioshare_0		0x00000130							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctl_0_OPU	reserved	ioctl_0_SR	reserved	ioctl_0_DS	reserved	ioshare_0
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:13]	RW	reserved	保留。								
[12]	RW	ioctl_0_OPU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctl_0_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:6]	RW	reserved	保留。								
[5:4]	RW	ioctl_0_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;								
[3:1]	RW	reserved	保留。								
[0]	RW	ioshare_0	NF_RDY 管脚的具体复用情况。 0: GPIO0_0; 1: NF_RDY。								

ioshare_1

NF_CSN 管脚复用控制寄存器。



	Offset Address				Register Name				Total Reset Value																							
	0x004				ioshare_1				0x00001130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctl_1_OPU	reserved		ioctl_1_SR	reserved		ioctl_1_DS	reserved		ioshare_1										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:13]	RW		reserved		保留。																											
[12]	RW		ioctl_1_OPU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctl_1_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;																											
[7:6]	RW		reserved		保留。																											
[5:4]	RW		ioctl_1_DS		驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;																											
[3:1]	RW		reserved		保留。																											
[0]	RW		ioshare_1		NF_CSN 管脚的具体复用情况。 0: GPIO0_1; 1: NF_CSN。																											

ioshare_2

NF_DQSN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x008		ioshare_2		0x000001F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctrl_2_PD	ioctrl_2_PU	reserved	ioctrl_2_SR	ioctrl_2_DS	reserved	ioshare_2
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctrl_2_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctrl_2_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctrl_2_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctrl_2_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA;								



			1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 DQSN 功能时: 3.3V 时推荐配置 1110, 1.8V 时推荐配置 1101; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_2	NF_DQSN 管脚的具体复用情况。 00: GPIO0_2; 01: NF_DQSN; 11: BOOT_SEL2; 其它: 保留。

ioshare_3

NF_DQS 管脚复用控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x00C								ioshare_3								0x000001F0															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								reserved				ioctrl_3_PD		ioctrl_3_PU		reserved				ioctrl_3_SR		ioctrl_3_DS				reserved		ioshare_3			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_3_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_3_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											



[8]	RW	ioctl_3_SR	<p>slew rate 控制使能。</p> <p>0: no SR ctrl; 1: SR ctrl。</p> <p>注：推荐配置为 1；</p>
[7:4]	RW	ioctl_3_DS	<p>驱动力选择。</p> <p>0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 DQS 功能时： 3.3V 时推荐配置 1110， 1.8V 时推荐配置 1101； 其他功能推荐配置 1111；</p>
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_3	<p>NF_DQS 管脚的具体复用情况。</p> <p>00: GPIO0_3; 01: NF_DQS; 其它：保留。</p>

ioshare_4

NF_DQ7 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x010		ioshare_4		0x000011F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctl_4_PD	ioctl_4_PU	reserved	ioctl_4_SR	ioctl_4_DS	reserved	ioshare_4
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctl_4_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctl_4_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctl_4_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctl_4_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA;								



			1101: 3mA; 1110: 2mA; 1111: 1mA。 注：当管脚功能为 NF_DQ7 时： 对接异步 NAND 时，4 层板推荐配置 1110，2 层板推荐配置 1111， 对接同步 NAND 时，3.3V 推荐配置 1110，1.8V 推荐配置 1101； 当管脚功能为 EMMC_CDATA3 时： HSDDR 工作模式时，推荐配置 1110， HS200/HS400 工作模式时，推荐配置 1011； 其他功能推荐配置 1111；
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_4	NF_DQ7 管脚的具体复用情况。 00: GPIO0_4; 01: NF_DQ7; 10: EMMC_CDATA3; 其它：保留。

ioshare_5

NF_DQ6 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x014	ioshare_5	0x000011F0															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved											ioctrl_5_PD	ioctrl_5_PU	reserved	ioctrl_5_SR	ioctrl_5_DS	reserved	ioshare_5
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 1 1 1 1 1 0 0 0 0																	
Bits	Access	Name	Description															
[31:14]	RW	reserved	保留。															
[13]	RW	ioctrl_5_PD	下拉使能。 0: 不使能； 1: 使能。															



[12]	RW	ioctrl_5_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_5_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:4]	RW	ioctrl_5_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 NF_DQ6 时: 对接异步 NAND 时, 4 层板推荐配置 1110, 2 层板推荐配置 1111; 对接同步 NAND 时, 3.3V 推荐配置 1110, 1.8V 推荐配置 1101; 当管脚功能为 EMMC_CDATA4 时: HSDDR 工作模式时, 推荐配置 1110; HS200/HS400 工作模式时, 推荐配置 1011; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_5	NF_DQ6 管脚的具体复用情况。



			00: GPIO0_5; 01: NF_DQ6; 10: EMMC_CDATA4; 其它: 保留。
--	--	--	--

ioshare_6

NF_DQ5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x018		ioshare_6		0x000011F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctrl_6_PD	ioctrl_6_PU	reserved	ioctrl_6_SR	ioctrl_6_DS	reserved	ioshare_6
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctrl_6_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctrl_6_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctrl_6_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctrl_6_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA;								



			<p>0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 NF_DQ5 时： 对接异步 NAND 时，4 层板推荐配置 1110，2 层板推荐配置 1111； 对接同步 NAND 时，3.3V 推荐配置 1110，1.8V 推荐配置 1101； 当管脚功能为 EMMC_CDATA0 时： HSDDR 工作模式时，推荐配置 1110； HS200/HS400 工作模式时，推荐配置 1011； 其他功能推荐配置 1111；</p>
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_6	<p>NF_DQ5 管脚的具体复用情况。</p> <p>00: GPIO0_6; 01: NF_DQ5; 10: EMMC_CDATA0; 其它: 保留。</p>

ioshare_7

NF_DQ4 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x01C		ioshare_7		0x000011F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctl_7_PD	ioctl_7_PU	reserved	ioctl_7_SR	ioctl_7_DS	reserved	ioshare_7
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctl_7_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctl_7_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctl_7_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctl_7_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA;								



			1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 NF_DQ4 时: 对接异步 NAND 时, 4 层板推荐配置 1110, 2 层板推荐配置 1111; 对接同步 NAND 时, 3.3V 推荐配置 1110, 1.8V 推荐配置 1101; 当管脚功能为 EMMC_CDATA5 时: HSDDR 工作模式时, 推荐配置 1110; HS200/HS400 工作模式时, 推荐配置 1011; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_7	NF_DQ4 管脚的具体复用情况。 00: GPIO0_7; 01: NF_DQ4; 10: EMMC_CDATA5; 其它: 保留。

ioshare_8

NF_DQ3 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																				
	0x020	ioshare_8	0x000011F0																				
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																						
Name	reserved																ioctrl_8_PD	ioctrl_8_PU	reserved	ioctrl_8_SR	ioctrl_8_DS	reserved	ioshare_8
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 1 1 1 1 1 0 0 0 0																						
Bits	Access	Name	Description																				
[31:14]	RW	reserved	保留。																				
[13]	RW	ioctrl_8_PD	下拉使能。 0: 不使能; 1: 使能。																				



[12]	RW	ioctrl_8_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_8_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:4]	RW	ioctrl_8_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 NF_DQ3 时: 对接异步 NAND 时, 4 层板推荐配置 1110, 2 层板推荐配置 1111; 对接同步 NAND 时, 3.3V 推荐配置 1110, 1.8V 推荐配置 1101; 当管脚功能为 EMMC_CDATA1 时: HSDDR 工作模式时, 推荐配置 1110; HS200/HS400 工作模式时, 推荐配置 1011; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_8	NF_DQ3 管脚的具体复用情况。



			00: GPIO1_0; 01: NF_DQ3; 10: EMMC_CDATA1; 其它: 保留。
--	--	--	--

ioshare_9

NF_DQ2 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x024		ioshare_9		0x000011F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctrl_9_PD	ioctrl_9_PU	reserved	ioctrl_9_SR	ioctrl_9_DS	reserved	ioshare_9
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctrl_9_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctrl_9_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctrl_9_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctrl_9_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA;								



			<p>0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 NF_DQ2 时： 对接异步 NAND 时，4 层板推荐配置 1110，2 层板推荐配置 1111； 对接同步 NAND 时，3.3V 推荐配置 1110，1.8V 推荐配置 1101； 当管脚功能为 EMMC_CDATA6 时： HSDDR 工作模式时，推荐配置 1110； HS200/HS400 工作模式时，推荐配置 1011； 其他功能推荐配置 1111；</p>
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_9	<p>NF_DQ2 管脚的具体复用情况。</p> <p>00: GPIO1_1; 01: NF_DQ2; 10: EMMC_CDATA6; 其它: 保留。</p>

ioshare_10

NF_DQ1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x028		ioshare_10		0x000011F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctl_10_PD	ioctl_10_PU	reserved	ioctl_10_SR	ioctl_10_DS	reserved	ioshare_10
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctl_10_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctl_10_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctl_10_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctl_10_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA;								



			1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 NF_DQ1 时: 对接异步 NAND 时, 4 层板推荐配置 1110, 2 层板推荐配置 1111; 对接同步 NAND 时, 3.3V 推荐配置 1110, 1.8V 推荐配置 1101; 当管脚功能为 EMMC_CDATA2 时: HSDDR 工作模式时, 推荐配置 1110; HS200/HS400 工作模式时, 推荐配置 1011; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_10	NF_DQ1 管脚的具体复用情况。 00: GPIO1_2; 01: NF_DQ1; 10: EMMC_CDATA2; 其它: 保留。

ioshare_11

NF_DQ0 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value															
	0x02C	ioshare_11	0x000011F0															
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																	
Name	reserved											ioctrl_11_PD	ioctrl_11_PU	reserved	ioctrl_11_SR	ioctrl_11_DS	reserved	ioshare_11
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 1 1 1 1 1 0 0 0 0																	
Bits	Access	Name	Description															
[31:14]	RW	reserved	保留。															
[13]	RW	ioctrl_11_PD	下拉使能。 0: 不使能; 1: 使能。															



[12]	RW	ioctrl_11_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_11_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:4]	RW	ioctrl_11_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 当管脚功能为 NF_DQ0 时: 对接异步 NAND 时, 4 层板推荐配置 1110, 2 层板推荐配置 1111; 对接同步 NAND 时, 3.3V 推荐配置 1110, 1.8V 推荐配置 1101; 当管脚功能为 EMMC_CDATA7 时: HSDDR 工作模式时, 推荐配置 1110; HS200/HS400 工作模式时, 推荐配置 1011; 其他功能推荐配置 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_11	NF_DQ0 管脚的具体复用情况。



			00: GPIO1_3; 01: NF_DQ0; 10: EMMC_CDATA7; 其它: 保留。
--	--	--	--

ioshare_12

NF_WEN 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x030		ioshare_12		0x000001F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctrl_12_PD	ioctrl_12_PU	reserved	ioctrl_12_SR	ioctrl_12_DS	reserved	ioshare_12
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctrl_12_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctrl_12_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctrl_12_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 EMMC_CCLK_OUT 时: HS200 工作模式下, 工作频率为 200MHz 单沿时推荐配置 0, 其他工作模式推荐配置 1; 其他功能推荐配置 1;								
[7:4]	RW	ioctrl_12_DS	驱动力选择。								



			<p>0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 NF_WEN 时： 对接异步 NAND 时，推荐配置 1110； 对接同步 NAND 时，推荐配置 1111； 当管脚功能为 EMMC_CCLK_OUT 时： HSDDR 工作模式时，推荐配置 1101； HS200 工作模式时，200MHz 单沿推荐配置 0011 HS400 工作模式时，100MHz 双沿推荐配置 1011，其他功能推荐配置 1111；</p>
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_12	<p>NF_WEN 管脚的具体复用情况。</p> <p>00: GPIO1_4; 01: NF_WEN; 10: EMMC_CCLK_OUT; 其它：保留。</p>

ioshare_13

NF_ALE 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x034		ioshare_13		0x00000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_13_PD	ioctrl_13_PU	reserved	ioctrl_13_SR	reserved	ioctrl_13_DS	reserved	ioshare_13
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_13_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_13_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_13_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_13_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;									
[3:1]	RW	reserved	保留。									
[0]	RW	ioshare_13	NF_ALE 管脚的具体复用情况。 0: GPIO1_5; 1: NF_ALE。									



ioshare_14

NF_CLE 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x038				ioshare_14				0x000011F0																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_14_PD	ioctrl_14_PU	reserved		ioctrl_14_SR	ioctrl_14_DS				reserved		ioshare_14								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_14_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_14_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_14_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;																											
[7:4]	RW		ioctrl_14_DS		驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA;																											



			1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。 注：当管脚功能为 NF_CLE 时，推荐配置 1111； 当管脚功能为 EMMC_CCMD 时： HSDDR 工作模式时，推荐配置 1110； HS200/HS400 工作模式时，推荐配置 1011； 其他功能推荐配置 1111；
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_14	NF_CLE 管脚的具体复用情况。 00: GPIO1_6; 01: NF_CLE; 10: EMMC_CCMD; 其它：保留。

ioshare_15

NF_REC 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																				
	0x03C	ioshare_15	0x000001F0																				
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																						
Name	reserved																ioctrl_15_PD	ioctrl_15_PU	reserved	ioctrl_15_SR	ioctrl_15_DS	reserved	ioshare_15
Reset	0 1 1 1 1 1 0 0 0 0																						
Bits	Access	Name	Description																				
[31:14]	RW	reserved	保留。																				
[13]	RW	ioctrl_15_PD	下拉使能。 0: 不使能； 1: 使能。																				
[12]	RW	ioctrl_15_PU	上拉使能。																				



			0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_15_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:4]	RW	ioctrl_15_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。 注: 推荐配置为 1111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_15	NF_REC 管脚的具体复用情况。 00: GPIO1_7; 01: NF_REC; 10: EMMC_RST; 其它: 保留。

ioshare_16

NF_REN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value							
0x040		ioshare_16		0x000001F0							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctl_16_PD	ioctl_16_PU	reserved	ioctl_16_SR	ioctl_16_DS	reserved	ioshare_16
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	1 1 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:14]	RW	reserved	保留。								
[13]	RW	ioctl_16_PD	下拉使能。 0: 不使能; 1: 使能。								
[12]	RW	ioctl_16_PU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctl_16_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:4]	RW	ioctl_16_DS	驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA;								



			1101: 3mA; 1110: 2mA; 1111: 1mA。 注：当管脚功能为 NF_REN 时： 对接异步 NAND 时，推荐配置 1110； 对接同步 NAND 时，推荐配置 1111； 其他功能推荐配置 1111；
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_16	NF_REN 管脚的具体复用情况。 00: GPIO2_0; 01: NF_REN; 10: EMMC_DATA_STROBE; 其它：保留。

ioshare_17

PMC_CORE0 管脚复用控制寄存器。

	Offset Address 0x044								Register Name ioshare_17								Total Reset Value 0x00000130															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_17_PD		ioctrl_17_PU		reserved		ioctrl_17_SR		reserved		ioctrl_17_DS		reserved		ioshare_17									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	[31:14]		[13]	[12]	[11:9]	[8]																										
Access	RW		RW	RW	RW	RW																										
Name	reserved		ioctrl_17_PD	ioctrl_17_PU	reserved	ioctrl_17_SR																										
Description	保留。		下拉使能。 0: 不使能; 1: 使能。	上拉使能。 0: 不使能; 1: 使能。	保留。	slew rate 控制使能。																										



			0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_17_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注：推荐配置为 11；
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_17	PMC_CORE0 管脚的具体复用情况。 00: PMC_CORE0; 01: I2C0_SDA; 10: GPIO2_1; 其它：保留。

ioshare_18

PMC_GPU0 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x048	ioshare_18	0x00000130	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%; text-align: center;">reserved</div> <div style="width: 2%;"></div> <div style="width: 2%; text-align: center;">ioctrl_18_PD</div> <div style="width: 2%; text-align: center;">ioctrl_18_PU</div> <div style="width: 2%;"></div> <div style="width: 2%; text-align: center;">reserved</div> <div style="width: 2%; text-align: center;">ioctrl_18_SR</div> <div style="width: 2%; text-align: center;">reserved</div> <div style="width: 2%; text-align: center;">ioctrl_18_DS</div> <div style="width: 2%; text-align: center;">reserved</div> <div style="width: 2%; text-align: center;">ioshare_18</div> </div>			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 1 0 0 0 0			
Bits	Access	Name	Description	
[31:14]	RW	reserved	保留。	
[13]	RW	ioctrl_18_PD	下拉使能。 0: 不使能; 1: 使能。	
[12]	RW	ioctrl_18_PU	上拉使能。	



			0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctl_18_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctl_18_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_18	PMC_GPU0 管脚的具体复用情况。 00: PMC_GPU0; 01: I2C0_SCL; 10: GPIO2_2; 其它: 保留。

ioshare_19

SATA0_PWREN 管脚复用控制寄存器。

	Offset Address 0x04C								Register Name ioshare_19								Total Reset Value 0x00000130															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctl_19_PD		ioctl_19_PU		reserved		ioctl_19_SR		reserved		ioctl_19_DS		reserved		ioshare_19									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											



[13]	RW	ioctrl_19_PD	下拉使能。 0: 不使能; 1: 使能。
[12]	RW	ioctrl_19_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_19_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_19_DS1	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 SIM1_DATA 时: OD 模式时推荐配置 10; CMOS 模式时推荐配置 11; 其他功能推荐配置 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_19	SATA0_PWREN 管脚的具体复用情况。 000: GPIO2_3; 001: SATA0_PWREN; 010: UART3_CTSN; 101: TSI0_D7; 110: TSI3_CLK; 111: SIM1_DATA; 其它: 保留。

ioshare_20

SATA0_LED_N 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x050		ioshare_20		0x00000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_20_PD	ioctrl_20_PU	reserved	ioctrl_20_SR	reserved	ioctrl_20_DS	reserved	ioshare_20
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_20_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_20_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_20_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_20_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;									
[3]	RW	reserved	保留。									
[2:0]	RW	ioshare_20	SATA0_LED_N 管脚的具体复用情况。 000: GPIO2_4; 001: SATA0_LED_N; 010: UART3_RTSEN; 011: TS11_SYNC;									



			100: TSI1_D1; 101: TSI0_D6; 110: TSI3_VALID; 111: SIM1_DET。
--	--	--	--

ioshare_21

GPIO2_5 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value								
0x054		ioshare_21		0x00000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_21_PD	ioctrl_21_PU	reserved	ioctrl_21_SR	reserved	ioctrl_21_DS	reserved	ioshare_21
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_21_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_21_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_21_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_21_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。									



			注：推荐配置为 11；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_21	GPIO2_5 管脚的具体复用情况。 000: GPIO2_5; 010: UART3_RXD; 011: TSI1_D0; 101: TSI0_D5; 110: TSI3_D0; 111: SIM1_RST; 其它：保留。

ioshare_22

GPIO2_6 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																									
	0x058				ioshare_22				0x00000130																									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved																ioctrl_22_PD	ioctrl_22_PU	reserved		ioctrl_22_SR	reserved		ioctrl_22_DS	reserved	ioshare_22								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	0	0	0	0
Bits	Access		Name		Description																													
[31:14]	RW		reserved		保留。																													
[13]	RW		ioctrl_22_PD		下拉使能。 0: 不使能; 1: 使能。																													
[12]	RW		ioctrl_22_PU		上拉使能。 0: 不使能; 1: 使能。																													
[11:9]	RW		reserved		保留。																													
[8]	RW		ioctrl_22_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。																													



			注：推荐配置为 1；
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_22_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注：当管脚功能为 SIM1_CLK 时： OD 模式下时，4 层板推荐配置 01，2 层板推荐配置 10； COMOS 模式下时，4 层板推荐配置 10，2 层板推荐配置 11； 其他功能推荐配置 11；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_22	GPIO2_6 管脚的具体复用情况。 000: GPIO2_6; 010: UART3_TXD; 011: TSI1_CLK; 101: TSI0_D4; 110: TSI2_VALID; 111: SIM1_CLK; 其它：保留。

ioshare_23

GPIO2_7 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x05C				ioshare_23				0x00000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_23_PD	ioctrl_23_PU	reserved		ioctrl_23_SR	reserved		ioctrl_23_DS	reserved		ioshare_23									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											



[13]	RW	ioctrl_23_PD	下拉使能。 0: 不使能; 1: 使能。
[12]	RW	ioctrl_23_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_23_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_23_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_23	GPIO2_7 管脚的具体复用情况。 000: GPIO2_7; 001: I2C2_SDA; 011: TSI1_VALID; 101: TSI0_D3; 110: TSI2_D0; 111: SIM1_PWREN; 其它: 保留。

ioshare_24

JTAG_TRSTN 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x060		ioshare_24		0x00002130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_24_PD	ioctrl_24_PU	reserved	ioctrl_24_SR	reserved	ioctrl_24_DS	reserved	ioshare_24
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_24_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_24_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_24_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_24_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 SIM1_DATA 时: OD 模式时推荐配置 10; CMOS 模式时推荐配置 11; 其他功能推荐配置 11;									
[3]	RW	reserved	保留。									
[2:0]	RW	ioshare_24	JTAG_TRSTN 管脚的具体复用情况。 000: JTAG_TRSTN; 001: I2C2_SCL;									



			010: SPI0_SDO; 011: SIM0_DATA; 100: GPIO3_0; 其它: 保留。
--	--	--	---

ioshare_25

JTAG_TDI 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x064	ioshare_25	0x00000130	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
			19 18 17 16	
			15 14 13 12	
			11 10 9 8	
			7 6 5 4	
			3 2 1 0	
Name	reserved			
			ioctrl_25_PD	
			ioctrl_25_PU	
			reserved	
			ioctrl_25_SR	
			reserved	
			ioctrl_25_DS	
			reserved	
ioshare_25				
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
			0 0 0 0	
			0 0 0 0	
			0 0 0 1	
			0 0 1 1	
			0 0 0 0	
Bits	Access	Name	Description	
[31:14]	RW	reserved	保留。	
[13]	RW	ioctrl_25_PD	下拉使能。 0: 不使能; 1: 使能。	
[12]	RW	ioctrl_25_PU	上拉使能。 0: 不使能; 1: 使能。	
[11:9]	RW	reserved	保留。	
[8]	RW	ioctrl_25_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;	
[7:6]	RW	reserved	保留。	
[5:4]	RW	ioctrl_25_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA;	



			11: 1mA。 注：推荐配置为 11；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_25	JTAG_TDI 管脚的具体复用情况。 000: JTAG_TDI; 010: SPI0_CSN; 011: SIM0_DET; 100: GPIO3_1; 101: UART2_CTSN; 其它：保留。

ioshare_26

JTAG_TMS 管脚复用控制寄存器。

	Offset Address 0x068								Register Name ioshare_26								Total Reset Value 0x00000130															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_26_PD		ioctrl_26_PU		reserved		ioctrl_26_SR		reserved		ioctrl_26_DS		reserved		ioshare_26									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_26_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_26_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_26_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。																											



			注：推荐配置为 1；
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_26_DS	<p>驱动力选择。</p> <p>00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。</p> <p>注：当管脚功能为 I2S_RX_BCLK 时： 4 层板推荐配置 01； 2 层板 3.3V 时推荐配置 11，1.8V 时推荐配置 10； 当管脚功能为 SPI0_SCLK 时： 4 层板推荐配置 01，2 层板推荐配置 10； 其他功能推荐配置 11；</p>
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_26	<p>JTAG_TMS 管脚的具体复用情况。</p> <p>000: JTAG_TMS; 001: I2S_RX_BCLK; 010: SPI0_SCLK; 011: SIM0_RST; 100: GPIO3_2; 101: UART2_TXD; 其它：保留。</p>

ioshare_27

JTAG_TCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x06C		ioshare_27		0x00000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_27_PD	ioctrl_27_PU	reserved	ioctrl_27_SR	reserved	ioctrl_27_DS	reserved	ioshare_27
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1	0 0 0 0	1 1	0 0 0 0	0	
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_27_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_27_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_27_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_27_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 SIM0_CLK 时: OD 模式下时, 4 层板推荐配置 01, 2 层板推荐配置 10; COMOS 模式下时, 4 层板推荐配置 10, 2 层板推荐配置 11; 其他功能推荐配置 11;									
[3]	RW	reserved	保留。									
[2:0]	RW	ioshare_27	JTAG_TCK 管脚的具体复用情况。 000: JTAG_TCK;									



			001: I2S_RX_WS; 010: SPI0_SDI; 011: SIM0_CLK; 100: GPIO3_3; 101: UART2_RXD; 其它: 保留。
--	--	--	--

ioshare_28

JTAG_TDO 管脚复用控制寄存器。

	Offset Address 0x070								Register Name ioshare_28								Total Reset Value 0x00000130															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_28_PD		ioctrl_28_PU		reserved		ioctrl_28_SR		reserved		ioctrl_28_DS		reserved		ioshare_28									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_28_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_28_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_28_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;																											
[7:6]	RW		reserved		保留。																											
[5:4]	RW		ioctrl_28_DS		驱动力选择。 00: 4mA; 01: 3mA;																											



			10: 2mA; 11: 1mA。 注：当管脚功能为 I2S_RX_MCLK 时： 4 层板时推荐配置 00，2 层板时推荐配置 10； 其他功能推荐配置 11；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_28	JTAG_TDO 管脚的具体复用情况。 000: JTAG_TDO; 001: I2S_RX_MCLK; 010: I2S_DOUT3; 011: SIM0_PWREN; 100: GPIO3_4; 101: UART2_RTSEN; 其它：保留。

ioshare_29

GPIO3_5 管脚复用控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x074				ioshare_29								0x00000130																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_29_OPD	reserved				ioctrl_29_SR	reserved		ioctrl_29_DS	reserved		ioshare_29				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	[31:14]		[13]		[12:9]		[8]																									
Access	RW		RW		RW		RW																									
Name	reserved		ioctrl_29_OPD		reserved		ioctrl_29_SR																									
Description	保留。		下拉使能。 0: 不使能; 1: 使能。		保留。		slew rate 控制使能。 0: no SR ctrl;																									



			1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_29_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 I2S_MCLK 时: 4 层板时推荐配置 00, 2 层板时推荐配置 10; 当管脚功能为 SF_WPN_IO2 时: 4 层板时推荐配置 10, 2 层板时推荐配置 11; 其他功能推荐配置 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_29	GPIO3_5 管脚的具体复用情况。 000: GPIO3_5; 001: I2S_MCLK; 010: I2S_DOUT2; 101: SF_WPN_IO2; 110: TSO0_SYNC; 其它: 保留。

ioshare_30

GPIO3_6 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x078				ioshare_30				0x00000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_30_PD		ioctrl_30_PU		reserved		ioctrl_30_SR		reserved		ioctrl_30_DS		reserved		ioshare_30									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											



[13]	RW	ioctrl_30_PD	下拉使能。 0: 不使能; 1: 使能。
[12]	RW	ioctrl_30_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_30_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_30_DS1	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 SF_SDI_IO1 时: 4 层板时推荐配置 10, 2 层板时推荐配置 11; 当管脚功能为 TSO0_VALID 时: 4 层板时推荐配置 10, 2 层板时推荐配置 11; 其他功能推荐配置 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_30	GPIO3_6 管脚的具体复用情况。 000: GPIO3_6; 001: I2S_WS; 010: I2S_DOUT1; 011: TS11_SYNC; 100: TS11_D1; 101: SF_SDI_IO1; 110: TSO0_VALID; 其它: 保留。



ioshare_31

GPIO3_7 管脚复用控制寄存器。

Offset Address		Register Name		Total Reset Value							
0x07C		ioshare_31		0x00000130							
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0			
Name	reserved				ioctrl_31_OPU	reserved	ioctrl_31_SR	reserved	ioctrl_31_DS	reserved	ioshare_31
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0			
Bits	Access	Name	Description								
[31:13]	RW	reserved	保留。								
[12]	RW	ioctrl_31_OPU	上拉使能。 0: 不使能; 1: 使能。								
[11:9]	RW	reserved	保留。								
[8]	RW	ioctrl_31_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;								
[7:6]	RW	reserved	保留。								
[5:4]	RW	ioctrl_31_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 TSO0_CLK 时: 4 层板时推荐配置 01, 2 层板时推荐配置 10; 其他功能推荐配置 11;								
[3]	RW	reserved	保留。								
[2:0]	RW	ioshare_31	GPIO3_7 管脚的具体复用情况。 000: GPIO3_7; 001: I2S_DOUT0; 011: TS11_D0;								



			101: SF_CSN; 110: TSO0_CLK; 其它: 保留。
--	--	--	---

ioshare_32

GPIO4_0 管脚复用控制寄存器。

	Offset Address 0x080								Register Name ioshare_32								Total Reset Value 0x00000130																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Name	reserved								reserved				ioctrl_32_OPU	reserved				ioctrl_32_SR	reserved				ioctrl_32_DS	reserved				ioshare_32						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	0	0	0	0
Bits	Access		Name		Description																													
[31:13]	RW		reserved		保留。																													
[12]	RW		ioctrl_32_OPU		上拉使能。 0: 不使能; 1: 使能。																													
[11:9]	RW		reserved		保留。																													
[8]	RW		ioctrl_32_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;																													
[7:6]	RW		reserved		保留。																													
[5:4]	RW		ioctrl_32_DS		驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。注: 当管脚功能为 I2S_BCLK 时: 4 层板推荐配置 01; 2 层板 3.3V 时推荐配置 11, 1.8V 时推荐配置 10; 当管脚功能为 SF_HOLDN_IO3 时:																													



			4 层板推荐配置 10, 2 层板推荐配置 11; 当管脚功能为 TSO0_D0 时: 4 层板推荐配置 10, 2 层板推荐配置 11; 其他功能推荐配置 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_32	GPIO4_0 管脚的具体复用情况。 000: GPIO4_0; 001: I2S_BCLK; 010: I2S_WS; 011: TS11_CLK; 101: SF_HOLDN_IO3; 110: TSO0_D0; 其它: 保留。

ioshare_33

GPIO4_1 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x084	ioshare_33	0x00000130	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">ioctrl_33_PD</div> <div style="width: 5%; text-align: center;">ioctrl_33_PU</div> <div style="width: 10%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">ioctrl_33_SR</div> <div style="width: 5%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioctrl_33_DS</div> <div style="width: 5%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioshare_33</div> </div>			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 1 1 0 0 0 0			
Bits	Access	Name	Description	
[31:14]	RW	reserved	保留。	
[13]	RW	ioctrl_33_PD	下拉使能。 0: 不使能; 1: 使能。	
[12]	RW	ioctrl_33_PU	上拉使能。 0: 不使能; 1: 使能。	
[11:9]	RW	reserved	保留。	



[8]	RW	ioctrl_33_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_33_DS1	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 I2S_BCLK 时: 4 层板推荐配置 01; 2 层板 3.3V 时推荐配置 11, 1.8V 时推荐配置 10; 当管脚功能为 SF_CLK 时, 推荐配置 10; 其他功能推荐配置 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_33	GPIO4_1 管脚的具体复用情况。 000: GPIO4_1; 001: I2S_DIN; 010: I2S_BCLK; 011: TS11_VALID; 101: SF_CLK; 其它: 保留。

ioshare_34

GPIO4_2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x088		ioshare_34		0x00000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_34_PD	ioctrl_34_PU	reserved	ioctrl_34_SR	reserved	ioctrl_34_DS	reserved	ioshare_34
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_34_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_34_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_34_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctrl_34_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 当管脚功能为 I2S_MCLK 时: 4 层板推荐配置 00, 2 层板推荐配置 10; 当管脚功能为 SF_SDO_IO0 时: 4 层板推荐配置 10, 2 层板推荐配置 11; 其他功能推荐配置 11;									
[3]	RW	reserved	保留。									
[2:0]	RW	ioshare_34	GPIO4_2 管脚的具体复用情况。 000: GPIO4_2;									



			001: SDIO1_CWPR; 010: I2S_MCLK; 101: SF_SDO_IO0; 其它: 保留。
--	--	--	---

ioshare_35

GPIO4_3 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x08C	ioshare_35	0x00000130
Bit	31 30 29 28	27 26 25 24	23 22 21 20
			19 18 17 16
			15 14 13 12
			11 10 9 8
			7 6 5 4
			3 2 1 0
Name	reserved		
			ioctrl_35_PD
			ioctrl_35_PU
			reserved
			ioctrl_35_SR
			reserved
			ioctrl_35_DS
			reserved
			ioshare_35
Reset	0 0 0 0	0 0 0 0	0 0 0 0
			0 0 0 0
			0 0 0 0
			0 0 0 1
			0 0 1 1
			0 0 0 0
			0 0 0 0
Bits	Access	Name	Description
[31:14]	RW	reserved	保留。
[13]	RW	ioctrl_35_PD	下拉使能。 0: 不使能; 1: 使能。
[12]	RW	ioctrl_35_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_35_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_35_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA;



			11: 1mA。 注：当管脚功能为 I2S_RX_BCLK 时： 4 层板推荐配置 01； 2 层板 3.3V 时推荐配置 11，1.8V 时推荐配置 10； 其他功能推荐配置 11；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_35	GPIO4_3 管脚的具体复用情况。 000: GPIO4_3； 001: SDIO1_CARD_POWER_EN； 011: I2C1_SCL； 100: I2S_RX_BCLK； 101: TSI0_D2； 110: TSI2_CLK； 其它：保留。

ioshare_36

GPIO4_4 管脚复用控制寄存器。

	Offset Address 0x090								Register Name ioshare_36								Total Reset Value 0x00000170															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_36_PD		ioctrl_36_PU		reserved				ioctrl_36_SR		reserved		ioctrl_36_DS				reserved		ioshare_36	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_36_PD		下拉使能。 0: 不使能； 1: 使能。																											
[12]	RW		ioctrl_36_PU		上拉使能。 0: 不使能； 1: 使能。																											



[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_36_SR	<p>slew rate 控制使能。</p> <p>0: no SR ctrl; 1: SR ctrl。</p> <p>注：当管脚功能为 SDIO1_CDATA1 时： 1.8V SDR104 模式推荐配置 0； 其他模式推荐配置为 1； 其他功能推荐配置 1；</p>
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_36_DS	<p>驱动力选择。</p> <p>000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA。</p> <p>注：当管脚功能为 SDIO1_CDATA1 时： SDIO2.0 应用时 4 层板推荐配置 110，2 层板推荐配置 111， SDIO3.0 应用时； 3.3V 模式推荐配置 101； 1.8V 模式推荐配置 011； 其他功能推荐配置 111；</p>
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_36	<p>GPIO4_4 管脚的具体复用情况。</p> <p>000: GPIO4_4; 001: SDIO1_CDATA1; 100: I2S_RX_WS; 101: TSI0_D1; 110: I2C1_SDA; 其它: 保留。</p>

ioshare_37

GPIO4_5 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x094		ioshare_37		0x00000170								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctrl_37_PD	ioctrl_37_PU	reserved	ioctrl_37_SR	reserved	ioctrl_37_DS	reserved	ioshare_37
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctrl_37_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctrl_37_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctrl_37_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO1_CDATA0 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;									
[7]	RW	reserved	保留。									
[6:4]	RW	ioctrl_37_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA。 注: 当管脚功能为 SDIO1_CDATA1 时:									



			SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111, SDIO3.0 应用时; 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_37	GPIO4_5 管脚的具体复用情况。 000: GPIO4_5; 001: SDIO1_CDAT0; 010: TSI0_D1; 011: TSI0_SYNC; 100: I2S_RX_MCLK; 101: TSI0_D0; 110: I2C1_SCL; 其它: 保留。

ioshare_38

GPIO4_6 管脚复用控制寄存器。

	Offset Address								Register Name								Total Reset Value															
	0x098								ioshare_38								0x000001F0															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								reserved				ioctrl_38_PD		ioctrl_38_PU		reserved				ioctrl_38_SR				ioctrl_38_DS				reserved		ioshare_38	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_38_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_38_PU		上拉使能。 0: 不使能; 1: 使能。																											



[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_38_SR	<p>slew rate 控制使能。</p> <p>0: no SR ctrl; 1: SR ctrl。</p> <p>注：当管脚功能为 SDIO1_CCLK_OUT 时： 1.8V SDR104 模式推荐配置 0； 其他模式推荐配置为 1； 其他功能推荐配置 1；</p>
[7:4]	RW	ioctrl_38_DS	<p>驱动力选择。</p> <p>0000: 18mA; 0001: 17mA; 0010: 16mA; 0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 SDIO1_CCLK_OUT 时： SDIO2.0 应用时： 4 层板推荐配置 1100； 2 层板推荐配置 1101； SDIO3.0 应用时： 3.3V 模式推荐配置 1101； 1.8V DDR50 模式推荐配置 1001，SDR50 模式推荐配置 0100，SDR104 模式推荐配置 0000； 当管脚功能为 I2S_MCLK 时： 4 层板推荐配置 0000； 2 层板推荐配置 1110； 其他功能推荐配置 1111；</p>



[3]	RW	reserved	保留。
[2:0]	RW	ioshare_38	GPIO4_6 管脚的具体复用情况。 000: GPIO4_6; 001: SDIO1_CCLK_OUT; 011: TSI0_D0; 100: I2S_MCLK; 101: TSI0_CLK; 110: TSI1_VALID; 其它: 保留。

ioshare_39

GPIO4_7 管脚复用控制寄存器。

	Offset Address 0x09C								Register Name ioshare_39								Total Reset Value 0x00000170															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_39_PD		ioctrl_39_PU		reserved				ioctrl_39_SR		reserved		ioctrl_39_DS				reserved		ioshare_39					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_39_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_39_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_39_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO1_CCMD 时:																											



			1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctl_39_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA。 注: 当管脚功能为 SDIO1_CCMD 时: SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111, SDIO3.0 应用时; 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_39	GPIO4_7 管脚的具体复用情况。 000: GPIO4_7; 001: SDIO1_CCMD; 011: TSI0_CLK; 100: I2S_WS; 101: TSI0_VALID; 110: TSI1_D0; 其它: 保留。

ioshare_40

GPIO6_0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x0A0		ioshare_40		0x00000170								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctl_40_PD	ioctl_40_PU	reserved	ioctl_40_SR	reserved	ioctl_40_DS	reserved	ioshare_40
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	1	0	1 1 1	0 0 0 0		
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctl_40_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctl_40_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctl_40_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO1_CDATA3 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;									
[7]	RW	reserved	保留。									
[6:4]	RW	ioctl_40_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA。 注: 当管脚功能为 SDIO1_CDATA3 时:									



			SDIO2.0 应用时： 4 层板推荐配置 110，2 层板推荐配置 111， SDIO3.0 应用时： 3.3V 模式推荐配置 101； 1.8V 模式推荐配置 011； 其他功能推荐配置 111；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_40	GPIO6_0 管脚的具体复用情况。 000: GPIO6_0； 001: SDIO1_CDATA3； 010: TSI1_CLK； 011: TSI0_VALID； 100: I2S_DOUT0； 101: I2C2_SCL； 110: TSI0_VALID； 其它：保留。

ioshare_41

GPIO6_1 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0A4	ioshare_41	0x00000170	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">ioctrl_41_PD</div> <div style="width: 5%; text-align: center;">ioctrl_41_PU</div> <div style="width: 10%; text-align: center;">reserved</div> <div style="width: 5%; text-align: center;">ioctrl_41_SR</div> <div style="width: 5%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioctrl_41_DS</div> <div style="width: 5%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioshare_41</div> </div>			
Reset	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%;">0 0 0 0</div> <div style="width: 5%;">0 0 0 0</div> <div style="width: 5%;">0 0 0 0</div> <div style="width: 10%;">0 0 0 0</div> <div style="width: 5%;">0 0 0 0</div> <div style="width: 5%;">0 0 0 0</div> <div style="width: 10%;">0 0 0 1</div> <div style="width: 5%;">0 1 1 1</div> <div style="width: 10%;">0 0 0 0</div> </div>			
Bits	Access	Name	Description	
[31:14]	RW	reserved	保留。	
[13]	RW	ioctrl_41_PD	下拉使能。 0: 不使能； 1: 使能。	
[12]	RW	ioctrl_41_PU	上拉使能。 0: 不使能；	



			1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_41_SR	<p>slew rate 控制使能。</p> <p>0: no SR ctrl; 1: SR ctrl。</p> <p>注: 当管脚功能为 SDIO1_CDATA2 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;</p>
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_41_DS	<p>驱动力选择。</p> <p>000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 5mA; 101: 4mA; 110: 2mA; 111: 1mA。</p> <p>注: 当管脚功能为 SDIO1_CDATA2 时: SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111; SDIO3.0 应用时: 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 当管脚功能为 I2S_BCLK 时: 4 层板推荐配置 01; 2 层板 3.3V 时推荐配置 11, 1.8V 时推荐配置 10; 其他功能推荐配置 111;</p>
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_41	<p>GPIO6_1 管脚的具体复用情况。</p> <p>000: GPIO6_1; 001: SDIO1_CDATA2; 011: I2C2_SCL; 100: I2S_BCLK; 101: I2C2_SDA; 110: TS10_D0;</p>



			其它：保留。
--	--	--	--------

ioshare_42

GPIO6_2 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																										
	0x0A8	ioshare_42	0x00000130																										
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																												
Name	reserved																ioctrl_42_PD	ioctrl_42_PU	reserved	ioctrl_42_SR	reserved	ioctrl_42_DS	reserved	ioshare_42					
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																										
[31:14]	RW	reserved	保留。																										
[13]	RW	ioctrl_42_PD	下拉使能。 0: 不使能; 1: 使能。																										
[12]	RW	ioctrl_42_PU	上拉使能。 0: 不使能; 1: 使能。																										
[11:9]	RW	reserved	保留。																										
[8]	RW	ioctrl_42_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1;																										
[7:6]	RW	reserved	保留。																										
[5:4]	RW	ioctrl_42_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注：推荐配置为 11;																										



[3]	RW	reserved	保留。
[2:0]	RW	ioshare_42	GPIO6_2 管脚的具体复用情况。 000: GPIO6_2; 001: SDIO1_CARD_DETECT; 011: I2C2_SDA; 100: I2S_DIN; 110: TSI0_CLK; 其它: 保留。

ioshare_43

GPIO6_3 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0AC	ioshare_43	0x00002130	
Bit	31 30 29 28	27 26 25 24	23 22 21 20	
	19 18 17 16	15 14 13 12	11 10 9 8	
	7 6 5 4	3 2 1 0		
Name	reserved			
	ioctrl_43_PD			
	ioctrl_43_PU			
	reserved			
	ioctrl_43_SR			
	reserved			
	ioctrl_43_DS			
	reserved			
	ioshare_43			
Reset	0 0 0 0	0 0 0 0	0 0 0 0	
	0 0 1 0	0 0 0 0 1	0 0 1 1	
	0 0 0 0		0 0 0 0	
Bits	Access	Name	Description	
[31:14]	RW	reserved	保留。	
[13]	RW	ioctrl_43_PD	下拉使能。 0: 不使能; 1: 使能。	
[12]	RW	ioctrl_43_PU	上拉使能。 0: 不使能; 1: 使能。	
[11:9]	RW	reserved	保留。	
[8]	RW	ioctrl_43_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;	
[7:6]	RW	reserved	保留。	



[5:4]	RW	ioctl_43_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:1]	RW	reserved	保留。
[0]	RW	ioshare_43	GPIO6_3 管脚的具体复用情况。 0: JTAG_SEL; 1: GPIO6_3。

ioshare_44

SPDIF_OUT 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0B0				ioshare_44				0x0000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_44_PD	ioctl_44_PU	reserved	ioctl_44_SR	reserved	ioctl_44_DS	reserved	ioshare_44								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctl_44_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctl_44_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctl_44_SR		slew rate 控制使能。																											



			0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctl_44_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注：推荐配置为 11；
[3:1]	RW	reserved	保留。
[0]	RW	ioshare_44	SPDIF_OUT 管脚的具体复用情况。 0: GPIO6_4; 1: SPDIF_OUT。

ioshare_45

HDMITX_HOTPLUG 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0B4				ioshare_45				0x00000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																										ioshare_45					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctl_45_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctl_45_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											



[8]	RW	ioctrl_45_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_45_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_45	HDMITX_HOTPLUG 管脚的具体复用情况。 01: HDMITX_HOTPLUG; 10: GPIO6_5; 其它: 保留。

ioshare_46

HDMITX_SDA 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																					
	0x0B8	ioshare_46	0x00000130																					
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Name	reserved																ioctrl_46_PD	ioctrl_46_PU	reserved	ioctrl_46_SR	reserved	ioctrl_46_DS	reserved	ioshare_46
Reset	0 1 0 0 0 1 1 0 0 0 0																							
Bits	Access	Name	Description																					
[31:14]	RW	reserved	保留。																					
[13]	RW	ioctrl_46_PD	下拉使能。 0: 不使能; 1: 使能。																					
[12]	RW	ioctrl_46_PU	上拉使能。																					



			0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_46_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctrl_46_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_46	HDMITX_SDA 管脚的具体复用情况。 01: HDMITX_SDA; 10: GPIO6_6; 其它: 保留。

ioshare_47

HDMITX_SCL 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0BC				ioshare_47				0x00000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_47_PD	ioctrl_47_PU	reserved	ioctrl_47_SR	reserved	ioctrl_47_DS	reserved	ioshare_47								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_47_PD		下拉使能。																											



			0: 不使能; 1: 使能。
[12]	RW	ioctl_47_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctl_47_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctl_47_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_47	HDMITX_SCL 管脚的具体复用情况。 01: HDMITX_SCL; 10: GPIO6_7; 其它: 保留。

ioshare_48

HDMITX_CEC 管脚复用控制寄存器。



	Offset Address				Register Name								Total Reset Value																			
	0x0C0				ioshare_48								0x00000F30																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctl_48_DS				reserved		ioshare_48									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:6]	RW		reserved		保留。																											
[5:4]	RW		ioctl_48_DS		驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;																											
[3:2]	RW		reserved		保留。																											
[1:0]	RW		ioshare_48		HDMITX_CEC 管脚的具体复用情况。 01: HDMITX_CEC; 10: GPIO7_0; 其它: 保留。																											

ioshare_49

RGMIIRXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0C4		ioshare_49		0x00000170									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctl_49_SMT	ioctl_49_PD	ioctl_49_PU	reserved	ioctl_49_SR	reserved	ioctl_49_DS	reserved	ioshare_49
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctl_49_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。										
[13]	RW	ioctl_49_PD	下拉使能。 0: 不使能; 1: 使能。										
[12]	RW	ioctl_49_PU	上拉使能。 0: 不使能; 1: 使能。										
[11:9]	RW	reserved	保留。										
[8]	RW	ioctl_49_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CDATA1 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;										
[7]	RW	reserved	保留。										
[6:4]	RW	ioctl_49_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA;										



			110: 6mA; 111: 4mA。 注: 当管脚功能为 RMII_TXD1 时: 4 层板推荐配置 110, 2 层板推荐配置 111; 当管脚功能为 SDIO0_CDATAB1 时: SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111; SDIO3.0 应用时, 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_49	RGMII_RXCK 管脚的具体复用情况。 000: GPIO7_4; 001: RGMII_RXCK; 010: RMII_TXD1; 011: SDIO0_CDATAB1; 其它: 保留。

ioshare_50

RGMII_RXDV 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value																												
	0x0C8	ioshare_50	0x00000170																												
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																														
Name	reserved											ioctrl_50_SMT	ioctrl_50_PD	ioctrl_50_PU	reserved			ioctrl_50_SR	reserved	ioctrl_50_DS	reserved	ioshare_50									
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
Bits	Access	Name	Description																												
[31:15]	RW	reserved	保留。																												
[14]	RW	ioctrl_50_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。																												
[13]	RW	ioctrl_50_PD	下拉使能。																												



			0: 不使能; 1: 使能。
[12]	RW	ioctrl_50_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_50_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CDATAB0 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_50_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 当管脚功能为 RMII_TXD0 时: 4 层板推荐配置 110, 2 层板推荐配置 111; 当管脚功能为 SDIO0_CDATAB0 时: SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111, SDIO3.0 应用时; 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_50	RGMIIRXDV 管脚的具体复用情况。 000: GPIO7_5; 001: RGMIIRXDV; 010: RMII_TXD0;



			011: SDIO0_CDATA0; 其它: 保留。
--	--	--	-------------------------------

ioshare_51

RGMII_RXD0 管脚复用控制寄存器。

	Offset Address 0x0CC								Register Name ioshare_51								Total Reset Value 0x000001F0															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																ioctrl_51_PD	ioctrl_51_PU	reserved				ioctrl_51_SR	ioctrl_51_DS				reserved		ioshare_51		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_51_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_51_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_51_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CCLK_OUT 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;																											
[7:4]	RW		ioctrl_51_DS		驱动力选择。 0000: 18mA; 0001: 17mA; 0010: 16mA;																											



			<p>0011: 15mA; 0100: 13mA; 0101: 12mA; 0110: 11mA; 0111: 10mA; 1000: 9mA; 1001: 8mA; 1010: 7mA; 1011: 6mA; 1100: 4mA; 1101: 3mA; 1110: 2mA; 1111: 1mA。</p> <p>注：当管脚功能为 RMII_TXEN 时： 4 层板推荐配置 1100，2 层板推荐配置 1110； 当管脚功能为 SDIO0_CCLK_OUT 时： SDIO2.0 应用时： 4 层板推荐配置 1100，2 层板推荐配置 1101； SDIO3.0 应用时： 3.3V 模式推荐配置 1101； 1.8V DDR50 模式推荐配置 1001，SDR50 模式推荐配置 0100，SDR104 模式推荐配置 0000； 其他功能推荐配置 1111；</p>
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_51	<p>RGMIIRXDD0 管脚的具体复用情况。</p> <p>000: GPIO7_6; 001: RGMIIRXDD0; 010: RMII_TXEN; 011: SDIO0_CCLK_OUT; 其它: 保留。</p>

ioshare_52

RGMIIRXDD1 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0D0		ioshare_52		0x0000170									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctrl_52_SMT	ioctrl_52_PD	ioctrl_52_PU	reserved	ioctrl_52_SR	reserved	ioctrl_52_DS	reserved	ioshare_52
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctrl_52_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。										
[13]	RW	ioctrl_52_PD	下拉使能。 0: 不使能; 1: 使能。										
[12]	RW	ioctrl_52_PU	上拉使能。 0: 不使能; 1: 使能。										
[11:9]	RW	reserved	保留。										
[8]	RW	ioctrl_52_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CCMD 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;										
[7]	RW	reserved	保留。										
[6:4]	RW	ioctrl_52_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA;										



			110: 6mA; 111: 4mA。 注: 当管脚功能为 SDIO0_CCMD 时: SDIO2.0 应用时: 4 层板推荐配置 110, 2 层板推荐配置 111; SDIO3.0 应用时: 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_52	RGMII_RXD1 管脚的具体复用情况。 000: GPIO7_7; 001: RGMII_RXD1; 010: RMII_RXDV; 011: SDIO0_CCMD; 其它: 保留。

ioshare_53

RGMII_RXD2 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value	
	0x0D4	ioshare_53	0x00000170	
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Name	<div style="display: flex; justify-content: space-between;"> <div style="width: 20%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioctrl_53_SMT</div> <div style="width: 10%; text-align: center;">ioctrl_53_PD</div> <div style="width: 10%; text-align: center;">ioctrl_53_PU</div> <div style="width: 10%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioctrl_53_SR</div> <div style="width: 10%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioctrl_53_DS</div> <div style="width: 10%; text-align: center;">reserved</div> <div style="width: 10%; text-align: center;">ioshare_53</div> </div>			
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 1 1 1 0 0 0 0			
Bits	Access	Name	Description	
[31:15]	RW	reserved	保留。	
[14]	RW	ioctrl_53_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。	
[13]	RW	ioctrl_53_PD	下拉使能。	



			0: 不使能; 1: 使能。
[12]	RW	ioctl_53_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctl_53_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CDATAB3 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctl_53_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 当管脚功能为 SDIO0_CDATAB3 时: SDIO2.0 应用时 4 层板推荐配置 110, 2 层板推荐配置 111, SDIO3.0 应用时; 3.3V 模式推荐配置 101; 1.8V 模式推荐配置 011; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_53	RGMII_RXD2 管脚的具体复用情况。 000: GPIO8_0; 001: RGMII_RXD2; 010: RMII_RXD0; 011: SDIO0_CDATAB3; 其它: 保留。



ioshare_54

RGMIU_RXD3 管脚复用控制寄存器。

	Offset Address 0x0D8								Register Name ioshare_54								Total Reset Value 0x00000170															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_54_SMT			ioctrl_54_PD		ioctrl_54_PU			reserved				ioctrl_54_SR		reserved		ioctrl_54_DS				reserved		ioshare_54	
Reset	0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 0				0 0 0 1				0 1 1 1				0 0 0 0			
Bits	Access		Name		Description																											
[31:15]	RW		reserved		保留。																											
[14]	RW		ioctrl_54_SMT		schmitt 使能控制。 0: 不使能; 1: 使能。																											
[13]	RW		ioctrl_54_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_54_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_54_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 SDIO0_CDATA2 时: 1.8V SDR104 模式推荐配置 0; 其他模式推荐配置为 1; 其他功能推荐配置 1;																											
[7]	RW		reserved		保留。																											
[6:4]	RW		ioctrl_54_DS		驱动力选择。 000: 18mA;																											



			001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注：当管脚功能为 SDIO0_CDATAB2 时： SDIO2.0 应用时 4 层板推荐配置 110，2 层板推荐配置 111， SDIO3.0 应用时； 3.3V 模式推荐配置 101； 1.8V 模式推荐配置 011； 其他功能推荐配置 111；
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_54	RGMIIR_RXD3 管脚的具体复用情况。 000: GPIO8_1; 001: RGMIIR_RXD3; 010: RMII_RXD1; 011: SDIO0_CDATAB2; 其它：保留。

ioshare_55

RGMIIR_RST 管脚复用控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0DC				ioshare_55								0x00000130																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved														ioctrl_55_PD	ioctrl_55_PU	reserved				ioctrl_55_SR	reserved				ioctrl_55_DS	reserved				ioshare_55	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_55_PD		下拉使能。																											



			0: 不使能; 1: 使能。
[12]	RW	ioctl_55_PU	上拉使能。 0: 不使能; 1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctl_55_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctl_55_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_55	RGMII_RST 管脚的具体复用情况。 000: GPIO7_1; 001: RGMII_RST; 010: UART3_TXD; 011: FE_LED_ACT; 其它: 保留。

ioshare_56

RGMII_MDIO 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value								
0x0E0		ioshare_56		0x0000130								
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0				
Name	reserved				ioctl_56_PD	ioctl_56_PU	reserved	ioctl_56_SR	reserved	ioctl_56_DS	reserved	ioshare_56
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 0 1 1	0 0 0 0				
Bits	Access	Name	Description									
[31:14]	RW	reserved	保留。									
[13]	RW	ioctl_56_PD	下拉使能。 0: 不使能; 1: 使能。									
[12]	RW	ioctl_56_PU	上拉使能。 0: 不使能; 1: 使能。									
[11:9]	RW	reserved	保留。									
[8]	RW	ioctl_56_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;									
[7:6]	RW	reserved	保留。									
[5:4]	RW	ioctl_56_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;									
[3]	RW	reserved	保留。									
[2:0]	RW	ioshare_56	RGMII_MDIO 管脚的具体复用情况。 000: GPIO7_2; 001: RGMII_MDIO; 010: UART3_RXD;									



			011: FE_LED_BASE; 其它: 保留。
--	--	--	------------------------------

ioshare_57

RGMII_MDCK 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x0E4				ioshare_57				0x0000130																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved												ioctrl_57_PD	ioctrl_57_PU	reserved		ioctrl_57_SR	reserved		ioctrl_57_DS	reserved	ioshare_57										
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_57_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_57_PU		上拉使能。 0: 不使能; 1: 使能。																											
[11:9]	RW		reserved		保留。																											
[8]	RW		ioctrl_57_SR		slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;																											
[7:6]	RW		reserved		保留。																											
[5:4]	RW		ioctrl_57_DS		驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;																											



[3]	RW	reserved	保留。
[2:0]	RW	ioshare_57	<p>RGMII_MDCK 管脚的具体复用情况。</p> <p>000: GPIO7_3; 001: RGMII_MDCK; 010: RMII_RST; 011: SDIO0_CARD_DETECT; 其它: 保留。</p>

ioshare_58

RGMII_TXEN 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value
	0x0E8	ioshare_58	0x00000170
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Name	reserved		
Reset	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
Bits	Access	Name	Description
[31:15]	RW	reserved	保留。
[14]	RW	ioctrl_58_SMT	<p>schmitt 使能控制。</p> <p>0: 不使能; 1: 使能。</p>
[13]	RW	ioctrl_58_PD	<p>下拉使能。</p> <p>0: 不使能; 1: 使能。</p>
[12]	RW	ioctrl_58_PU	<p>上拉使能。</p> <p>0: 不使能; 1: 使能。</p>
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_58_SR	<p>slew rate 控制使能。</p> <p>0: no SR ctrl; 1: SR ctrl。</p> <p>注: 当管脚功能为 RGMII_TXEN 时:</p>



			1.8V 模式推荐配置为 0; 3.3V 模式推荐配置为 1 其他功能推荐配置 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_58_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 当管脚功能为 RGMII_TXEN 时: 3.3V 模式推荐配置 101, 1.8V 模式推荐配置 100; 当管脚为其他功能时推荐配置为 111
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_58	RGMII_TXEN 管脚的具体复用情况。 000: GPIO8_2; 001: RGMII_TXEN; 011: BOOT_SEL0; 其它: 保留。

ioshare_59

RGMII_TXCK 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0EC		ioshare_59		0x00000170									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctrl_59_SMT	ioctrl_59_PD	ioctrl_59_PU	reserved	ioctrl_59_SR	reserved	ioctrl_59_DS	reserved	ioshare_59
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctrl_59_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。										
[13]	RW	ioctrl_59_PD	下拉使能。 0: 不使能; 1: 使能。										
[12]	RW	ioctrl_59_PU	上拉使能。 0: 不使能; 1: 使能。										
[11:9]	RW	reserved	保留。										
[8]	RW	ioctrl_59_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 RGMII_TXCK 时: 3.3V 推荐配置为 1; 1.8V 模式下推荐配置为 0; 当管脚为其他功能时推荐配置为 1;										
[7]	RW	reserved	保留。										
[6:4]	RW	ioctrl_59_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA;										



			110: 6mA; 111: 4mA。 注：当管脚功能为 RGMII_TXCK 时： 3.3V 模式下推荐配置 101； 1.8V 模式下推荐配置 100； 其他功能推荐配置 111；
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_59	RGMII_TXCK 管脚的具体复用情况。 00: GPIO8_3； 01: RGMII_TXCK； 10: UART3_CTSN； 其它：保留。

ioshare_60

RGMII_TXD3 管脚复用控制寄存器。

	Offset Address	Register Name	Total Reset Value										
	0x0F0	ioshare_60	0x00000170										
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctrl_60_SMT	ioctrl_60_PD	ioctrl_60_PU	reserved	ioctrl_60_SR	reserved	ioctrl_60_DS	reserved	ioshare_60
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctrl_60_SMT	schmitt 使能控制。 0: 不使能； 1: 使能。										
[13]	RW	ioctrl_60_PD	下拉使能。 0: 不使能； 1: 使能。										
[12]	RW	ioctrl_60_PU	上拉使能。 0: 不使能；										



			1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_60_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_60_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 当管脚功能为 RGMII_TXD3 时: 3.3V 推荐配置 101, 1.8V 推荐配置 100; 其他功能推荐配置 111;
[3:2]	RW	reserved	保留。
[1:0]	RW	ioshare_60	RGMII_TXD3 管脚的具体复用情况。 00: GPIO8_4; 01: RGMII_TXD3; 10: UART3_RTSN; 其它: 保留。

ioshare_61

RGMII_TXD2 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0F4		ioshare_61		0x0000170									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctrl_61_SMT	ioctrl_61_PD	ioctrl_61_PU	reserved	ioctrl_61_SR	reserved	ioctrl_61_DS	reserved	ioshare_61
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctrl_61_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。										
[13]	RW	ioctrl_61_PD	下拉使能。 0: 不使能; 1: 使能。										
[12]	RW	ioctrl_61_PU	上拉使能。 0: 不使能; 1: 使能。										
[11:9]	RW	reserved	保留。										
[8]	RW	ioctrl_61_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 RGMII_TXD2 时: 3.3V 模式下推荐配置为 1, 1.8V 模式下推荐配置为 0; 当管脚为其他功能时推荐配置为 1;										
[7]	RW	reserved	保留。										
[6:4]	RW	ioctrl_61_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA;										



			110: 6mA; 111: 4mA。 注: 当管脚功能为 RGMII_TXD2 时: 3.3V 推荐配置 101, 1.8V 推荐配置 100; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_61	RGMII_TXD2 管脚的具体复用情况。 000: GPIO8_5; 001: RGMII_TXD2; 010: RMII_MDCK; 011: BOOT_SEL1; 其它: 保留。

ioshare_62

RGMII_TXD1 管脚复用控制寄存器。

	Offset Address 0x0F8								Register Name ioshare_62								Total Reset Value 0x00000170																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
Name	reserved																	ioctrl_62_SMT		ioctrl_62_PD		ioctrl_62_PU		reserved				ioctrl_62_SR		reserved		ioctrl_62_DS				reserved		ioshare_62		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																																			
[31:15]	RW		reserved		保留。																																			
[14]	RW		ioctrl_62_SMT		schmitt 使能控制。 0: 不使能; 1: 使能。																																			
[13]	RW		ioctrl_62_PD		下拉使能。 0: 不使能; 1: 使能。																																			
[12]	RW		ioctrl_62_PU		上拉使能。 0: 不使能;																																			



			1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctrl_62_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 RGMII_TXD1 时: 3.3V 模式下推荐配置为 1, 1.8V 模式下推荐配置为 0; 当管脚为其他功能时推荐配置为 1;
[7]	RW	reserved	保留。
[6:4]	RW	ioctrl_62_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 当管脚功能为 RGMII_TXD1 时: 3.3V 推荐配置 101, 1.8V 推荐配置 100; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_62	RGMII_TXD1 管脚的具体复用情况。 001: RGMII_TXD1; 010: RMII_MDIO; 011: SDIO0_CWPR; 100: GPIO8_6; 其它: 保留。

ioshare_63

RGMII_TXD0 管脚复用控制寄存器。



Offset Address		Register Name		Total Reset Value									
0x0FC		ioshare_63		0x0000170									
Bit	31 30 29 28	27 26 25 24	23 22 21 20	19 18 17 16	15 14 13 12	11 10 9 8	7 6 5 4	3 2 1 0					
Name	reserved				ioctrl_63_SMT	ioctrl_63_PD	ioctrl_63_PU	reserved	ioctrl_63_SR	reserved	ioctrl_63_DS	reserved	ioshare_63
Reset	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 1	0 1 1 1	0 0 0 0					
Bits	Access	Name	Description										
[31:15]	RW	reserved	保留。										
[14]	RW	ioctrl_63_SMT	schmitt 使能控制。 0: 不使能; 1: 使能。										
[13]	RW	ioctrl_63_PD	下拉使能。 0: 不使能; 1: 使能。										
[12]	RW	ioctrl_63_PU	上拉使能。 0: 不使能; 1: 使能。										
[11:9]	RW	reserved	保留。										
[8]	RW	ioctrl_63_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 当管脚功能为 RGMII_TXD0 时: 3.3V 模式下推荐配置为 1, 1.8V 模式下推荐配置为 0; 当管脚为其他功能时推荐配置为 1;										
[7]	RW	reserved	保留。										
[6:4]	RW	ioctrl_63_DS	驱动力选择。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA;										



			110: 6mA; 111: 4mA。 注: 当管脚功能为 RGMII_TXD0 时: 3.3V 推荐配置 101, 1.8V 推荐配置 100; 当管脚功能为 RMII_REFCLK 时: 4 层板推荐配置 110; 2 层板推荐配置 111; 其他功能推荐配置 111;
[3]	RW	reserved	保留。
[2:0]	RW	ioshare_63	RGMII_TXD0 管脚的具体复用情况。 001: RGMII_TXD0; 010: RMII_REFCLK; 011: SDIO0_CARD_POWER_EN; 100: GPIO8_7; 其它: 保留。

ioshare_64

CLKOUT_25M 管脚复用控制寄存器。

	Offset Address 0x100								Register Name ioshare_64								Total Reset Value 0x00000130															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved								ioctrl_64_PD		ioctrl_64_PU		reserved		ioctrl_64_SR		reserved		ioctrl_64_DS		reserved		ioshare_64									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	0	0
Bits	Access		Name		Description																											
[31:14]	RW		reserved		保留。																											
[13]	RW		ioctrl_64_PD		下拉使能。 0: 不使能; 1: 使能。																											
[12]	RW		ioctrl_64_PU		上拉使能。 0: 不使能;																											



			1: 使能。
[11:9]	RW	reserved	保留。
[8]	RW	ioctl_64_SR	slew rate 控制使能。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[7:6]	RW	reserved	保留。
[5:4]	RW	ioctl_64_DS	驱动力选择。 00: 4mA; 01: 3mA; 10: 2mA; 11: 1mA。 注: 推荐配置为 11;
[3:1]	RW	reserved	保留。
[0]	RW	ioshare_64	CLKOUT_25M 管脚的具体复用情况。 0: GPIO9_0; 1: CLKOUT_25M。

ioshare_65

PMC_CPU0 管脚复用控制寄存器。

	Offset Address				Register Name				Total Reset Value																							
	0x104				ioshare_65				0x00000000																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																											ioshare_65				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Access		Name		Description																											
[31:1]			reserved		保留。																											
[0]	RW		ioshare_65		PMC_CPU0 管脚的具体复用情况。 0: PMC_CPU0; 1: GPIO9_1。																											



SC_IO_REUSE_SEL



注意

SC_IO_REUSE_SEL 的基地址与其他寄存器的基地址不一样，SC_IO_REUSE_SEL 的基地址为 0xF800_0000。

SC_IO_REUSE_SEL 为 MCU 子系统管脚复用控制寄存器。

	Offset Address				Register Name								Total Reset Value																			
	0x0044				SC_IO_REUSE_SEL								0x279E_7000																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved				gpio5_3_SR	gpio5_3_PU	gpio5_3_PD	gpio5_3_DS	led_key_SR	led_key_PU	led_key_PD	led_key_DS2	led_key_DS1	led_key_DS0	led_data_SR	led_data_PU	led_data_PD	led_data_DS	reserved				lsadc1_ie	lsadc0_ie	stb_gpio_sel	ir_gpio_sel	key_gpio_sel	data_gpio_sel	clk_gpio_sel	uart_tx_sel	uart_rx_sel	
Reset	0	0	1	0	0	1	1	1	1	0	0	1	1	1	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
Bits	[31:30]		[29]	[28]	[27]																											
Access	RW		RW	RW	RW																											
Name	reserved		gpio5_3_SR	gpio5_3_PU	gpio5_3_PD																											
Description	保留。		GPIO5_3 管脚 SR 控制。 0: no SR ctrl; 1: SR ctrl。 注：推荐配置为 1；	GPIO5_3 管脚上拉控制。 0: 不使能； 1: 使能。	GPIO5_3 管脚下拉控制。 0: 不使能； 1: 使能。																											



[26:24]	RW	gpio5_3_DS	GPIO5_3 管脚驱动能力控制。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 推荐配置为 111;
[23]	RW	led_key_SR	LED_KEY 管脚 SR 控制。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[22]	RW	led_key_PU	LED_KEY 管脚上拉控制。 0: 不使能; 1: 使能。
[21]	RW	led_key_PD	LED_KEY 管脚下拉控制。 0: 不使能; 1: 使能。
[20:18]	RW	led_key_DS	LED_KEY 管脚驱动能力控制。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 推荐配置为 111;
[17]	RW	led_data_SR	LED_DATA 管脚 SR 控制。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;



[16]	RW	led_data_PU	LED_DATA 管脚上拉控制。 0: 不使能; 1: 使能。
[15]	RW	led_data_PD	LED_DATA 管脚下拉控制。 0: 不使能; 1: 使能。
[14: 12]	RW	led_data_DS	LED_DATA 管脚驱动能力控制。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 推荐配置为 111;
[11]	RW	reserved	保留。
[10]	RW	lsadc1_ie	LSADC1 管脚复用控制。 0: 选择 LSADC1; 1: 选择数字管脚。
[9]	RW	lsadc0_ie	LSADC0 管脚复用控制。 0: 选择 LSADC0; 1: 选择选择数字管脚。
[8]	RW	stb_gpio_sel	STB_PWROFF 管脚复用控制。 0: 选择 STB_PWROFF; 1: 选择 GPIO5_6。
[7]	RW	ir_gpio_sel	IR_IN 管脚复用控制。 0: 选择 IR_IN; 1: 选择 GPIO5_5。
[6:5]	RW	key_gpio_sel	LED_KEY 管脚复用控制。 00: 选择 GPIO5_1; 01: 选择 LED KEY; 其它: 保留。



[4:3]	RW	data_gpio_sel	LED_DATA 管脚复用控制。 00: 选择 GPIO5_0; 01: 选择 LED DATA; 10: 选择 CLK_WIFI; 其它: 保留。
[2]	RW	clk_gpio_sel	LED_CLK 管脚复用控制。 0: 选择 GPIO5_3; 1: 选择 LED CLK。
[1]	RW	uart_tx_sel	UART0_TXD 管脚复用控制。 0: 选择 UART0_TXD; 1: 保留。
[0]	RW	uart_rx_sel	UART0_RXD 管脚复用控制。 0: 选择 UART0_RXD; 1: 保留。

SC_IO_REUSE2_SEL



注意

SC_IO_REUSE2_SEL 的基地址与其他寄存器的基地址不一样，SC_IO_REUSE2_SEL 的基地址为 0xF800_0000。

SC_IO_REUSE2_SEL 为 MCU 子系统管脚复用控制寄存器 2。

	Offset Address				Register Name								Total Reset Value																			
	0x005C				SC_IO_REUSE2_SEL								0x0000_0027																			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Name	reserved																gpio5_4_SR	gpio5_4_PU	gpio5_4_PD	gpio5_4_DS												
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
	Bits	Access	Name		Description																											
	[31:6]	RW	reserved		保留。																											



[5]	RW	gpio5_4_SR	GPIO5_4 管脚 SR 控制。 0: no SR ctrl; 1: SR ctrl。 注: 推荐配置为 1;
[4]	RW	gpio5_4_PU	GPIO5_4 管脚上拉控制。 0: 不使能; 1: 使能。
[3]	RW	gpio5_4_PD	GPIO5_4 管脚下拉控制。 0: 不使能; 1: 使能。
[2:0]	RW	gpio5_4_DS	GPIO5_4 管脚驱动能力控制。 000: 18mA; 001: 16mA; 010: 14mA; 011: 12mA; 100: 10mA; 101: 8mA; 110: 6mA; 111: 4mA。 注: 推荐配置为 111;

1.5 软件复用管脚

1.5.1 MEM

MEM 的软件复用管脚如表 1-36 所示。

表1-36 MEM 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
Y19	NF_RDY	ioshare_0	GPIO0_0	NF_RDY	-
W19	NF_CSN	ioshare_1	GPIO0_1	NF_CSN	-
AA20	NF_DQSN	ioshare_2	GPIO0_2	NF_DQSN	BOOT_SEL2
Y20	NF_DQS	ioshare_3	GPIO0_3	NF_DQS	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
V19	NF_DQ7	ioshare_4	GPIO0_4	NF_DQ7	EMMC_CDATA3
Y21	NF_DQ6	ioshare_5	GPIO0_5	NF_DQ6	EMMC_CDATA4
W20	NF_DQ5	ioshare_6	GPIO0_6	NF_DQ5	EMMC_CDATA0
W21	NF_DQ4	ioshare_7	GPIO0_7	NF_DQ4	EMMC_CDATA5
V20	NF_DQ3	ioshare_8	GPIO1_0	NF_DQ3	EMMC_CDATA1
V21	NF_DQ2	ioshare_9	GPIO1_1	NF_DQ2	EMMC_CDATA6
U20	NF_DQ1	ioshare_10	GPIO1_2	NF_DQ1	EMMC_CDATA2
U21	NF_DQ0	ioshare_11	GPIO1_3	NF_DQ0	EMMC_CDATA7
T18	NF_WEN	ioshare_12	GPIO1_4	NF_WEN	EMMC_CCLK_OUT
T19	NF_ALE	ioshare_13	GPIO1_5	NF_ALE	-
T20	NF_CLE	ioshare_14	GPIO1_6	NF_CLE	EMMC_CCMD
R20	NF_REC	ioshare_15	GPIO1_7	NF_REC	EMMC_RST
R21	NF_REN	ioshare_16	GPIO2_0	NF_REN	EMMC_DATA_STROBE

MEM 的软件复用管脚如表 1-37 所示。

表1-37 MEM 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL2	I	启动 mememory 类型选择，仅在上电的时候有效， {BOOT_SEL2,BOOT_SEL1,BOOT_SEL0}： 000: SPI Nor Flash 001: asyn NAND Flash 010: syn NAND Flash 011: eMMC 100: SPI Nand Flash 其他：保留
EMMC_CCLK_OUT	O	输出给卡使用的工作时钟



信号名	方向	说明
EMMC_CCMD	I/O	卡命令
EMMC_CDATA0	I/O	卡数据
EMMC_CDATA1	I/O	卡数据
EMMC_CDATA2	I/O	卡数据
EMMC_CDATA3	I/O	卡数据
EMMC_CDATA4	I/O	卡数据
EMMC_CDATA5	I/O	卡数据
EMMC_CDATA6	I/O	卡数据
EMMC_CDATA7	I/O	卡数据
EMMC_DATA_STROBE	I	卡数据 strobe 信号，默认处于低电平
EMMC_RST	O	EMMC 复位信号
GPIO0_0	I/O	通用输入输出
GPIO0_1	I/O	通用输入输出
GPIO0_2	I/O	通用输入输出
GPIO0_3	I/O	通用输入输出
GPIO0_4	I/O	通用输入输出
GPIO0_5	I/O	通用输入输出
GPIO0_6	I/O	通用输入输出
GPIO0_7	I/O	通用输入输出
GPIO1_0	I/O	通用输入输出
GPIO1_1	I/O	通用输入输出
GPIO1_2	I/O	通用输入输出
GPIO1_3	I/O	通用输入输出
GPIO1_4	I/O	通用输入输出
GPIO1_5	I/O	通用输入输出
GPIO1_6	I/O	通用输入输出
GPIO1_7	I/O	通用输入输出
GPIO2_0	I/O	通用输入输出



信号名	方向	说明
NF_ALE	O	NAND Flash 地址锁存信号
NF_CLE	O	NAND Flash 命令锁存信号
NF_CSN	O	NAND Flash 片选信号，低电平有效。
NF_DQ0	I/O	NAND Flash 数据总线
NF_DQ1	I/O	NAND Flash 数据总线
NF_DQ2	I/O	NAND Flash 数据总线
NF_DQ3	I/O	NAND Flash 数据总线
NF_DQ4	I/O	NAND Flash 数据总线
NF_DQ5	I/O	NAND Flash 数据总线
NF_DQ6	I/O	NAND Flash 数据总线
NF_DQ7	I/O	NAND Flash 数据总线
NF_DQS	I/O	NAND Flash DQ strobe 信号
NF_DQSN	O	NAND Flash DQS 的差分信号；
NF_RDY	I	NAND Flash 忙/空闲指示。 1: 空闲； 0: 忙；
NF_REC	I/O	NF_REN 差分信号； toggle2.0/onfi3.0
NF_REN	O	NAND Flash 读使能信号，低电平有效
NF_WEN	O	NAND Flash 写使能信号，低电平有效

1.5.2 SYS

SYS 的软件复用管脚如表 1-38 所示。

表1-38 SYS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
P20	PMC_CORE0	ioshare_17	PMC_CORE0	I2C0_SDA	GPIO2_1
R19	PMC_GPU0	ioshare_18	PMC_GPU0	I2C0_SCL	GPIO2_2
D5	PMC_CPU0	ioshare_65	PMC_CPU0	GPIO9_1	-



SYS 的软件复用管脚如表 1-39 所示。

表1-39 SYS 的软件复用管脚描述

信号名	方向	说明
GPIO2_1	I/O	通用输入输出
GPIO2_2	I/O	通用输入输出
GPIO9_1	I/O	通用输入输出
I2C0_SCL	I/O	I2C 总线时钟，OD 输出
I2C0_SDA	I/O	I2C 总线数据，OD 输出
PMC_CORE0	O	PWM1 输出
PMC_CPU0	O	PWM0 输出
PMC_GPU0	O	PWM2 输出

1.5.3 TS

TS 的软件复用管脚如表 1-40 所示。

表1-40 TS 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
K18	SATA0_PWREN	ioshare_19	GPIO2_3	SATA0_PWREN	UART3_CTS _N	TSI0_D7	TSI3_CLK	SIM1_DATA	-	-
J17	SATA0_LED _N	ioshare_20	GPIO2_4	SATA0_LED _N	UART3_RTS _N	TSI1_SYNC	TSI1_D1	TSI0_D6	TSI3_VALID	SIM1_DET
J18	GPIO2_5	ioshare_21	GPIO2_5	UART3_RXD	TSI1_D0	TSI0_D5	TSI3_D0	SIM1_RST	-	-
H17	GPIO2_6	ioshare_22	GPIO2_6	UART3_TXD	TSI1_CLK	TSI0_D4	TSI2_VALID	SIM1_CLK	-	-
H18	GPIO2_7	ioshare_23	GPIO2_7	I2C2_SDA	TSI1_VALID	TSI0_D3	TSI2_D0	SIM1_PWREN	-	-
F19	GPIO4_3	ioshare_35	GPIO4_3	SDIO1_CARD_PO		I2C1_SCL	I2S_RX_BCLK	TSI0_D2	TSI2_CLK	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
				WER_EN						
E20	GPIO4_4	ioshare_36	GPIO4_4	SDIO1_CDATA1			I2S_RX_WS	TSIO_D1	I2C1_SDA	-
E19	GPIO4_5	ioshare_37	GPIO4_5	SDIO1_CDATA0	TSIO_D1	TSIO_SYNC	I2S_RX_MCLK	TSIO_D0	I2C1_SCL	-
D21	GPIO4_6	ioshare_38	GPIO4_6	SDIO1_CCLK_OUT		TSIO_D0	I2S_MCLK	TSIO_CLK	TSI1_VALID	-
E18	GPIO4_7	ioshare_39	GPIO4_7	SDIO1_CCM_D	-	TSIO_CLK	I2S_WS	TSIO_VALID	TSI1_D0	-
C20	GPIO6_0	ioshare_40	GPIO6_0	SDIO1_CDATA3	TSI1_CLK	TSIO_VALID	I2S_DOUT0	I2C2_SCL	TSIO_VALID	-
D19	GPIO6_1	ioshare_41	GPIO6_1	SDIO1_CDATA2	-	I2C2_SCL	I2S_BCLK	I2C2_SDA	TSIO_D0	-
B21	GPIO6_2	ioshare_42	GPIO6_2	SDIO1_CARD_DETECT	-	I2C2_SDA	I2S_DIN	-	TSIO_CLK	-
B18	GPIO6_3	ioshare_43	JTAG_SEL	GPIO6_3	-	-	-	-	-	-

TS 的软件复用管脚如表 1-41 所示。

表1-41 TS 的软件复用管脚描述

信号名	方向	说明
GPIO2_3	I/O	通用输入输出
GPIO2_4	I/O	通用输入输出
GPIO2_5	I/O	通用输入输出
GPIO2_6	I/O	通用输入输出
GPIO2_7	I/O	通用输入输出



信号名	方向	说明
GPIO4_3	I/O	通用输入输出
GPIO4_4	I/O	通用输入输出
GPIO4_5	I/O	通用输入输出
GPIO4_6	I/O	通用输入输出
GPIO4_7	I/O	通用输入输出
GPIO6_0	I/O	通用输入输出
GPIO6_1	I/O	通用输入输出
GPIO6_2	I/O	通用输入输出
GPIO6_3	I/O	通用输入输出
I2C1_SCL	I/O	I2C 总线时钟, OD 输出
I2C1_SCL	I/O	I2C 总线时钟, OD 输出
I2C1_SDA	I/O	I2C 总线数据, OD 输出
I2C2_SCL	I/O	I2C 总线时钟, OD 输出
I2C2_SCL	I/O	I2C 总线时钟, OD 输出
I2C2_SDA	I/O	I2C 总线数据, OD 输出
I2C2_SDA	I/O	I2C 总线数据, OD 输出
I2C2_SDA	I/O	I2C 总线数据, OD 输出
I2S_BCLK	I/O	I2S 或 PCM 发送接口位流时钟
I2S_DIN	I	I2S 或 PCM 接口数据输入。
I2S_DOUT0	O	I2S 或 PCM 接口数据输出。
I2S_MCLK	O	I2S 或 PCM 发送接口工作时钟
I2S_RX_BCLK	I/O	I2S 或 PCM 接收接口位流时钟
I2S_RX_MCLK	O	I2S 或 PCM 接收接口工作时钟
I2S_RX_WS	I/O	I2S 接收接口左右声道选择信号, 或 PCM 帧同步信号
I2S_WS	I/O	I2S 发送接口左右声道选择信号, 或 PCM 帧同步信号
JTAG_SEL	I	JTAG 管脚复用功能控制指示: 0: JTAG 管脚功能通过管脚复用寄存器控制;



信号名	方向	说明
		1: JTAG 管脚功能固定为 JTAG 接口功能;
SATA0_LED_N	O	SATA 硬盘指示灯, 低有效
SATA0_PWREN	O	SATA 电源控制输出管脚
SDIO1_CARD_DETECT	I	卡检查信号, 低电平有效
SDIO1_CARD_POWER_EN	O	电源使能控制信号, 高电平有效
SDIO1_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO1_CCMD	I/O	卡命令
SDIO1_CDATA0	I/O	卡数据
SDIO1_CDATA1	I/O	卡数据
SDIO1_CDATA2	I/O	卡数据
SDIO1_CDATA3	I/O	卡数据
SIM1_CLK	I/O	智能卡双向时钟信号, OD 和 CMOS 类型可选
SIM1_DATA	I/O	智能卡双向数据信号, OD 输出
SIM1_DET	I	智能卡信号检测, 有效电平可配, 默认为高有效
SIM1_PWREN	O	智能卡使能信号, 有效电平可配, 默认为高有效; OD 和 CMOS 类型可选
SIM1_RST	O	智能卡复位信号, 低电平有效; OD 和 CMOS 类型可选
TSIO_CLK	I	TSIO 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz
TSIO_CLK	I	TSIO 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz
TSIO_CLK	I	TSIO 的时钟输入, 串行模式下的输入最高为 190MHz, 并行模式下的输入最高为 50MHz
TSIO_D0	I	TSIO 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入
TSIO_D0	I	TSIO 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入
TSIO_D0	I	TSIO 并行输入的数据, 或 1bit 串行数据输入, 或 2bit 串行数据输入



信号名	方向	说明
TSI0_D1	I	TSI0 并行输入的数据, 或 2bit 串行数据输入
TSI0_D1	I	TSI0 并行输入的数据, 或 2bit 串行数据输入
TSI0_D2	I	TSI0 并行输入的数据
TSI0_D3	I	TSI0 并行输入的数据
TSI0_D4	I	TSI0 并行输入的数据
TSI0_D5	I	TSI0 并行输入的数据
TSI0_D6	I	TSI0 并行输入的数据
TSI0_D7	I	TSI0 并行输入的数据
TSI0_SYNC	I	TSI0 输入的数据同步指示信号
TSI0_VALID	I	TSI0 输入的数据有效信号, 高电平有效
TSI0_VALID	I	TSI0 输入的数据有效信号, 高电平有效
TSI0_VALID	I	TSI0 输入的数据有效信号, 高电平有效
TSI1_CLK	I	TSI1 的串行时钟输入, 最高为 190MHz
TSI1_CLK	I	TSI1 的串行时钟输入, 最高为 190MHz
TSI1_D0	I	TSI1 1bit 串行数据输入, 或 2bit 串行数据输入
TSI1_D0	I	TSI1 1bit 串行数据输入, 或 2bit 串行数据输入
TSI1_D1	I	TSI1 2bit 串行数据输入
TSI1_SYNC	I	TSI1 输入的数据同步指示信号
TSI1_VALID	I	TSI1 输入的数据有效信号, 高电平有效
TSI1_VALID	I	TSI1 输入的数据有效信号, 高电平有效
TSI2_CLK	I	TSI2 的串行时钟输入, 最高为 190MHz
TSI2_D0	I	TSI2 1bit 串行数据输入
TSI2_VALID	I	TSI2 输入的数据有效信号, 高电平有效
TSI3_CLK	I	TSI3 的串行时钟输入, 最高为 190MHz
TSI3_D0	I	TSI3 1bit 串行数据输入
TSI3_VALID	I	TSI3 输入的数据有效信号, 高电平有效
UART3_CTSN	I	Modem 状态输入: Clear To Send.低有效。



信号名	方向	说明
UART3_RTSN	O	Modem 状态输出：request to send，低有效。默认为低。
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送

1.5.4 SIM

SIM 的软件复用管脚如表 1-42 所示。

表1-42 SIM 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5
K20	JTAG_TRSTN	ioshare_24	JTAG_TRSTN	I2C2_SCL	SPI0_SDO	SIM0_DATA	GPIO3_0	-
K19	JTAG_TDI	ioshare_25	JTAG_TDI	SPI0_CSN	SIM0_DET	GPIO3_1	UART2_CTSN	-
J20	JTAG_TMS	ioshare_26	JTAG_TMS	I2S_RX_CLK	SPI0_SCLK	SIM0_RST	GPIO3_2	UART2_TXD
J19	JTAG_TCK	ioshare_27	JTAG_TCK	I2S_RX_WS	SPI0_SDI	SIM0_CLK	GPIO3_3	UART2_RXD
H21	JTAG_TDO	ioshare_28	JTAG_TDO	I2S_RX_MCLK	I2S_DOUT3	SIM0_PWREN	GPIO3_4	UART2_RTSN

SIM 的软件复用管脚如表 1-43 所示。

表1-43 SIM 的软件复用管脚描述

信号名	方向	说明
GPIO3_0	I/O	通用输入输出
GPIO3_1	I/O	通用输入输出
GPIO3_2	I/O	通用输入输出
GPIO3_3	I/O	通用输入输出
GPIO3_4	I/O	通用输入输出
I2C2_SCL	I/O	I2C 总线时钟，OD 输出
I2S_DOUT3	O	I2S 或 PCM 接口数据输出。



信号名	方向	说明
I2S_RX_BCLK	I/O	I2S 或 PCM 接收接口位流时钟
I2S_RX_MCLK	O	I2S 或 PCM 接收接口工作时钟
I2S_RX_WS	I/O	I2S 接收接口左右声道选择信号, 或 PCM 帧同步信号
JTAG_TCK	I	JTAG 时钟输入
JTAG_TDI	I	JTAG 数据输入
JTAG_TDO	O	JTAG 数据输出
JTAG_TMS	I/O	JTAG 模式选择输入,或软件跟踪的数据输出。两种模式选择在 CPU 中进行控制
JTAG_TRSTN	I	JTAG 复位输入
SIM0_CLK	I/O	智能卡双向时钟信号, OD 和 CMOS 类型可选
SIM0_DATA	I/O	智能卡双向数据信号, OD 输出
SIM0_DET	I	智能卡信号检测, 有效电平可配, 默认为高有效
SIM0_PWREN	O	智能卡使能信号, 有效电平可配, 默认为高有效;OD 和 CMOS 类型可选
SIM0_RST	O	智能卡复位信号, 低电平有效; OD 和 CMOS 类型可选
SPI0_CSN	O	SPI 的片选输出
SPI0_SCLK	O	SPI 时钟信号
SPI0_SDI	I	SPI 数据输入
SPI0_SDO	O	SPI 数据输出
UART2_CTSN	I	Modem 状态输入: Clear To Send.低有效。
UART2_RTSN	O	Modem 状态输出: request to send, 低有效。默认为低。
UART2_RXD	I	UART2 数据接收
UART2_TXD	O	UART2 数据发送

1.5.5 SFC

SFC 的软件复用管脚如表 1-44 所示。



表1-44 SFC 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4	复用信号 5	复用信号 6	复用信号 7
H20	GPIO3_5	ioshare_29	GPIO3_5	I2S_MCLK	I2S_DO UT2	SF_WPN_IO2	TSO0_SYNC	-	-	-
H19	GPIO3_6	ioshare_30	GPIO3_6	I2S_WS	I2S_DO UT1	TS11_SYNC	TS11_D1	SF_SDI_IO1	TSO0_VALID	
G20	GPIO3_7	ioshare_31	GPIO3_7	I2S_DOUT0		TS11_D0	-	SF_CS_N	TSO0_CLK	
G19	GPIO4_0	ioshare_32	GPIO4_0	I2S_BCLK	I2S_WS	TS11_CLK	-	SF_HOLDN_IO3	TSO0_D0	
F21	GPIO4_1	ioshare_33	GPIO4_1	I2S_DIN	I2S_BCLK	TS11_VALID	-	SF_CLK		
F20	GPIO4_2	ioshare_34	GPIO4_2	SDIO1_CWPR	I2S_MCLK	-	SF_SDO_IO0	-	-	-

SFC 的软件复用管脚如表 1-45 所示。

表1-45 SFC 的软件复用管脚描述

信号名	方向	说明
GPIO3_5	I/O	通用输入输出
GPIO3_6	I/O	通用输入输出
GPIO3_7	I/O	通用输入输出
GPIO4_0	I/O	通用输入输出
GPIO4_1	I/O	通用输入输出
GPIO4_2	I/O	通用输入输出
I2S_BCLK	I/O	I2S 或 PCM 发送接口位流时钟
I2S_BCLK	I/O	I2S 或 PCM 发送接口位流时钟
I2S_DIN	I	I2S 或 PCM 接口数据输入。
I2S_DOUT0	O	I2S 或 PCM 接口数据输出。
I2S_DOUT1	O	I2S 或 PCM 接口数据输出。



信号名	方向	说明
I2S_DOUT2	O	I2S 或 PCM 接口数据输出。
I2S_MCLK	O	I2S 或 PCM 发送接口工作时钟
I2S_MCLK	O	I2S 或 PCM 发送接口工作时钟
I2S_WS	I/O	I2S 发送接口左右声道选择信号，或 PCM 帧同步信号
I2S_WS	I/O	I2S 发送接口左右声道选择信号，或 PCM 帧同步信号
SDIO1_CWPR	I	卡写保护检测信号，高电平有效
SF_CLK	O	SPI Flash 时钟信号，时钟停靠的高低电平可选
SF_CSN	O	SPI Flash 片选信号，低有效
SF_HOLDN_IO3	I/O	SPI Flash 的控制/数据信号： 在 Standard SPI 模式或 Dual SPI 模式下，作为 hold 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
SF_SDI_IO1	I/O	SPI Flash 的控制/数据信号： 在 Standard SPI 模式，为数据的输入信号； 在 Dual SPI 模式或者 Quad SPI 模式下，为数据的输入输出信号。
SF_SDO_IO0	I/O	SPI Flash 的控制/数据信号： 在 Standard SPI 模式，为数据的输出信号； 在 Dual SPI 模式或者 Quad SPI 模式下，为数据的输入输出信号。
SF_WPN_IO2	I/O	SPI Flash 的控制/数据信号： 在 Standard SPI 模式或 Dual SPI 模式下，作为 write protect 功能，低有效； 在 Quad SPI 模式下，为数据的输入输出信号。
TS11_CLK	I	TS11 的串行时钟输入，最高为 190MHz
TS11_D0	I	TS11 1bit 串行数据输入，或 2bit 串行数据输入
TS11_D1	I	TS11 2bit 串行数据输入
TS11_SYNC	I	TS11 输入的数据同步指示信号



信号名	方向	说明
TS11_VALID	I	TS11 输入的数据有效信号，高电平有效
TSO0_CLK	O	TSO0 输出的随路时钟，最高 90MHz
TSO0_D0	O	TSO0 输出的数据
TSO0_SYNC	O	TSO0 输出的同步信号
TSO0_VALID	O	TSO0 输出的数据有效信号，高电平有效

1.5.6 SPDIF

SPDIF 的软件复用管脚如表 1-46 所示。

表1-46 SPDIF 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1
C17	SPDIF_OUT	ioshare_44	GPIO6_4	SPDIF_OUT

SPDIF 的软件复用管脚如表 1-47 所示。

表1-47 SPDIF 的软件复用管脚描述

信号名	方向	说明
GPIO6_4	I/O	通用输入输出
SPDIF_OUT	O	SPDIF 数据输出

1.5.7 HDMITX

HDMITX 的软件复用管脚如表 1-48 所示。

表1-48 HDMITX 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
B17	HDMITX_HOTPLUG	ioshare_45	-	HDMITX_HOTPLUG	GPIO6_5
A17	HDMITX_SDA	ioshare_46	-	HDMITX_SDA	GPIO6_6
C16	HDMITX_SCL	ioshare_47	-	HDMITX_SCL	GPIO6_7



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2
B16	HDMITX_CEC	ioshare_48	-	HDMITX_CEC	GPIO7_0

HDMITX 的软件复用管脚如表 1-49 所示。

表1-49 HDMITX 的软件复用管脚描述

信号名	方向	说明
GPIO6_5	I/O	通用输入输出
GPIO6_6	I/O	通用输入输出
GPIO6_7	I/O	通用输入输出
GPIO7_0	I/O	通用输入输出
HDMITX_CEC	I/O	HDMI TX 接口的控制通道信号
HDMITX_HOTPLUG	I	HDMI TX 接口的热插拔信号
HDMITX_SCL	I/O	HDMI TX 接口的 I2C 总线时钟
HDMITX_SDA	I/O	HDMI TX 接口的 I2C 总线数据

1.5.8 NET

NET 的软件复用管脚如表 1-50 所示。

表1-50 NET 的软件复用管脚

Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
B4	RGMII_RXCK	ioshare_49	GPIO7_4	RGMII_RXCK	RMII_TXD1	SDIO0_CDATA1	
C4	RGMII_RXDV	ioshare_50	GPIO7_5	RGMII_RXDV	RMII_TXD0	SDIO0_CDATA0	
A3	RGMII_RXD0	ioshare_51	GPIO7_6	RGMII_RXD0	RMII_TXEN	SDIO0_CCLK_OUT	
B3	RGMII_RXD1	ioshare_52	GPIO7_7	RGMII_RXD1	RMII_RXDV	SDIO0_CCM D	
A2	RGMII_RXD2	ioshare_53	GPIO8_0	RGMII_RXD2	RMII_RXD0	SDIO0_CDATA3	-
B2	RGMII_RXD	ioshare_54	GPIO8_1	RGMII_RX	RMII_RXD	SDIO0_CDA	-



Pin	Pad 信号	复用控制寄存器	复用信号 0	复用信号 1	复用信号 2	复用信号 3	复用信号 4
	3			D3	1	TA2	
A6	RGMII_RST	ioshare_55	GPIO7_1	RGMII_RST	UART3_TXD	FE_LED_ACT	-
C6	RGMII_MDI_O	ioshare_56	GPIO7_2	RGMII_MDI_O	UART3_RXD	FE_LED_BA SE	-
C5	RGMII_MDC_K	ioshare_57	GPIO7_3	RGMII_MDC_K	RMIIST_RST	SDIO0_CAR D_DETECT	-
C3	RGMII_TXE_N	ioshare_58	GPIO8_2	RGMII_TXE_N	BOOT_SEL0	-	-
D4	RGMII_TXC_K	ioshare_59	GPIO8_3	RGMII_TXC_K	UART3_CTSN	-	-
D3	RGMII_TXD3	ioshare_60	GPIO8_4	RGMII_TXD3	UART3_RTSN	-	-
B1	RGMII_TXD2	ioshare_61	GPIO8_5	RGMII_TXD2	RMIIST_MDC_K	BOOT_SEL1	-
C2	RGMII_TXD1	ioshare_62	-	RGMII_TXD1	RMIIST_MDI_O	SDIO0_CWP R	GPIO8_6
C1	RGMII_TXD0	ioshare_63	-	RGMII_TXD0	RMIIST_REF CLK	SDIO0_CAR D_POWER_ EN	GPIO8_7
A5	CLKOUT_25M	ioshare_64	GPIO9_0	CLKOUT_25M	-	-	-

NET 的软件复用管脚如表 1-51 所示。

表1-51 NET 的软件复用管脚描述

信号名	方向	说明
BOOT_SEL0	I	启动 mememory 类型选择，仅在上电的时候有效， {BOOT_SEL2,BOOT_SEL1,BOOT_SEL0}： 000: SPI Nor Flash 001: asyn NAND Flash 010: syn NAND Flash 011: eMMC 100: SPI Nand Flash 其他：保留
BOOT_SEL1		



信号名	方向	说明
CLKOUT_25M	O	GEPHY CLK
FE_LED_ACT	O	网口链接状态指示信号： 1：链接已经建立； 0：没有链接建立。 此信号控制的 LED 闪烁，传输的数据包密集时 LED 闪烁迅速，传输数据包稀疏时 LED 闪烁缓慢。CMOS 输出；
FE_LED_BASE	O	网口链接状态指示信号： 1：链接已经建立；0：没有链接建立。 CMOS 输出；
GPIO7_1	I/O	通用输入输出
GPIO7_2	I/O	通用输入输出
GPIO7_3	I/O	通用输入输出
GPIO7_4	I/O	通用输入输出
GPIO7_5	I/O	通用输入输出
GPIO7_6	I/O	通用输入输出
GPIO7_7	I/O	通用输入输出
GPIO8_0	I/O	通用输入输出
GPIO8_1	I/O	通用输入输出
GPIO8_2	I/O	通用输入输出
GPIO8_3	I/O	通用输入输出
GPIO8_4	I/O	通用输入输出
GPIO8_5	I/O	通用输入输出
GPIO8_6	I/O	通用输入输出
GPIO8_7	I/O	通用输入输出
GPIO9_0	I/O	通用输入输出
RGMIID_MDCK	O	MDIO 接口的时钟信号
RGMIID_MDIO	I/O	MDIO 接口的输入/输出信号
RGMIID_RST	O	RGMIID 接口复位信号
RGMIID_RXCK	I	RGMIID 接口接收时钟，双沿有效



信号名	方向	说明
RGMII_RXD0	I	RGMII 接口接收数据
RGMII_RXD1	I	RGMII 接口接收数据
RGMII_RXD2	I	RGMII 接口接收数据
RGMII_RXD3	I	RGMII 接口接收数据
RGMII_RXDV	I	RGMII 接口的接收数据使能和错误指示信号
RGMII_TXCK	O	RGMII 接口发送时钟，双沿有效
RGMII_TXD0	O	RGMII 接口发送数据
RGMII_TXD1	O	RGMII 接口发送数据
RGMII_TXD2	O	RGMII 接口发送数据
RGMII_TXD3	O	RGMII 接口发送数据
RGMII_TXEN	O	RGMII 接口发送使能及错误指示
RMII_RXDV	I	RMII 接口的载波侦听信号和接收使能信号
RMII_RXD1	I	RMII 接口接收数据
RMII_RXD0	I	RMII 接口接收数据
RMII_RST	O	RMII 接口复位信号
RMII_MDIO	I/O	MDIO 接口的输入/输出信号
RMII_MDCK	O	MDIO 接口的时钟信号
RMII_TXD0	O	RMII 接口发送数据
RMII_TXD1	O	RMII 接口发送数据
RMII_TXEN	O	RMII 接口发送使能信号
RMII_REFCLK	I/O	RMII 接口的参考时钟
SDIO0_CARD_DETECT	I	卡检查信号，默认低电平有效，极性可配
SDIO0_CARD_POWER_EN	O	电源使能控制信号，高电平有效
SDIO0_CCLK_OUT	O	输出给卡使用的工作时钟
SDIO0_CCMD	I/O	卡命令
SDIO0_CDATA0	I/O	卡数据
SDIO0_CDATA1	I/O	卡数据



信号名	方向	说明
SDIO0_CDATA2	I/O	卡数据
SDIO0_CDATA3	I/O	卡数据
SDIO0_CWPR	I	卡写保护检测信号，默认高电平有效，极性可配
UART3_CTSN	I	Modem 状态输入：Clear To Send.低有效
UART3_RTSN	O	Modem 状态输出：request to send，低有效。默认为低
UART3_RXD	I	UART3 数据接收
UART3_TXD	O	UART3 数据发送



2 电性能参数

2.1 极限工作电压



警告

极限工作电压参数如表 2-1 所示，超过这些数值，可能导致芯片损坏，可能导致可靠性问题。

表2-1 极限工作电压参数

符号	参数	最小值	最大值	单位
VDD	内核电源	-0.5	1.8	V
DVDD_CPU	内核电源	-0.5	1.8	V
DVDD_GPU	内核电源	-0.5	1.8	V
DVDD33	接口电源	-0.5	4.6	V
DVDD33_STANDBY	接口电源	-0.5	4.6	V
DVDD3318_EMMC	接口电源	-0.5	4.6	V
DVDD3318_RGMII	接口电源	-0.5	4.6	V
DVDD33_SDIO0_LDO	接口电源	-0.5	4.6	V
VDDIO_DDR	接口电源	-0.5	4.6	V
VDDIO_CK_DDR0	接口电源	-0.5	4.6	V
V _{ESD}	ESD 保护	-	2000	V



2.2 推荐工作条件

Hi3798M V200 的推荐工作条件如表 2-2 所示。

表2-2 推荐工作条件

符号	描述	最小值	典型值	最大值	单位
VDD	内部核电源	TBD	0.9	TBD	V
DVDD_CPU	CPU 内核电源	TBD	TBD	TBD	-
DVDD_GPU	GPU 内核电源	TBD	TBD	TBD	-
DVDD33	接口电源	3.125	3.3	3.465	V
DVDD33_STANDBY	常供电区接口电源	3.125	3.3	3.465	V
AVDD_PLL	PLL 0.9V 模拟电源	0.855	0.9	0.945	V
AVDD33_PLL	PLL 3.3V 模拟电源	3.125	3.3	3.465	V
DVDD3318_EMMC	Nandflash/EMMC 3.3V 接口电源	3.125	3.3	3.465	V
	EMMC 1.8V 接口电源	1.71	1.8	1.89	V
AVDD_COMB	USB3.0/PCIE/SATA 0.9V 模拟电源	0.855	0.9	0.945	V
AVDD33_COMB	USB3.0/PCIE/SATA 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_USB2	USB2.0*1port 3.3V 模拟电源	3.125	3.3	3.465	V
DVDD3318	JTAG/GPIO 3.3V 接口电源	3.125	3.3	3.465	V
	Wifi 模组 1.8V 接口电源	1.71	1.8	1.89	V
DVDD33_SDIO0_LDO	SDIO LDO 输入接口电源	3.125	3.3	3.465	V
AVDD33_VDAC	VDAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_ADAC	ADAC 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_FE	FE 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD33_HDMITX	HDMI TX 3.3V 模拟电源	3.125	3.3	3.465	V
AVDD_HDMITX	HDMI TX 0.9V 模拟电源	0.855	0.9	0.945	V
AVDD33_USB	USB2.0*2port 3.3V 模拟电源	3.125	3.3	3.465	V
DVDD3318_RGMII	RGMII 1.8V 接口电源	1.71	1.8	1.89	V
	RGMII 3.3V 接口电源	3.125	3.3	3.465	V
VDDIO_DDR	DDR3 接口电源	1.425	1.5	1.575	V
VDDIO_CK_DDR	DDR4 接口电源	1.17	1.20	1.26	V



符号	描述	最小值	典型值	最大值	单位
AVDD_DDRPLL1 AVDD_DDRPLL2	DDR3/DDR4 PLL 3.3V 模拟电源	3.125	3.3	3.465	V

注：DVDD、DVDD_CPU、DVDD_GPU 根据业务场景动态调压。

2.3 DC/AC 电气参数

Hi3798M V200 DC/AC 电气参数如表 2-3~表 2-5 所示。

表2-3 DC/AC 电气参数表 (DVDD33=3.3V, 部分接口支持 5V 输入兼容)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD33	接口电压	3.125	3.3	3.465	V	Ripple 要求: 40 mV Pk-Pk 100kHz-2MHz
VDD	内部核电源	0.83	0.87	1.25	V	Ripple 要求: 60 mV Pk-Pk 100kHz-20MHz
DVDD_CPU	CPU 内核电源	0.87	1.00	1.25	V	Ripple 要求: 80 mV Pk-Pk 100kHz-20MHz
DVDD_GPU	GPU 内核电源	0.83	0.87	1.25	V	Ripple 要求: 60 mV Pk-Pk 100kHz-20MH
V _{IH}	高电平输入电压	2.0	-	DVDD33+0.3	V	不兼容 5V 输入, 部分接口支持 5V 输入, 最大输入要求不高于 5.5
V _{IL}	低电平输入电压	-0.3	-	0.8	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	2.4	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.4	V	-
R _{PU}	内部上拉电阻	15	-	100	kΩ	-
R _{PD}	内部下拉电阻	15	-	100	kΩ	-
R _{PU8k}	8kohm 上拉电阻	6.4	8	9.6	kΩ	
R _{PD8k}	8kohm 下拉电阻	6.4	8	9.6	kΩ	



表2-4 DC 电气参数表 (DVDD3318_*=1.8V)

符号	参数	最小值	典型值	最大值	单位	说明
DVDD3318	接口电压	1.71	1.8	1.89	V	Ripple 要求: 108 mV Pk-Pk 100kHz-20MHz
V _{IH}	高电平输入电压	0.65* DVDD3318	-	DVDD3318+0.3	V	-
V _{IL}	低电平输入电压	-0.3	-	0.35* DVDD3318	V	-
I _L	输入漏电流	-	-	±10	μA	-
I _{OZ}	三态输出漏电流	-	-	±10	μA	-
V _{OH}	高电平输出电压	DVDD3318-0.45V	-	-	V	-
V _{OL}	低电平输出电压	-	-	0.45	V	-
R _{PU}	内部上拉电阻	22	33	47	kΩ	-
R _{PD}	内部下拉电阻	22	33	47	kΩ	-

DDR3 模式下, DC 电气参数如表 2-5 所示。

表2-5 DDR3 模式下, DC 电气参数表 (VDDIO_DDR=1.5V, DDR3 模式)

符号	参数	最小值	典型值	最大值	单位	说明
VDDIO_DDR	DDR3 接口电压	1.455	1.5	1.545	V	Ripple 要求: 90 mV Pk-Pk 100kHz-20MHz
VDDIO_DDR	DDR3L 接口电压	1.309	1.35	1.391		Ripple 要求: 81 mV Pk-Pk 100kHz-20MHz
VDDIO_DDR	DDR4 接口电压	1.17	1.2	1.26		Ripple 要求: 72 mV Pk-Pk 100kHz-20MHz
V _{ref}	参考电压	0.49* VDDIO_DDR	0.5* VDDIO_DDR	0.51* VDDIO_DDR		-
V _{TT}	端接电压	V _{ref} -40mV	V _{ref}	V _{ref} +40mV	mV	-



符号	参数	最小值	典型值	最大值	单位	说明
$V_{IH(DC)}$	高电平输入电压	$V_{ref}+0.1$	-	$VDDIO_DDR + 0.3$	V	-
$V_{IL(DC)}$	低电平输入电压	-0.3	-	$V_{ref}-0.1$	V	-
V_{OH}	高电平输出电压	$0.8 * VDDIO_DDR$	-	$(1+0.1) * VDDIO_DDR$	V	-
V_{OL}	低电平输出电压	0	-	$0.2 * VDDIO_DDR$	V	-
R_{ON}	输出阻抗	34	-	80	Ω	

DDR3 模式下，AC 电气参数如表 2-6 所示。

表2-6 DDR3 模式下，AC 电气参数表（ $VDDIO_DDR = 1.5V$ ，DDR3 模式）

符号	参数	最小值	最大值	单位	说明
$V_{IH(AC)}$	高电平输入电压	$V_{ref} + 0.135$	-	V	-
$V_{IL(AC)}$	低电平输入电压	-	$V_{ref}-0.135$	V	-
V_{OH}	高电平输出电压	$V_{TT}+0.1 * VDDIO_DDR$	-	V	Note1
V_{OL}	低电平输出电压	-	$V_{TT}-0.1 * VDDIO_DDR$	V	Note1
Note1: $V_{TT}=0.5 * VDDIO_DDR$					

DDR4 模式下，AC 和 DC 电气参数如表 2-7 及表 2-8 所示。

表2-7 AC 和 DC 电气参数表-数据线（ $VDDIO_DDR = 1.20V$ ，DDR4 模式）

符号	参数	最小值	典型值	最大值	单位	说明
$VDDIO_DDR$	接口电压	1.17	1.20	1.26	V	-
V_{ref}	参考电压	$0.4 * VDDIO_DDR$	$0.5 * VDDIO_DDR$	$0.8 * VDDIO_DDR$	-	$(0.4 \sim 0.8) * DDR_DVDDIO$
$V_{OH(DC)}$	高电平输出电压	-	$1.1 * VDDIO_DDR$	-	V	-
$V_{OL(DC)}$	低电平输出电压	-	$0.5 * VDDIO_DDR$	-	V	-



符号	参数	最小值	典型值	最大值	单位	说明
$V_{OH(AC)}$	高电平输出电压	-	$0.85 * V_{DDIO_DDR}$	-	V	-
$V_{OL(AC)}$	低电平输出电压	-	$0.55 * V_{DDIO_DDR}$	-	V	-
R_{ON}	输出阻抗	34	-	240	Ω	-

表2-8 AC 和 DC 电气参数表-地址/命令线 ($V_{DDIO_DDR}=1.20V$, DDR4 模式)

符号	参数	最小值	典型值	最大值	单位	说明
V_{DDIO_DDR}	接口电压	1.17	1.20	1.26	V	-
V_{ref}	参考电压	$0.49 * V_{DDIO_DDR}$	$0.5 * V_{DDIO_DDR}$	$0.51 * V_{DDIO_DDR}$	-	$(0.49\sim0.51) * V_{DDIO_DDR}$
$V_{IH(DC75)}$	高电平输入电压	$V_{ref} + 0.075$	-	V_{DDIO_DDR}	V	-
$V_{IL(DC75)}$	低电平输入电压	0	-	$V_{ref} - 0.075$	V	-
$V_{IH(AC100)}$	高电平输入电压	$V_{ref} + 0.1$	-	V_{DDIO_DDR}	V	-
$V_{IL(AC100)}$	低电平输入电压	0	-	$V_{ref} - 0.1$	V	-
$V_{OH(DC)}$	高电平输出电压	-	$1.1 * V_{DDIO_DDR}$	-	V	-
$V_{OL(DC)}$	低电平输出电压	-	$0.5 * V_{DDIO_DDR}$	-	V	-
$V_{OH(AC)}$	高电平输出电压	-	$0.85 * V_{DDIO_DDR}$	-	V	-
$V_{OL(AC)}$	低电平输出电压	-	$0.55 * V_{DDIO_DDR}$	-	V	-
R_{ON}	输出阻抗	34	-	240	Ω	-

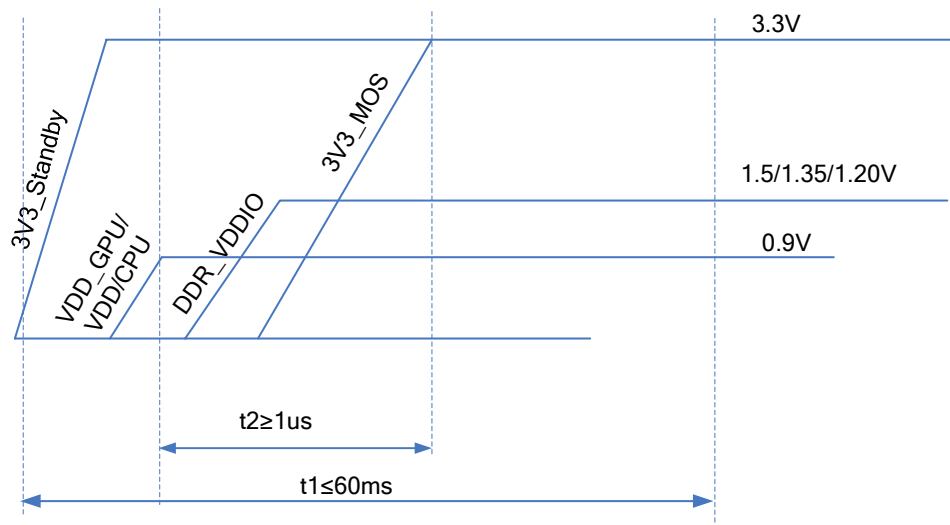


2.4 上下电要求

Hi3798M V200 的上下电顺序如下：

- 上电顺序有以下要求：
 - 必须先上 3V3_Standby。
 - 3V3_MOS 晚于 VDD 上电
 - 所有电源必须在 60ms 内完成上电。
 - 其他不做强制要求，推荐上电顺序如图 2-1 所示。
- 考虑降低功耗，低电压先下电，3.3V 后下电。

图2-1 推荐上电顺序





3 原理图设计建议

3.1 小系统设计建议

3.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟，晶振选型频偏要求 $\leq 20\text{ppm}$ 。推荐晶体连接方式及器件参数如图 3-1 所示，晶体功率选型推荐如表 3-1 所示。

晶体电路阻容推荐值如下（与晶体选型相关）：

- $R1=1\text{M}\Omega$; $R2=1.1\text{k}\Omega/33\Omega$;
- $C1=C2=20\text{pF}$ 。

图3-1 推荐晶体连接方式及器件参数

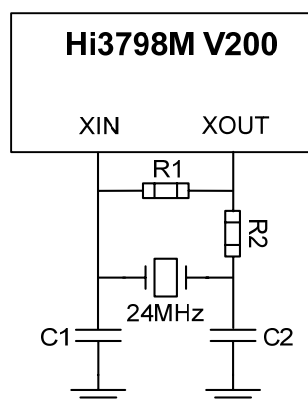


表3-1 R2 阻值与芯片最大激励功率及晶体等效电阻匹配关系

R2 阻值	芯片最大激励功率	晶体等效电阻 (max)	推荐晶体功率
33Ω	1 mW	< 50Ω	TBD
1.1kΩ	350uW	< 40Ω	TBD



R2 阻值	芯片最大激励功率	晶体等效电阻 (max)	推荐晶体功率
1.1kΩ	200 uW	< 20Ω	TBD

注：要求所选晶体的功率 \geq 芯片最大激励功率。



注意

晶体自身负载电容需与外部对地电容以及 PCB 走线负载电容匹配。

另外，系统时钟还可以直接由外部的晶振时钟电路产生时钟，通过 XIN 脚输入。

3.1.2 复位和 Watchdog 电路

Hi3798M V200 集成内部 POR (Power On Reset) 电路，Watchdog 信号在芯片内部与 POR 电路相连，无需外部复位电路。

3.1.3 JTAG Debug 接口

Hi3798M V200 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器，调试芯片。JTAG Debug 接口信号描述如表 3-2 所示。

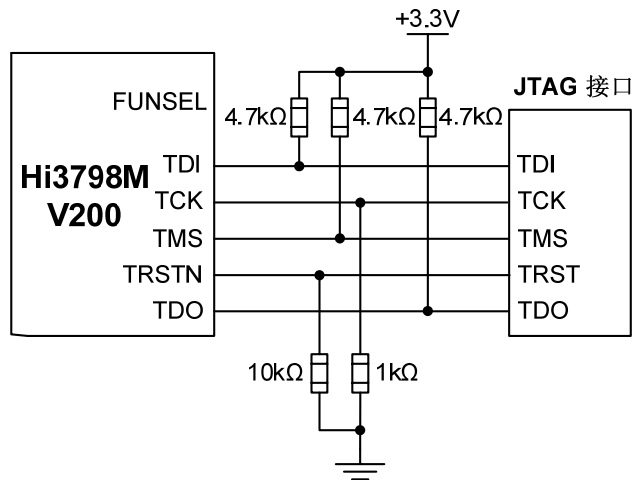
表3-2 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，单板上拉。
TDI	JTAG 数据输入，单板上拉。
TMS	JTAG 模式选择输入，单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉，正常工作建议单板上拉。
TDO	JTAG 数据输出，单板上拉。

JTAG 连接方式及标准连接器管脚定义如图 3-2 所示。



图3-2 JTAG 连接方式及标准连接器管脚定义



Hi3798M V200 可以通过 FUNC_SEL 管脚选择正常和测试两种工作模式，默认内部下拉，具体说明如表 3-3 所示。

表3-3 FUNC_SEL 模式说明

FUNC_SEL	模式说明
0	Hi3798M V200 正常工作模式，此时可通过 JTAG 对芯片进行调试，默认工作模式。
1	Hi3798M V200 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。



注意

当使用 JTAG 功能时，需保证 DVDD3318 电源管脚 F18 和 G18 接 3.3V_MOS。

3.1.4 Hi3798M V200 硬件初始化系统配置电路

Hi3798M V200 内部集成四核 Cortex-A53 64 位 CPU，支持从 SPI Flash、Async Nand Flash、Sync Nand Flash、eMMC、SPI Nand 5 种启动模式。硬件配置信号描述如下表 3-4 所示。

表3-4 信号描述

信号名	方向	说明
JTAG_SEL	I	JTAG 管脚复用选择控制信号。



信号名	方向	说明
		0: JTAG 管脚复用关系由管脚复用寄存器决定; 1: JTAG 管脚复用为 JTAG 功能, 复用寄存器不起作用。
BOOTSEL0/BOOTSEL1/BOOTSEL2	I	BOOTSEL0/BOOTSEL1/BOOTSEL2 配合使用, 表示启动模式选择。 {BOOTSEL2、BOOTSEL1、BOOTSEL0} 的含义如下: 000: 选择从 SPI NOR Flash 启动; 001: 选择从 Async NAND Flash 启动; x10: 选择从 Sync NAND Flash 启动; 011: 选择从 eMMC 启动; (默认状态) 100: 选择从 SPI NAND 启动; 其他: 保留。

3.1.5 DDR 电路设计

3.1.5.1 接口介绍

Hi3798M V200 DDRC 接口支持 DDR3/3L/DDR4 SDRAM 标准接口, 接口遵循 JEDEC 标准。有如下特点:

- 提供 1 个 DDRC 接口; 提供 1 个 DDR SDRAM 片选 CS、1 个 ODT、1 个 CKE, 支持数据总线位宽 32 bit/16bit 可配、地址总线最大支持 16bit。
- 支持 4 片主流 8bit DDR3 SDRAM 器件, 最大容量 $4\text{Gb} \times 4 = 16\text{Gb} = 2\text{GB}$;
- 支持 2 片主流 16bit DDR3 SDRAM 器件, 最大容量 $8\text{Gb} \times 2 = 16\text{Gb} = 2\text{GB}$ (典型: $4\text{Gb} \times 2 = 8\text{Gb} = 1\text{GB}$);
- 支持 2 片主流 16bit DDR4 器件, 最大容量 $8\text{Gb} \times 2 = 16\text{Gb} = 2\text{GB}$;
- 支持 4 片主流 8bit DDR4 器件, 最大容量 $4\text{Gb} \times 4 = 16\text{Gb} = 2\text{GB}$;
- DDR 时钟频率: 933/1066MHz。
- 支持 Power Down、SELF Refresh 等低功耗模式。
- 支持 DDR3L, 即在 DDR3L 时, 支持 1.35V。
- 支持 DDR4。

3.1.5.2 DDR 拓扑结构

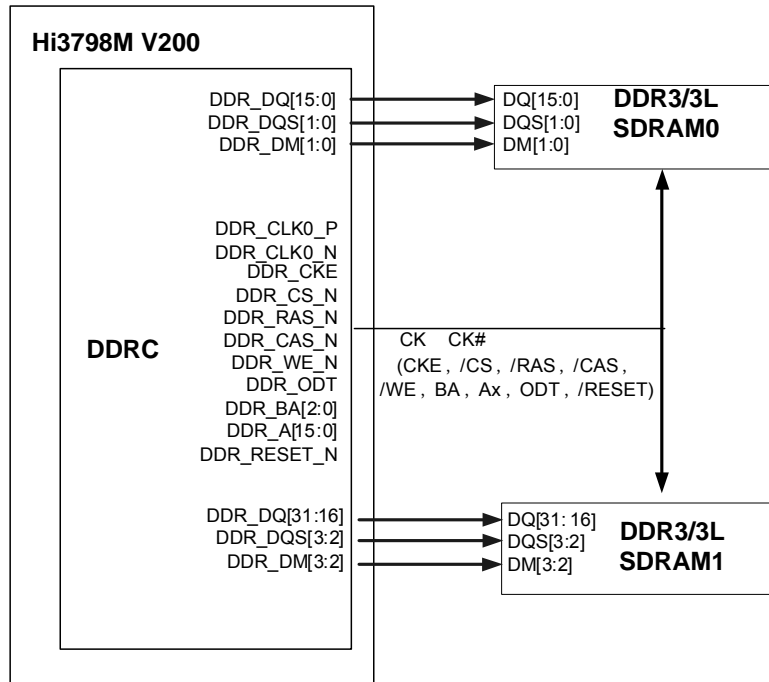
Hi3798M V200 DDR 典型拓扑结构分为 T 型和 fly-by 结构:



两层板

典型外接两颗 16bit DDR3/3L 或两颗 16bit DDR4 时采用一驱二 T 型拓扑结构。如图 3-3 所示两颗 DDR3/3L 的 T 型结构。

图3-3 Hi3798M V200 与 DDR3/3L SDRAM 的一驱二 T 型拓扑结构图

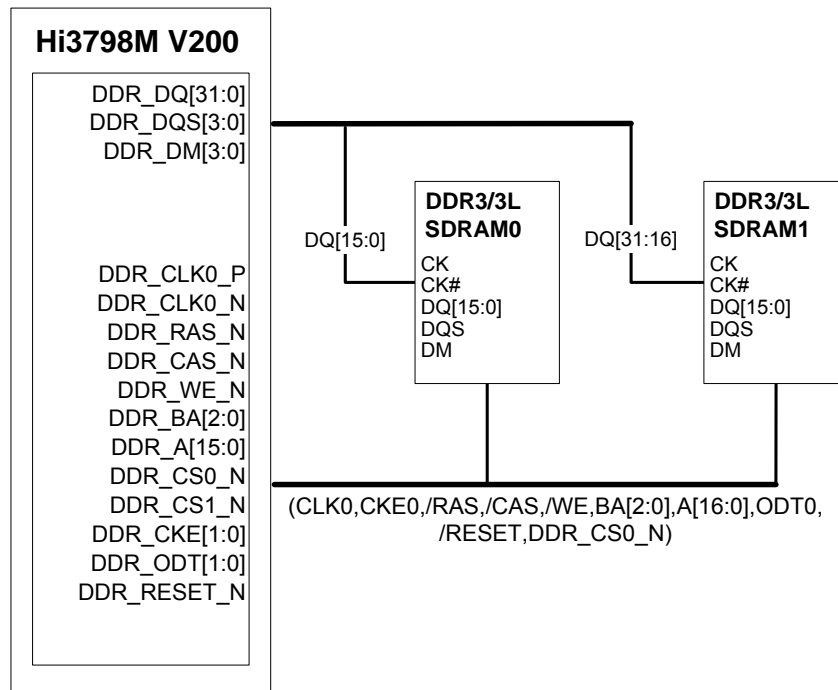


四层板

典型外接两颗 16bit DDR3/3L/DDR4 或者外接四颗 8bit DDR3/3L/DDR4 时分别采用一驱二或一驱四 fly-by 型拓扑结构。如图 3-4 所示两颗 DDR3 的一驱二 fly-by 结构。



图3-4 Hi3798M V200 与 DDR3/3L SDRAM 的一驱二 fly-by 拓扑结构图



3.1.5.3 匹配方式设计建议

DQ、DQS、DM 双向信号

Hi3798M V200 DDR 应用中 DQx、DQSx_P/N、DQSx_T/C、DMx 信号采用点对点拓扑方式，如表 3-5 所示。

表3-5 DQ、DQS_P/DQS_N、DM 拓扑设计推荐

信号	4 层板 PCB 设计
DQx	直连
DQSx_P/N DQSx_T/C	直连
DMx	直连

差分时钟

Hi3798M V200 DDR 应用中差分时钟 DDR_CLK_N、DDR_CLK_P 信号支持一驱二和一驱四两种应用。

- 两层板 PCB 设计：



一驱二 T 型结构，一对时钟驱动两颗 16bit DDR3/3L/DDR4 颗粒，差分信号分支点前跨接匹配，如图 3-5 所示，匹配电阻值 $R1=100\Omega$ 。

- 四层板 PCB 设计：
 - 一驱二 fly-by 结构，一对时钟驱动两颗 16bit DDR3/3L/DDR4 颗粒,差分信号终端跨接匹配，如图 3-6 所示，匹配电阻 $R1=75\Omega$ 。
 - 一驱四 fly-by 结构，一对时钟驱动四颗 8bit DDR3/3L/DDR4 颗粒，差分信号终端 VTT 匹配，如图 3-7 所示，匹配电阻 $R1=R2=51\Omega$ 。

图3-5 Hi3798M V200 DDR 差分时钟两层板一驱二 T 型设计

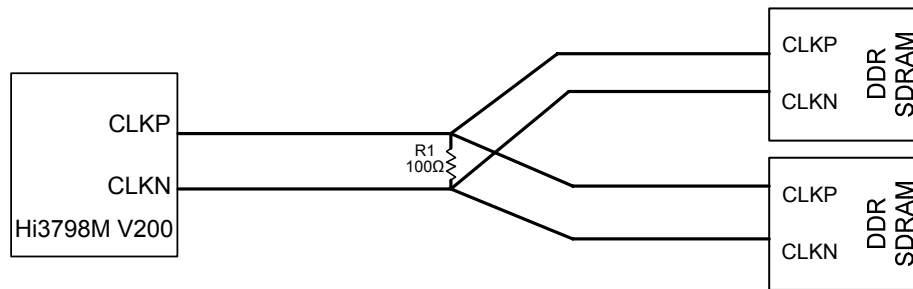


图3-6 Hi3798M V200 DDR 差分时钟四层板一驱二 fly-by 设计

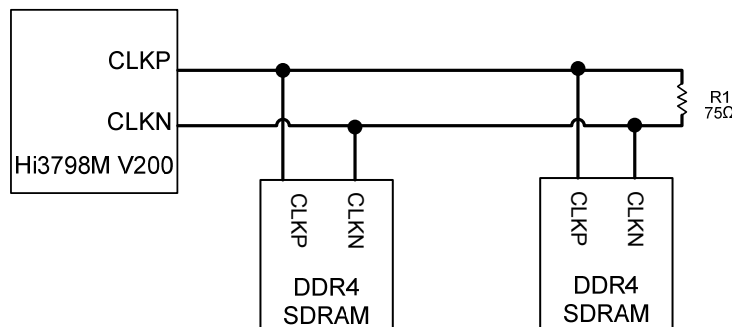
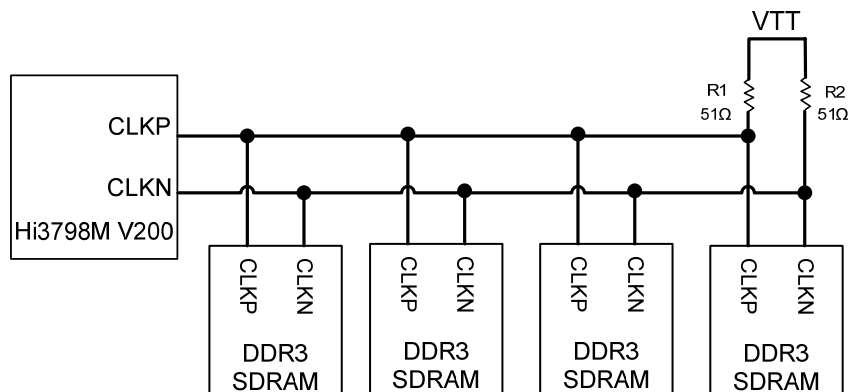


图3-7 Hi3798M V200 DDR 差分时钟四层板一驱四 fly-by 设计





地址信号、控制信号

- 两层板 PCB 设计：
 - AC 信号采用一驱二 T 型拓扑结构，T 点后分别串联 33Ω 匹配，如图 3-8 所示。
- 四层板 PCB 设计：
 - AC 信号采用一驱二 fly-by 拓扑结构，ADDRx、BA[0:2]、ODT、CKE、CSN、RAS、CAS、WEN、RESET、ACT、BG 信号直连同时驱动两颗 16bit DDR 颗粒，其中 ODT、CSN 和 CKE 信号要求终端戴维南匹配， $R1=R2=100\Omega$ ；如图 3-9 所示。
 - AC 信号采用一驱四 fly-by 拓扑结构，终端 VTT 匹配，VTT 电阻 $R1=51\Omega$ 。如图 3-11 所示。

图3-8 Hi3798M V200 DDR 两层板 AC 信号一驱二 T 型设计

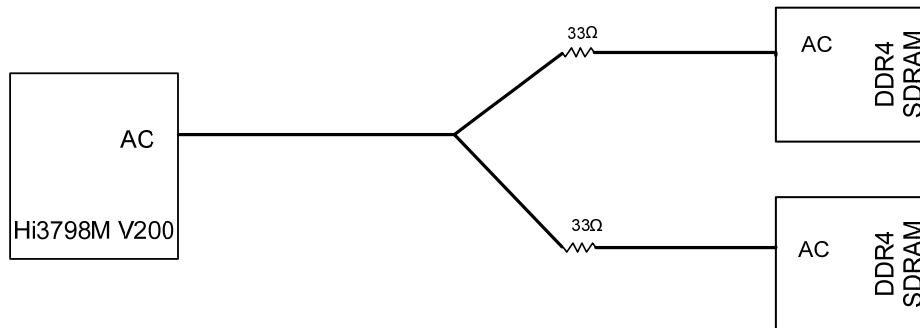


图3-9 Hi3798M V200 DDR3/3L 四层板单端信号一驱二 fly-by 设计

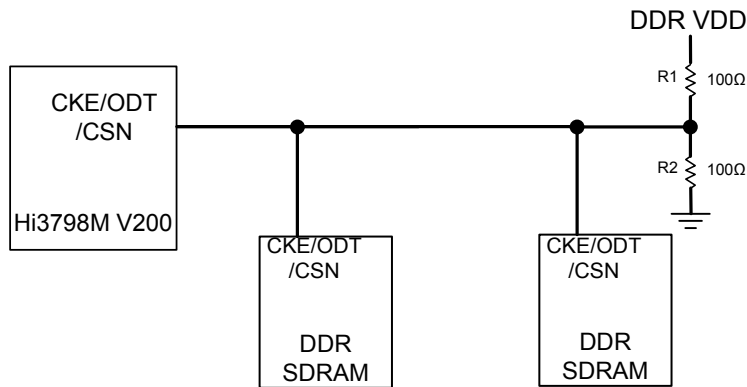


图3-10 Hi3798M V200 DDR4 四层板 CS 信号一驱二 fly-by 设计

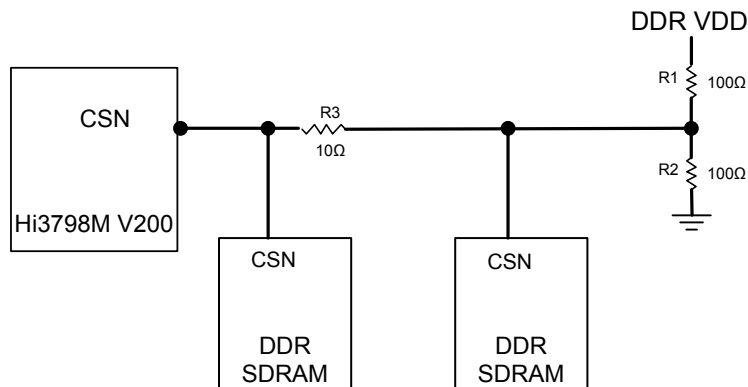
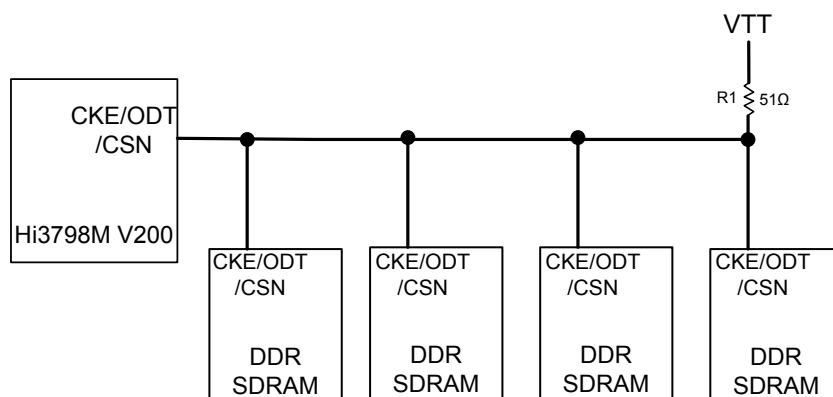


图3-11 Hi3798M V200 DDR3/3L、DDR4 单端信号一驱四 fly-by 设计



3.1.5.4 器件选型建议

Hi3798M V200 DDRC 接口 DDR 最高工作频率支持到 933MHz/1066MHz，器件请在海思《Hi3798M V200 兼容器件列表》中选择。

3.1.6 Flash 电路设计

3.1.6.1 接口介绍

- 外接单片 SPI Flash，存储空间最大支持 8Gbit，支持 Single-IO/Dual-IO/Quad-IO 模式，最高时钟 75MHz。
- 外接单片 SPI NAND Flash，支持 1bit 和 4bit 数据宽度，支持 4bit/512B、8bit/512B、24bit/1KB、28bit/1KB ECC Mode。
- 外接单片 SLC、MLC Asynchronous/ Synchronous NAND Flash，支持 ONFI3.0、Toggle2.0 协议,最大支持 64GB，支持 4bit/512B、8bit/512B、24bit/1KB、28bit/1KB、40bit/1KB、64bit/1KB ECC Mode，支持 randomization 和 read retry 功能。
- 外接单片 eMMC，支持 eMMC5.0 接口协议，与 NAND 接口管脚复用，二者只能选其一，eMMC 支持 HS200 CLK200MHz 模式、HS400 CLK 100MHz 模式。



3.1.6.2 信号处理

SPI Flash/SPI NAND Flash

SFC 接口支持 SPI Flash 或 SPI NAND Flash，两者接口设计完全一致，接口上下拉和匹配设计推荐如表 3-6 所示。

表3-6 单片 SPI Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式(2/4 层板设计)
SF_CLK	NA	直连
SF_SDO_IO0/SF_SDI_IO1	NA	直连
SF_CSN	8kΩ上拉	直连
SF_HOLDN_IO3	8kΩ上拉	直连
SFC_WPN_IO2	8kΩ下拉	直连

NAND Flash

NAND Flash 接口支持 8 位宽的 SLC 和 MLC 的 NAND Flash 器件，NAND Flash 接口上下拉和匹配设计推荐如表 3-7 所示。

表3-7 单片 Flash 上下拉和匹配设计推荐

信号	内置上下拉	连接方式(2/4 层板设计)
DQ[0:7]	NA	直连
NF_RDY/NF_CSN	8kΩ 上拉	直连
NF_WEN/NF_DQS/NF_DQSN / NF_REN/NF_REC	NA	直连
NF_CLE/NF_ALE	NA	直连

eMMC Flash

eMMC Flash 接口支持 eMMC5.0 接口协议，接口信号与 NAND 接口复用。eMMC5.0 接口支持 DDR50（1V8/3V3 IO）、HS200（1V8 IO）、HS400（1V8 IO）等工作模式。当选择 1V8 IO 模式时，需要板级外挂一个 3V3 转 1V8 LDO 电路，单独给 EMMC IO 和 Hi3798M V200 EMMC IO 供电，详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

接口上下拉和匹配设计按照工作模式 DDR50、HS200、HS400 分别推荐如表 3-8~ 表 3-10 所示。



表3-8 单片 eMMC Flash DDR50 工作模式匹配设计推荐

信号	内置上下拉	连接方式	
		2 层板设计	4 层板设计
EMMC_CCLK_OUT	NA	直连（高安），走线<1inch	直连（高安），走线<1inch
		源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_CDATA[7:0] EMMC_CMD	33k 上拉	直连（高安），走线<1inch	直连（高安），走线<1inch
		源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_DS	NA	-	-
EMMC_RST	NA	直连	直连

表3-9 单片 eMMC Flash HS200 单沿 200MHz 工作模式匹配设计推荐

信号	内置上下拉	2 层板连接方式	4 层板连接方式
EMMC_CCLK_OUT	NA	源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_CDATA[7:0] EMMC_CMD	33k 上拉	源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_DS	下拉	-	-
EMMC_RST	NA	直连	直连

表3-10 单片 eMMC Flash HS400 双沿 100MHz 工作模式匹配设计推荐

信号	内置上下拉	2 层板连接方式	4 层板连接方式
EMMC_CCLK_OUT	NA	源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_CDATA[7:0] EMMC_CMD	33k 上拉	源端串联 51Ω 电阻	源端串联 33Ω 电阻
EMMC_DS	下拉	器件端串联 51Ω 电阻	器件端串联 33Ω 电阻
EMMC_RST	NA	直连	直连

3.2 电源设计建议



说明

系统电源的设计，详细请参见 Hi3798M V200 DMO 板原理图。



3.2.1 CPU/CORE/GPU 电源设计

Hi3798M V200 采用 CORE、CPU、GPU 独立电源域（管脚名：VDD、DVDD_CPU、DVDD_GPU），支持 AVS/DVFS 动态调频调压功能。CORE 和 GPU 电源合并供电，推荐选择 3A 快速响应 DC-DC，CPU 电源推荐选择 3A 快速响应 DC-DC。VDD、DVDD_CPU、DVDD_GPU 三路电源的去耦电路请参考海思 Hi3798M V200 参考设计硬件发布包。



注意

DC-DC 选型推荐选择带有 COT/ACOT 等快速响应功能的 DC-DC，具体约束如下：

- 3A DC-DC For CPU：要求在 $I_{out}=0.5A-2A$ ，电流变化斜率 $\geq 0.5A/us$ ，Load Transient Response V_{out}/AC Peak to Peak 小于 120mV；
- 3A DC-DC For GPU：要求在 $I_{out}=0.5A-3A$ ，电流变化斜率 $\geq 0.5A/us$ ，Load Transient Response V_{out}/AC Peak to Peak 小于 120mV。

3.2.2 IO 电源设计

IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。每 2~3 个 DVDD33 管脚处放置 1 个 100nF 去耦电容，并紧靠供电管脚摆放。详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

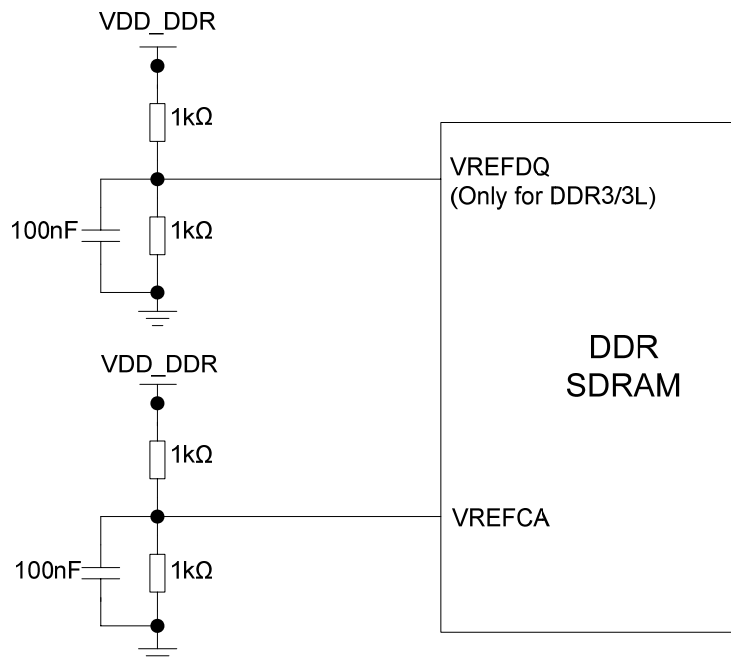
3.2.3 DDR 电源设计

DDR 电源设计如下：

- Hi3798M V200 DDRC 及接口符合 JEDEC 标准，内部集成 VREF 电路，产生 VREF IO 参考电压。
- Hi3798M V200 DDR PHY 内部时钟由独立的 PLL 产生，PLL 需要独立供电（管脚名 AVDD33_DDRPLL）：通过 $\geq 200\Omega@100MHz$ 磁珠连接数字 3.3V 电源，要求放置 1x 1 μF 和 1x 100nF 的陶瓷滤波电容，并紧靠供电管脚摆放，详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。
- Hi3798M V200 DDR 电源（管脚名 VDDIO_DDR/VDDIO_CK_DDR）：连接 DDR 数字电源。要求 Hi3798M V200 DDR PHY 与所有对接的 DDR 颗粒采用同一电源设计，放置 1x 10 μF +1x 4.7 μF +1x 1 μF +3x 100nF 的陶瓷滤波电容，并严格参考 demo 板紧靠供电管脚摆放；整个 DDR SDRAM 功能单元每个 DDR 颗粒供电电源至少有一个 10 μF 的对地滤波电容。详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。
- 建议单板上采用单独的 DC-DC 电路为 DDR 颗粒和 Hi3798M V200 DDR PHY 电源管脚供电。通过 1k Ω 电阻（精度 $\pm 1\%$ ）分压提供 VDDIO_DDR/2 电压给 DDR 颗粒 VREF 管脚供电，每个电源管脚和参考电源管脚旁边放 1 个 100nF 的去耦电容。DDR 颗粒端 VREFDQ（Only for DDR3/3L）和 VREFCA 采用独立的 VREF 电压参考电路。

DDR3 电源分压网络参考设计如图 3-12 所示。

图3-12 DDR 电源分压网络参考设计图



3.2.4 PLL 电源设计

PLL 模拟电源 AVDD33_PLL/AVDD_PLL，板级必须通过 $\geq 200\Omega@100\text{MHz}$ 磁珠进行隔离，每种电源滤波电容需要一个 $1\mu\text{F}$ 陶瓷电容，滤波电容应靠近管脚摆放。

3.2.5 Standby 电源设计

板级需要提供 3.3V 常供电源到 DVDD33_STANDBY 管脚，待机时不关断。

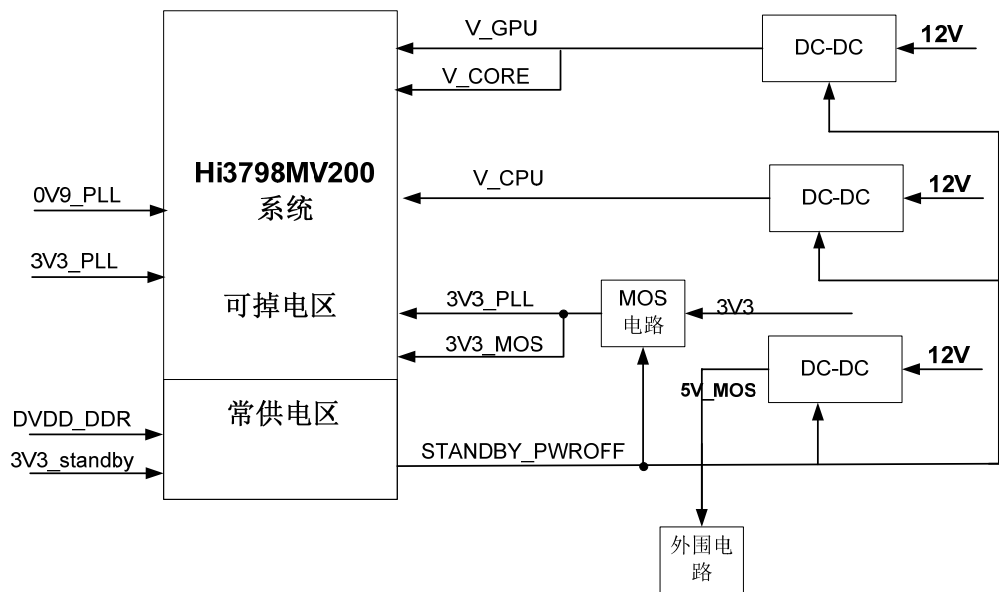
Hi3798M V200 内部集成 3.3V 转 0.9V LDO，用于待机模块内部的 0.9V 供电，DVDD_STANDBY_LDO_DECAP 管脚板级悬空。

3.2.6 待机电路方案设计

Hi3798M V200 板级系统采用真待机方案，系统分为常供电区和可掉电区，两部分独立供电，如图 3-13 所示，常供电区电源由电源芯片直接提供，可掉电区电源则通过 STANDBY_PWROFF 控制 MOS 开关电路，在待机状态时切断可掉电区电源。由于真待机方案 DDR 数据需要保存，DDR 电源不能断电，但在部分高安设计中，待机时要求 DDR 中数据清空，DDR 电源断电。其中 5V0_MOS 和 12V_MOS 为可选电路，根据实际应用场景选择。海思参考设计是基于 DDR 不断电的真待机方案设计，所有功耗数据基于真待机方案。



图3-13 Hi3798M V200 板级待机电路方案框图

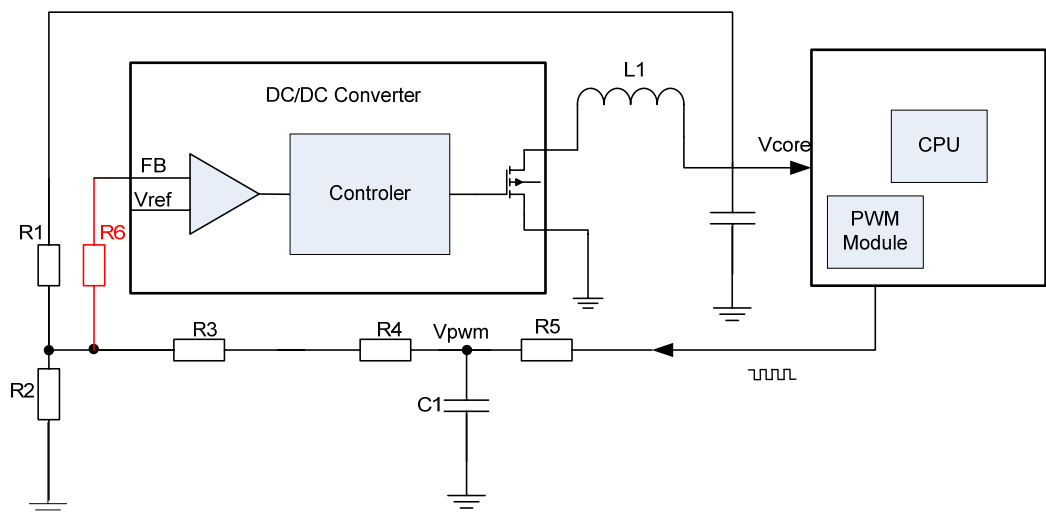


3.2.7 电源 SVB/DVFS 动态调压

为了实现 Hi3798M V200 系统功耗最低且系统稳定，要求 DVDD_CPU 和 DVDD_GPU/VDD 这两路电源必须增加动态调压功能，实现方式如下：

通过 Hi3798M V200 的 PWM 波形输出管脚 PMC_CPU、PMC_GPU，经过 RC 滤波后输出 0~3.3V 不同电压的直流电平，该直流电平分别叠加到 CPU 和 GPU DC-DC 的反馈电压输入处，实现 DC-DC 输出电压的调节。调节 Hi3798M V200 相关的寄存器可以改变 PWM 的频率和占空比，最终可以实现动态调节 DC-DC 的输出电压，如图 3-14 所示。

图3-14 电源动态调压示意图





SVB/DVFS 电路设计中，将 Hi3798M V200 PWM 管脚通过 SVB/DVFS 电路连接至 CPU 电源、GPU/CORE 电源 DC/DC 的 FB 管脚即可。设计中需注意事项如下：

- PMC_CPU 用于调 CPU 电压；PMC_GPU 用于调节 GPU/CORE 电压。
- Hi3798M V200 的 3.3V 电源直流电压值误差范围不要超过 $\pm 50\text{mV}$ 。
- DC-DC 的 FB 管脚前预留一个电阻 R6，用于调节 DC-DC 器件的环路稳定性。R6 的阻值，请客户与 DC-DC 厂家确认。



注意

SVB/DVFS 电路中所有的电阻精度均**要求** 1%，电容材质**必须**为 X5R 或 X7R。

SVB/DVFS 电路的 R/C 参数参考值如表 3-11 所示。

表3-11 SVB/DVFS 电路的 R/C 参数参考值

R/C 参数推荐值 for Vcore、Vcpu and Vgpu(Vmax=1.25V,Vmin=0.7V)								
Vref (V)	R1 (kΩ)	R2 (kΩ)	R3 (kΩ)	R4 (kΩ)	R5 (kΩ)	C (uF)	Vmax (V)	Vmin (V)
0.45	24.9	15.4	27	121	1	2.2	1.25	0.7
0.6	22	24	10	121	1	2.2	1.25	0.7
0.7	21.5	34.8	15.4	113	1	2.2	1.25	0.7
0.765	11.3	24	33	33	1	2.2	1.25	0.7
0.791	10	24	11.5	47	1	2.2	1.25	0.7
0.8	11	27.4	51	13.7	1	2.2	1.25	0.7
0.807	10	26.1	11.8	47	1	2.2	1.25	0.7

注意：

1. 不推荐使用 Vref 精度大于 2%的 DC/DC；
2. DC-DC 选型要求使用快速响应 DC-DC，如 COT、ACOT 控制：
 - 3A DC-DC For CPU：要求在 Iout=0.3A-2A，Load Transient Response Vout/AC Peak to Peak 小于 120mV；
 - 3A DC-DC For GPU：要求在 Iout=0.5A-3A，Load Transient Response Vout/AC Peak to Peak 小于 120mV；
3. 由于 Vmin 比较低，不要选择 Vfb 大于 0.807V 的 DC-DC。

3.2.8 注意事项

电源设计的其它注意事项如下：



各模块电源的要求请参考“电性能参数”章节，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

各个电源模块的去耦电容的数量和容值的选择和 PCB 的 layout 相关，海思参考设计中的去耦电容选择严格参考 PI 仿真和实测数据，实际设计时，推荐严格参考海思 Hi3798M V200 参考设计硬件发布包。

3.3 外围接口设计建议

3.3.1 SDIO 接口设计

Hi3798M V200 提供了两个独立的 SDIO3.0 控制器接口，同时支持 SDIO2.0/SDIO3.0 协议，最高时钟分别为 50MHz 和 150MHz：

SDIO0:

- 采用单独的 3.3V 供电，与 3.3V IO 共用电源域；
- SDIO0 内部集成 LDO，DVDD3318_SDIO_LDO_DECAP 管脚外接 2.2μF 滤波电容到地，提供 SDIO3.0 协议的 1.8V IO 电平，根据协议 3V3 IO 和 1V8 IO 模式自动切换；
- CMD 和 DATA 上拉 47kΩ 电阻到 DVDD3318_SDIO_LDO_DECAP，方便 IO 电平切换时同步切换上拉电压。

SDIO1:

- 采用单独的 3.3V/1.8 供电，与 3.3V/1V8 IO 共用电源域；
 - SDIO1 内部未集成 LDO，不支持电平切换。当外围电路支持 SDIO 3.0 协议时，DVDD3318 管脚(F18, G18)都需外接 1.8V。
 - 当 SDIO1 外接 TF 卡时，DVDD3318 管脚只能接 3.3V，CMD 和 DATA 上拉 47kΩ 电阻到 3.3V，仅支持 SDIO2.0。
 - SDIO1+PCM+UART 可支持 SDIO 正基 WIFI+BT 模组的应用，支持 1.8V/3.3V。
- SDIO 接口匹配设计如表 3-12 所示。

表3-12 SDIO 接口匹配设计推荐

信号	2 层板匹配设计	4 层板匹配设计
SDIOx_CDATA[3:0]/ SDIOx_CCMD	源端串连 50Ω 电阻	源端串连 33Ω 电阻
SDIOx_CCLK	源端串连 50Ω 电阻	源端串连 33Ω 电阻
SDIOx_CARD_POWER_EN	直连	直连
SDIO0_CARD_DETECT	直连，上拉 10kΩ 到 3.3V_MOS	直连，上拉 10kΩ 到 3.3V_MOS
SDIOx_CWPR	直连(NC for TF CARD)	直连(NC for TF CARD)



3.3.2 网口设计

Hi3798M V200 内置一个 GE MAC 和一个 FE PHY。

GE MAC 接口设计

GE MAC 同时兼容 RGMII 和 RMII 接口模式，同时支持 1V8 和 3V3 两种电平标准，IO 电平标准由 DVDD3318_RGMII 供电电压和 SDIO0 的内置 LDO 决定：

- 当使用 3V3 IO 标准时，需要 DVDD3318_RGMII 外接 3V3 电源，同时内置 LDO Bypass；
- 当使用 1V8 IO 标准时，需要 DVDD3318_RGMII 外接 1V8 电源，同时内置 LDO 开启。推荐 DVDD3318_RGMII 和 GE PHY 采用同一个 1V8 电源供电；



注意

RGMII 仅支持 4 层板，2 层板无法出线。RGMII_TXCK 支持内置 2ns delay。

RGMII 在 1V8 和 3V3 两种电平标准下，RGMII_TXCK、RGMII_TXEN、RGMII_TXD[0:3] 的 IO 驱动能力有差异，请在 HiRegBin 工具“管脚复用”项中选择如表 3-13 所示，驱动能力将跟随管脚复用自动修改。

表3-13 RGMII 的两种电平标准

1V8 电平标准	3V3 电平标准
RGMII_TXCK_1V8	RGMII_TXCK
RGMII_TXEN_1V8	RGMII_TXEN
RGMII_TXD[0:3]_1V8	RGMII_TXD[0:3]

RGMII MDCK、MDIO 接口匹配设计如表 3-14 所示。

表3-14 RGMII MDCK/MDIO 接口匹配设计推荐

信号	4 层板匹配设计
MDCK	源端串联 33Ω 电阻
MDIO	直连，上拉 4.7kΩ 到 DVDD3318_RGMII

Hi3798M V200 通过 RGMII/RMII 接口对接 GE/FE PHY 连接方式如图 3-15、图 3-16 所示，接口匹配设计如表 3-15、表 3-16 所示。



图3-15 RGMII 模式下的信号连接图

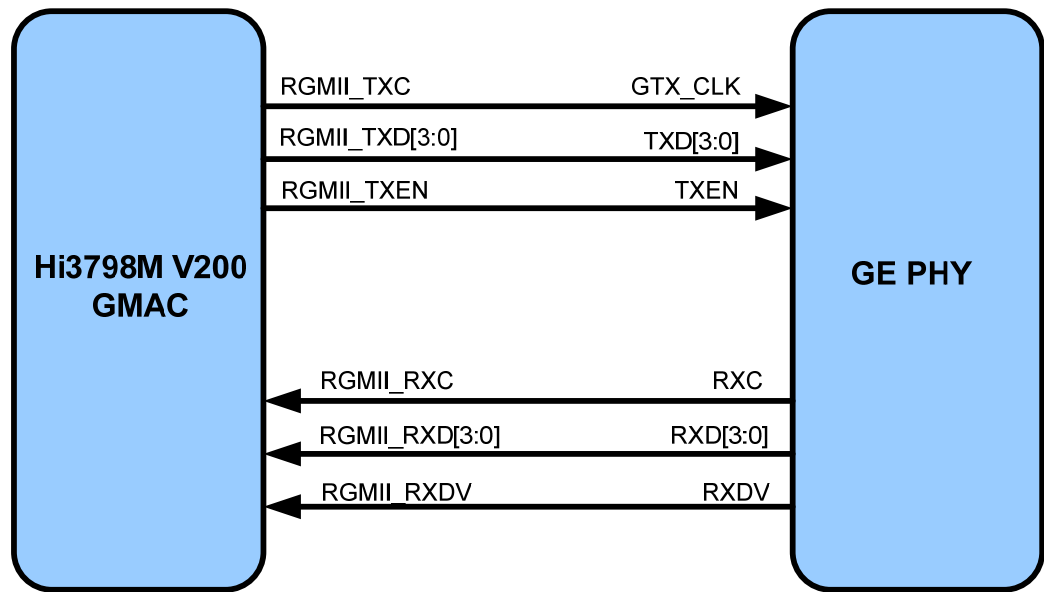


图3-16 RMII 模式下的信号连接图

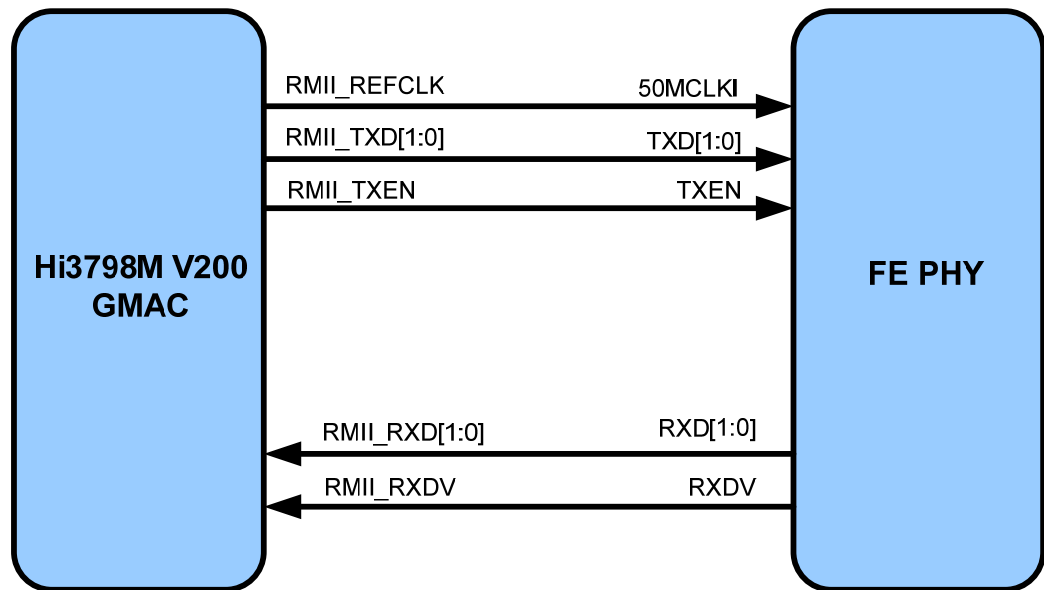


表3-15 RGMII 接口匹配设计推荐

信号名称	4 层板 PCB 设计 (3V3 IO)	4 层板 PCB 设计 (1V8 IO)
RGMII_TXCK	单端时钟：源端串联 22Ω 电阻；	单端时钟：源端串联 22Ω 电阻；



信号名称	4 层板 PCB 设计 (3V3 IO)	4 层板 PCB 设计 (1V8 IO)
RGMI _I _TXD[3:0]/ RGMI _I _TXEN	源端串联 22Ω 电阻	源端串联 22Ω 电阻
RGMI _I _RXCK	器件端串连 22Ω 电阻	器件端串连 22Ω 电阻
RGMI _I _RXD[3:0] /RGMI _I _RXDV	器件端串联 22Ω 电阻	器件端串联 22Ω 电阻
RGMI _I _RST	上拉 4.7kΩ 到 3.3V	上拉 4.7kΩ 到 3.3V/1.8V

RMII 接口匹配设计如表 3-16 所示。

表3-16 RMII 接口匹配设计推荐

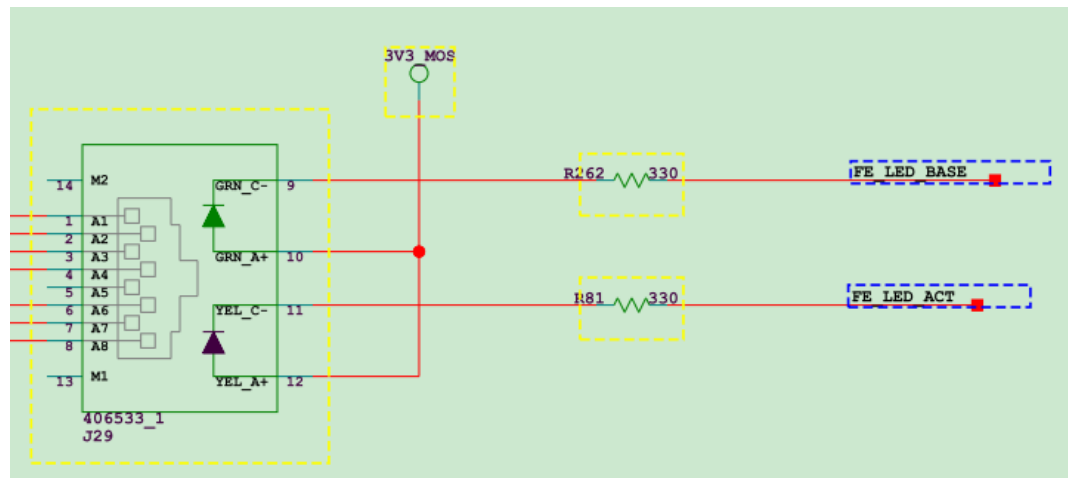
信号名称	2 层板 PCB 设计	4 层板 PCB 设计
RMII_REFCLK	源端串联 50Ω 电阻；	源端串联 22Ω 电阻；
RMII_RXD[1:0]/ RMII_RXDV	直连	直连
RMII_TXD[1:0]/ RMII_TXEN	直连	直连
MDCK	源端串联 75Ω 电阻	直连
RMII_RST/RMII_MDIO	直连	直连

FE PHY 接口设计

HI3798M V200 FE PHY 驱动网口 LED 的两个管脚 FE_LED_BASE、FE_LED_ACT 分别串联的 330 欧姆电阻，信号连接如图 3-17 所示。同时在 RX/TX 信号上各串 1Ω 电阻，提升网口抗差模浪涌能力。



图3-17 FE PHY 网口 LED 灯的信号连接图



为了满足 ESD、浪涌保护要求，建议在电路设计时在 FE PHY 电路上设计保护电路。为了避免保护器件对 FE PHY 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议放置在变压器内侧，在变压器和 PHY 之间，靠近变压器放置。
- 保护器件建议选用 TVS 管，击穿电压 8kV，响应时间小于 1ns。

3.3.3 SCI 接口设计

Hi3798M V200 集成了 2 路 SCI 接口，用于和 SIM 卡进行通讯，支持 3.3V 和 5V 的卡。



注意

SIM1 仅支持 4 层板，2 层板无法出线。SIM0 不支持 5V 卡直驱，需外加 buffer。

- CLK 信号支持 CMOS 和 OD 两种输出模式
 - 采用 OD 输出时，CLK 要求上拉。SIM0 OD 模式不支持直驱 5V 卡。
 - 采用 CMOS 输出时，不需要上拉。对接 5V 卡时需要外接电压转换芯片（如 TDA8024）。
- DATA 需要上拉电阻到 SCI_VDD。

SCI 接口匹配设计如表 3-17 所示。

表3-17 SCI 接口匹配设计推荐

信号	2 层板匹配设计	4 层板匹配设计
SIM_DATA (OD)	直连，上拉 1kΩ 电阻	直连，上拉 560Ω 电阻



信号	2 层板匹配设计	4 层板匹配设计
SIM_CLK (OD)	直连, 上拉 1k Ω 电阻	直连, 上拉 560 Ω 电阻
SIM_DATA (CMOS)	直连	直连
SIM_CLK (CMOS)	源端串 33 Ω	源端串 33 Ω

3.3.4 TSI 接口

Hi3798M V200 TSI 分两层板和四层板两种模式。

两层板

同时仅支持如下其中一种模式：

- 2 路标准串行 TSI 或者 2 路 2bit no sync 串行 TSI；
- 1 路标准串行 TSI + 1 路标准 TSO；

四层板

同时仅支持如下其中一种模式：

- 1 路标准并行 TSI；
- 1 路 8 线制串行 TSI, no sync、no valid, Hi3798M V200 的 TSI_CLK 信号对接器件端的 valid 信号, 如对接 MXL254、MXL214C、TDA18284 等 FBC 器件；
- 1 路 9 线制共 CLK 串行 TSI, no valid, Hi3798M V200 TSI_CLK 信号 (TSI0_CLK、TSI1_CLK、TSI2_CLK、TSI3_CLK 可选, 默认 TSI2_CLK) 对接器件端公共 CLK, 如对接 Maxliner 等厂家 FBC 器件；

四层板时钟最高支持 190MHz, FBC 接口设计如表 3-18 所示, 其中 RSTN 和 INT 用 GPIO 实现。TSI 其他详细对接方式请参考海思参考设计。

表3-18 8/9 线 FBC 详细对接方式

Hi3798M V200 (8 Line)	Device (8 Line)	Hi3798M V200 (9 Line)	Device (9 Line)
TSI3_CLK	MPEG_3_VAL	GPIO2_3(INT)	INTERRUPT
-	-	TSI3_VALID	MPEG_3_VAL
TSI3_D0	MPEG_3_DAT	TSI3_D0	MPEG_3_DAT
GPIO2_6(INT)	INTERRUPT	TSI2_VALID	MPEG_2_VAL
TSI2_D0	MPEG_2_DAT	TSI2_D0	MPEG_2_DAT
TSI2_CLK	MPEG_2_VAL	TSI2_CLK	MPEG_CLK
I2C1_SDA	SDA_0	I2C1_SDA	SDA_0



Hi3798M V200 (8 Line)	Device (8 Line)	Hi3798M V200 (9 Line)	Device (9 Line)
I2C1_SCL	SCL_0	I2C1_SCL	SCL_0
GPIO4_6(RSTN)	RESET_N	TSI1_VALID	MPEG_1_VAL
TSI1_D0	MPEG_1_DAT	TSI1_D0	MPEG_1_DAT
TSI1_CLK	MPEG_1_VAL	TSI0_VALID	MPEG_0_VAL
TSI0_D0	MPEG_0_DAT	TSI0_D0	MPEG_0_DAT
TSI0_CLK	MPEG_0_VAL	GPIO6_2(RSTN)	RESET_N

TS 信号拓扑设计推荐如表 3-19 所示。

表3-19 TSI 信号拓扑设计推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
TSIx_Dx/TSIx_SYNC/ TSIx_VALID	直接相连	直接相连
TSIx_CLK	并行时钟：直接相连 串行时钟：器件端串接 75Ω 电阻	并行时钟：直接相连 串行时钟：器件端串接 33Ω 电阻

3.3.5 TSO 接口设计

Hi3798M V200 支持 1 路串行 TSO 接口，时钟最高支持 90MHz。接口匹配设计如表 3-20 所示。

表3-20 TSO 接口匹配设计推荐

信号	2 层板匹配设计	4 层板匹配设计
TSO_D0	直连	直连
TSO_CLK	源端串 50Ω 电阻	源端串 22Ω 电阻
TSO_SYNC/VALID	直连	直连

3.3.6 SPI 接口设计

Hi3798M V200 内部支持 1 路 SPI 接口，支持 3V3,可用于接外部 codec、SLIC 等器件。接口匹配设计如表 3-21 所示。



表3-21 SPI 接口匹配设计推荐

信号名称	2 层板 PCB 设计	4 层板 PCB 设计
SPI_CLK	源端预留串 50Ω 电阻	源端预留串 22Ω 电阻
SPI_SDO/SDI/CSN	直连	直连

3.3.7 AO 接口设计

Hi3798M V200 支持 1 路 I2S/PCM 数字音频输入输出接口，支持 1V8/3V3 两种电平标准，可用于接外部 codec、蓝牙等器件。接口匹配设计如表 3-22 所示。

表3-22 I2S 接口匹配设计推荐

信号名称	2 层板 PCB 设计	4 层板 PCB 设计
I2S_MCLK	源端预留串 50Ω 电阻	源端预留串 33Ω 电阻
I2S_BCLK	源端预留串 50Ω 电阻	源端预留串 33Ω 电阻
I2S_WS	直连	直连
I2S_DOUT/I2S0_DIN	直连	直连
I2S_RX_MCLK	器件端串 50Ω 电阻	器件端串 33Ω 电阻
I2S_RX_BCLK	器件端串 50Ω 电阻	器件端串 33Ω 电阻
I2S_RX_WS	直连	直连

在 1V8 和 3V3 两种电平标准下，两层板 I2S_BCLK 的 IO 驱动能力有差异，请在 HiRegBin 工具“管脚复用”项中选择如表 3-23 所示，驱动能力将跟随管脚复用自动修改。

表3-23 I2S_BCLK 两层板 PCB 设计时的两种电平标准

1V8 电平标准	3V3 电平标准
I2S_BCLK_1V8	I2S_BCLK

3.3.8 USB 接口设计

USB 功能单元供电电源设计建议

Hi3798M V200 集成了 3 路 USB 2.0 Host 接口和 1 路 USB3.0 接口（Combo phy 复用），最大场景能出 3 路 USB2.0 或者 2 路 USB2.0+1 路 USB3.0。



注意

USB0/1 接口支持 USB 自举功能。仅 USB2 接口支持 USB3.0 接口。仅 USB0 支持 USB ADB。

USB 功能单元的供电电源和地管脚分为 AVDD33_USB01、AVDD33_USB2、和 AVSS_USB，分别对应 3.3V 电源和地。设计建议如下：

- AVDD33_USB 和 AVSS_USB 为模拟 3.3V 电源管脚和地，AVDD33_USB 电源应控制在 $\pm 5\%$ 以内。AVDD33_USB 与 3V3 IO 直连，就近放置 2.2 μ F 滤波电容，靠近 AVDD33_USB 和 AVSS_USB 管脚。AVSS_USB 在板级可与普通 VSS 短接；
- USB_REXT 管脚需要通过 133 $\Omega \pm 1\%$ 电阻连接到 VSS；
- USB2.0 靠近主芯片端串联 4.7 Ω 电阻，端口端对地预留 3pF 电容；
- USB3.0 TXN/P 信号在源端串接 100nF 电容，RXN/P 信号直连；
- 推荐单个 USB 对外供电的 VBUS 供电线路上并联的电容容量之和需要大于 100 μ F；
- USB PowerSwitch 选型负载能力必须满足 USB2.0 和 USB3.0 Device 的需求；
- 详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，响应时间小于 1ns。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 2pF，USB3.0 端口保护器件的寄生电容小于 0.5pF。

3.3.9 音频 DAC 接口设计

- Audio DAC 的电源 AVDD33_ADAC 在板级与单板数字 3.3V 电源直连，靠管脚放置 1 μ F 滤波电容。
- ADAC_VREF 管脚外接 2.2 μ F 电容，靠管脚放置。

3.3.10 音频 SPDIF 接口设计

Hi3798M V200 支持 1 路音频 SPDIF 接口，通过直连接光纤插座或通过射随电路对接同轴接口。



3.3.11 视频 DAC 接口设计

视频 DAC 功能单元供电电源设计建议

视频 DAC 电源地包括 AVDD33_VDAC/AVSS_VDAC:

- 模拟电源 AVDD33_VDAC 在板级与单板数字 3.3V 电源直连，滤波参考平面为 AVSS_VDAC 模拟视频地，在靠近电源管脚和 AVSS_VDAC 管脚附近放置 2.2 μ F 滤波电容；
- 模拟视频地平面通过和数字地合并，采用同一个地平面；
- 模拟视频 3.3V 电源电平偏差控制在 $\pm 5\%$ 以内；

视频 DAC 接口设计

Hi3798M V200 内置 1 路 Video DAC，可以作为 CVBS 信号输出，支持带 Video buffer 低功耗和 LC 滤波两种电路模式。

- Video buffer 电路：
 - VDAC_REXT 外接 24k Ω ($\pm 1\%$)电阻到 AVSS_VDAC；
 - VDAC 输出对地放置 150 Ω ($\pm 1\%$)电阻。
- LC 滤波电路：
 - VDAC_REXT 外接 12k Ω ($\pm 1\%$)电阻到 AVSS_VDAC；
 - VDAC 输出对地放置 75 Ω ($\pm 1\%$)电阻。

详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

视频 DAC 接口保护电路设计建议

为了满足 ESD 保护等问题的要求，在电路设计时需要考虑在视频 DAC 输出端口上设计保护电路，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠视频输出端口连接器放置。
- 保护器件可以考虑使用 TVS 管或开关二极管等保护器件。

3.3.12 COMBO PHY 接口设计

Hi3798M V200 集成了 1 路 COMBO PHY 接口。可配置为支持 USB3.0、PCIE2.0 或者 SATA3.0 接口，由外设控制器 PERI_CTRL[12:11]决定，可以通过 HiRegBin 工具界面配置。

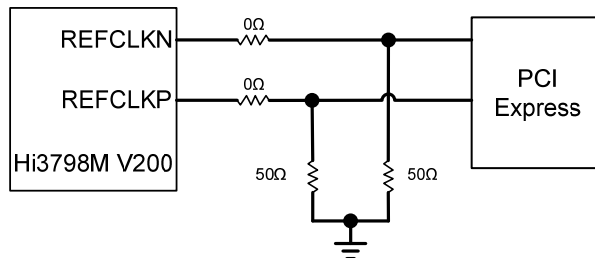
- COMBO PHY 功能单元的供电电源和地管脚分为 AVDD33_COMB、AVDD_COMB、和 AVSS_COMB，分别对应模拟 3.3V 电源、模拟 0.9V 电源和模拟地。模拟 0.9V 电源 AVDD_COMB 可以通过磁珠连接到数字 CORE 电源，模拟 3.3V 电源直连接到数字 3.3V IO 电源，电源管脚旁分别放置 1 个 2.2 μ F+1 个 100nF 去耦电容，电容应尽量靠近管脚放置；当 COMBO PHY 实际未使用时，可以不用去耦电容，模块内部配置 Powerdown。
- PERI_CTRL[12:11]=0x0，COMBO PHY 配置为 PCIE2.0：与 PCIE_REFCLKN/P 共同组成一路 PCIE2.0 接口，COMB_RXN/P、COMB_TXN/P 分别作为 PCIE2.0



RXN/P、TXN/P 信号，按照 PCIE2.0 接口设计，TXN/P 在源端串接 100nF 电容，RXN/P 在靠近对接器件端串接 100nF 电容，材质要求必须为 X7R；PCIE_REFCLKN/P 拓扑结构如图 3-18 所示，源端预留串接 0Ω 电阻。

- PERI_CTRL[12:11]=0x1，COMBO PHY 配置为 USB3.0：与 USB2（USB2.0）共同组成一路 USB3.0 接口，COMB_RXN/P、COMB_TXN/P 分别作为 USB3.0 RXN/P、TXN/P 信号，按照 USB3.0 接口设计，TXN/P 在源端串接 100nF 电容，材质要求必须为 X7R，RXN/P 直连，预留 ESD 保护电路。
- PERI_CTRL[12:11]=0x2，COMBO PHY 配置为 SATA3.0：与 SATA0_LEN_N、SATA0_PWREN 共同组成一路 SATA3.0 接口，COMB_RXN/P、COMB_TXN/P 分别作为 SATA 3.0 RXN/P、TXN/P 信号，按照 SATA3.0 接口设计，TXN/P 和 RXN/P 分别在接口端串接 10nF 电容，材质要求必须为 X7R。
- PCIE_REFCLKN/P 拓扑结构如图 3-18 所示。

图3-18 PCIE_REFCLKN/P 拓扑结构图



详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。



注意

PCIE 只支持 4 层板。

3.3.13 HDMI 接口设计

Hi3798M V200 提供了一个 HDMI TX 接口，支持 HDMI2.0a 协议：

- HDMI_TX 模拟电源 AVDD_HDMITX 在板级需要用磁珠（600Ω@100MHz）来隔离数字电源噪声，连接到数字 CORE 电源上，滤波电容（1 个 2.2μF+1 个 100nF）靠近管脚放置；AVDD33_HDMITX 连接到数字 3.3V IO 电源上滤波电容（1 个 2.2μF）靠近管脚放置；AVSS_HDMITX 和 AVSS_PLL_HDMITX 在 PCB 板上可短接，连接到数字 VSS 上，但要注意避开附近高频噪声
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置，推介电容最大不超过 0.5pF。
- HDMI 接口专用的 I2C 信号，支持 3.3V 和 5V IO 电平，需 2kΩ 电阻和肖特基二极管上拉至 5V_MOS。



- HDMI_CEC/SCL/SDA/HOTPLUG 建议串联 100Ω 电阻。
- 详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。



注意

Hi3798M V200 CEC 芯片内部已做上拉和防倒灌设计，不需要外部的上拉电阻和肖特基二极管。

3.3.14 ADC 接口设计

Hi3798M V200 提供了两路 ADC 接口 LSADC0、LSADC1，分别与常供电区 GPIO5_7、GPIO5_2 复用，主要应用于硬件版本检测、前面板按键、客户产品版本识别等应用，ADC 采集范围 0V~3.3V，输入电压不能高于 3.6V。

- LSADC0: 常规 ADC，主要用于海思 DEMO 统一 BOOT 镜像方案和客户 Hi3798MV200 系列产品统一 BOOT 镜像方案，软件通过 LSADC0 电压识别不同的硬件版本，加载对应的 reg 配置文件。

reg 配置文件与单板对应关系配置方法，请参考：

- Linux: 《Linux 开发环境 用户指南.pdf》的“boot 配置”章节。
- Android: 《Android 解决方案 使用指南.pdf》“boot 配置”章节。

海思参考设计 DEMO 板与 ADC 采集到的电压关系如表 3-24 所示，客户 Hi3798MV200 系列产品板与 ADC 采集到的电压关系如表 3-25 所示。

一个 BOOT 最多支持 6 种单板。不使用统一 BOOT 方案时，可以作为通用 ADC 使用。

- LSADC1: 不支持 2 层板。可以应用于前面板按键、客户版本识别、电压检测等。

表3-24 海思参考设计 DEMO 板版本与 ADC 电压关系

序号	Demo 板名称	reg 配置文件	电压值	R67/R133 参考值
0	Hi3798MV2DMA	hi3798mv2dma_xxx.reg	3.3V±3%	NC/10kΩ
1	Hi3798MV2DMB	hi3798mv2dmb_xxx.reg	2.475V±3%	30kΩ/10kΩ
2	Hi3798MV2DMC	hi3798mv2dmc_xxx.reg	1.925V±3%	15.4kΩ/11kΩ
3	Hi3798MV2DMD	hi3798mv2dmd_xxx.reg	1.375V±3%	11kΩ/15.4kΩ
4	TBD	TBD	0.825V±3%	10kΩ/30kΩ
5	TBD	TBD	0V±3%	10kΩ/NC

其中：R67/R133 为海思参考设计版本检测电路中的电阻。



表3-25 客户 Hi3798MV200 系列产品板与 ADC 电压关系

序号	客户产品板名称	reg 配置文件	电压值	R67/R133 参考值
0	产品板 0	产品板 0_xxx.reg	3.3V ± 3%	NC/10kΩ
1	产品板 1	产品板 1_xxx.reg	2.475V ± 3%	30kΩ/10kΩ
2	产品板 2	产品板 2_xxx.reg	1.925V ± 3%	15.4kΩ/11kΩ
3	产品板 3	产品板 3_xxx.reg	1.375V ± 3%	11kΩ/15.4kΩ
4	产品板 4	产品板 4_xxx.reg	0.825V ± 3%	10kΩ/30kΩ
5	产品板 5	产品板 5_xxx.reg	0V ± 3%	10kΩ/NC

其中：R67/R133 为客户单板版本检测电路中的电阻。

3.3.15 Hi3798M V200 IO 新特性介绍

防倒灌 IO

Hi3798M V200 对部分 IO 增加了防倒灌设计，在当单板待机后，IO 所接外围器件保持上电时，IO 电压不会倒灌到芯片 IO 电源 VDD 上，避免 VDD 上有残余电平。新增防倒灌 IO 列表如表 3-26 所示。原理图中以“FS”标示。

表3-26 防倒灌 IO 列表

管脚	GPIO	管脚	GPIO
K18	GPIO2_3	B21	GPIO6_2
J17	GPIO2_4	B18	GPIO6_3
J18	GPIO2_5	C17	GPIO6_4
H17	GPIO2_6	B17	HDMITX_HOTPLUG
H18	GPIO2_7	A17	HDMITX_SDA
K20	GPIO3_0	C16	HDMITX_SCL
K19	GPIO3_1	B16	HDMITX_CEC
J20	GPIO3_2	A6	RGMI1_RST
J19	GPIO3_3	C6	RGMI1_MDIO
H21	GPIO3_4	C5	RGMI1_MDCK
H19	GPIO3_6	A5	CLKOUT_25M
F21	GPIO4_1	-	-



管脚	GPIO	管脚	GPIO
F20	GPIO4_2	-	-
F19	GPIO4_3	-	-

强驱 IO

Hi3798M V200 常供电区有四个 GPIO (GPIO5_0/1/3/4) 最大支持 10mA 的强驱能力, 可以用来直接驱动 LED, 中间必须要串电阻, 可以预留三极管电路。由于蓝灯比较暗, 建议驱动蓝灯时, 使用三极管电路。



4 PCB 设计建议

4.1 层叠和布局

Hi3798M V200 封装大小为 BGA 14x14mm、0.65mm ball pitch、PCB 支持两层板和四层板走线，PCB 设计建议如下：

4.1.1 层叠

两层板 PCB 设计：

- 元器件布局在 TOP 层，信号线尽量走 TOP 层。
- 电源管脚用走粗线。
- 尽量保持 BOTTOM 层为一个完整的地平面层。
- 主芯片出线推荐过孔大小为 8mil，线宽为 5mil。

PCB 材料 FR-4，Hi3798MV2DMA/DMB 的 PCB 板厚度为 1.6mm，表层铜箔厚度为 1 盎司。

四层板 PCB 设计：

- 元器件布局在 TOP 层，DDR DQ/DQS 信号走内层，DDR AC 一驱四推荐信号线走 TOP 层和 BOTTOM 层，DDR AC 一驱二推荐信号走 TOP 层和第三层，滤波小电容可放在 BOTTOM 层。
- 电源管脚走粗线，推荐 $\geq 12\text{mil}$ 。
- 推荐保持内一层为一个完整的地平面层。
- 主芯片出线推荐线宽为 4-5mil。
- BGA 内部推荐过孔 8mil/16mil、BGA 外部推荐 10mil/20mil。
- 单端信号除特殊信号（如 RF）外，不作特征阻抗要求，差分信号阻抗请参考 DEMO 板 PCB 设计。

PCB 层叠信息：

- PCB 典型材料 FR-4；
- 四层板 L1 与 L2、L3 与 L4 间距典型值控制为 4mil，可选择 3.5mil-4.5mil。
- PCB 板厚度典型值为 1.6mm，可选择 1.0mm、1.2mm、1.6mm。



- 表层铜箔厚度典型值为 1 盎司。

4.1.2 单板布局

Hi3798M V200 两层板 DDR3 2x16bit、DDR4 2x16bit，四层板 DDR4x2 单板布局如图 4-1~图 4-3 所示。

图4-1 Hi3798M V200 DDR3 2x16bit 单板两层板布局图

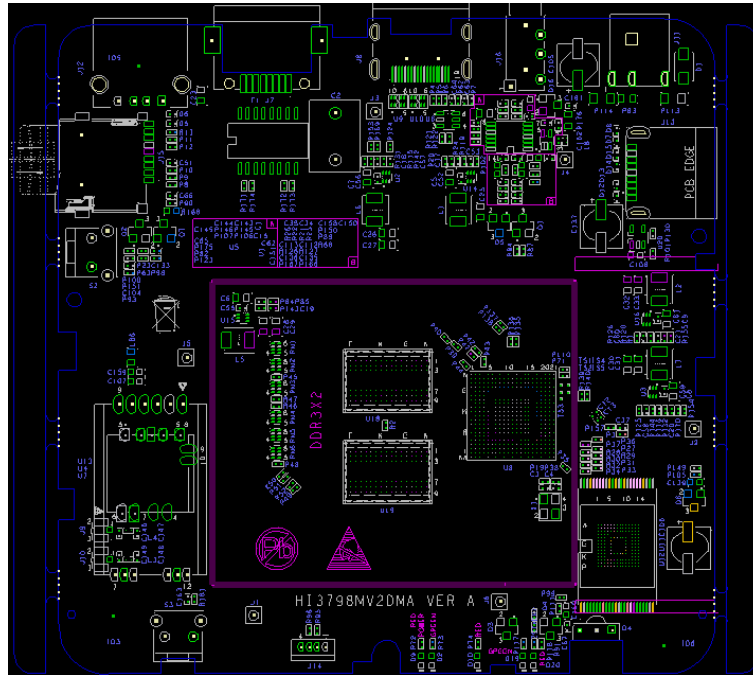




图4-2 Hi3798M V200 DDR4 2x16bit 单板两层板布局图

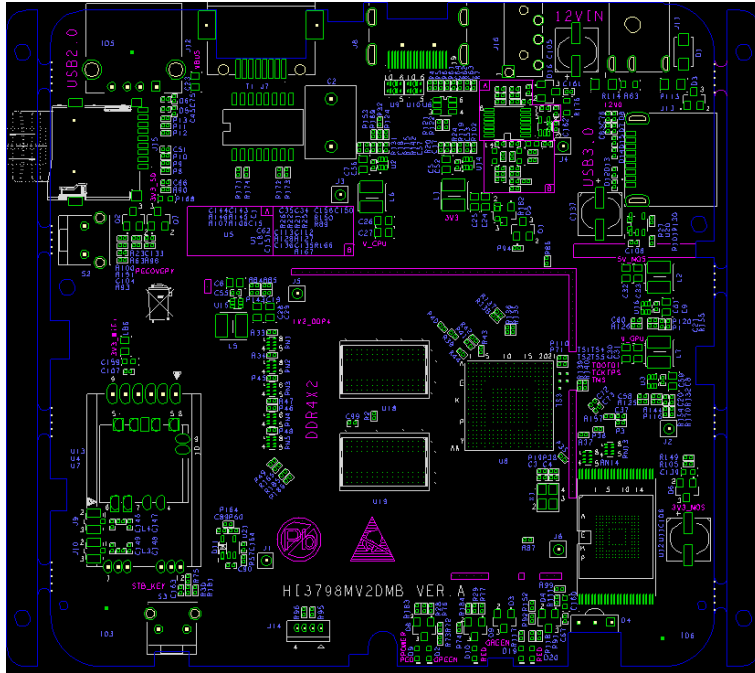
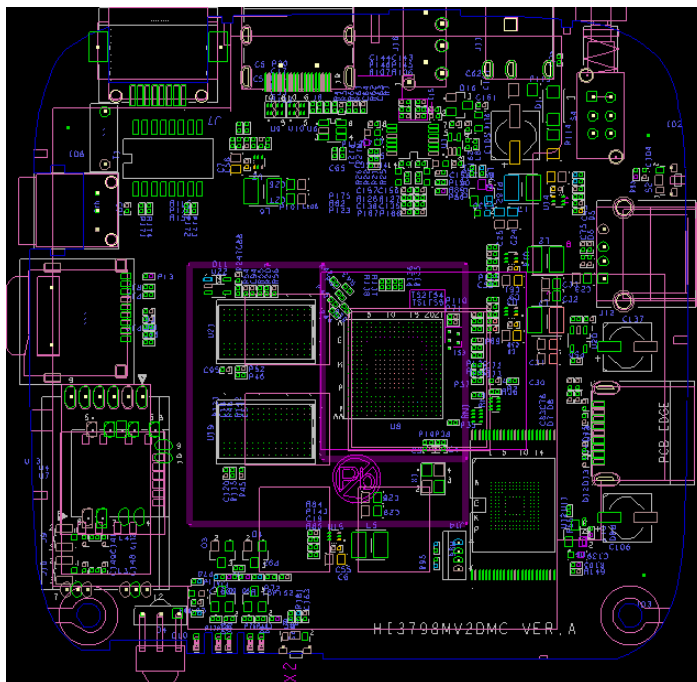


图4-3 Hi3798M V200 DDR4 2x16bit 单板四层板布局图

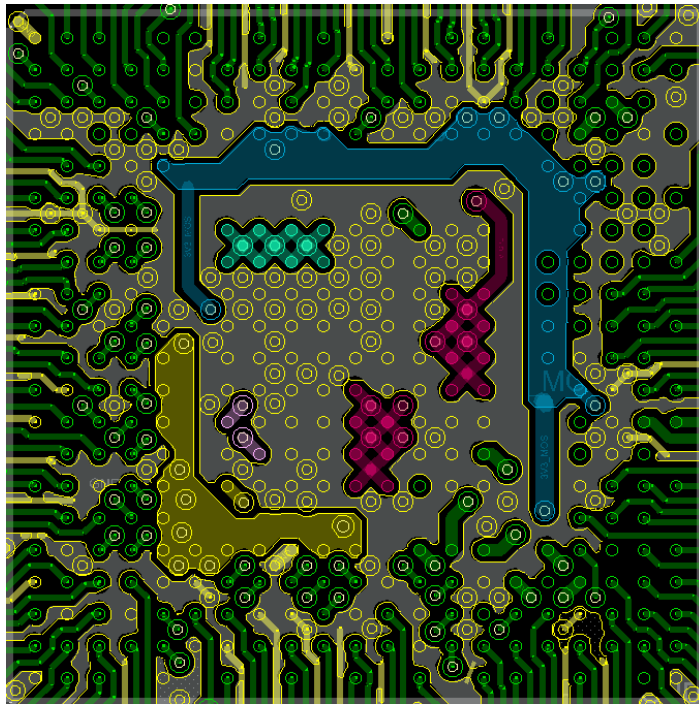


4.1.3 Fanout 封装设计

Hi3798M V200 TFBGA-350 两层板 Fanout 如图 4-4 所示。

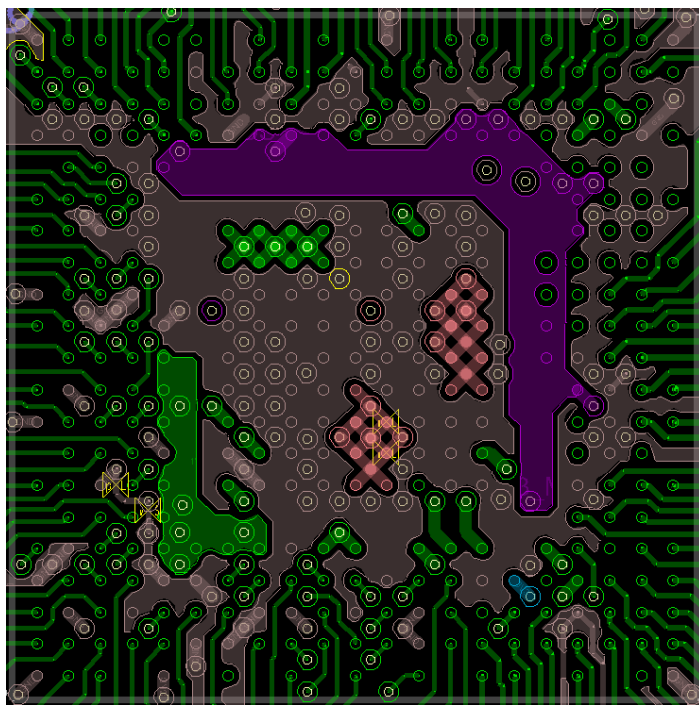


图4-4 TFBGA-350 封装两层板 fanout



Hi3798M V200 TFBGA-350 四层板 Fanout 如图 4-5 所示。

图4-5 TFBGA-350 封装四层板 fanout





4.2 小系统 PCB 设计建议

4.2.1 小系统电源

CORE/CPU/GPU 电源

- Hi3798M V200 CORE/CPU/GPU 电源布局建议每路电源尽量靠近芯片的电源输入管脚区域，避免走长路径，以铺电源平面实现。
- GPU/CORE 和 CPU 电源布线最窄处要求 3A 的通流能力，四层板要注意信号过孔导致的电源布线变窄的地方要满足电流需求。
- 去耦电容请参考海思 Hi3798M V200 参考设计硬件发布包中的设计放置，不同容值的电容分散、均匀放置。尽量多加电源和地的过孔，增加 Top 层和电源、地层的耦合度。
- AVS/DVFS 控制电路请完全参考海思 Hi3798M V200 参考设计，采用 DC-DC 时，V_CPU、V_GPU 的 DC-DC 调整电路中 RC 靠主芯片放置，且走线要包地处理。

详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

DDR 电源

- Hi3798M V200 DDIO_CK_DDR 电源管脚在 TOP 层单独打孔接 BOTTOM 层的 VDDIO_DDR 电源网络，与 TOP 层 VDDIO_DDR 隔开。
- DDR 颗粒的 VDD 和 VDDQ 电源管脚与 Hi3798M V200 DDRIO 电源管脚 VDDIO_DDR 连接到同一个电源网络，每 1~2 个电源管脚旁边尽可能就近摆放去耦电容，不同容值的电容分散、均匀放置。
- DDR 颗粒的 VREF 电源必须和其它电源隔离，可以通过较宽的走线（20mil 及以上）连接，保证每个 VREF 管脚尽可能就近摆放一个去耦电容，并且最好在 PCB 上对 VREF 加包地屏蔽处理。

VREF 参考电压设计建议如下：

- 根据 DDR 协议要求，VREF 参考电压上的噪声不得超过 $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面；
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其它信号线间隔 20mil~25mil。
- DDR SDRAM 的 VTT 必须通过带状铜皮走线，尽量靠近 DDR 颗粒，不同容值的电容分散、均匀放置在带状铜皮上。最后一颗 DDR 到 VTT 的 AC 走线必须以 GND 走线作为参考。

详细设计请参考海思 Hi3798M V200 参考设计硬件发布包。

4.2.2 时钟和复位电路

时钟

Hi3798M V200 的 PLL 功能单元的供电电源和地分为 AVDD33_PLL、AVDD_PLL、AVSS_PLL。建议 PCB 设计时采用如下原则：



- AVDD33_PLL 为 3.3V 的 PLL 电源，建议与单板数字 3.3V 电源用磁珠隔离，3.3V PLL 电源纹波控制在 $\pm 5\%$ 以内；
- AVDD11_PLL 为 0.9V 的 PLL 电源，建议通过磁珠与数字 CORE 电源隔离，0.9V PLL 电源纹波控制在 $\pm 5\%$ 以内；
- VSS_PLL 为 PLL 电路的参考地，AVDD33_PLL 和 AVDD_PLL 电源的去耦电容要求以 VSS_PLL 为参考地平面，滤波电容靠近 AVDD33_PLL、AVDD_PLL 管脚放置；
- 系统时钟的晶体电路走线长度须控制在 1000mil 以内，须做包地处理。

复位

Hi3798M V200 内置 POR (Power On Reset)，板级不需要复位电路。

4.2.3 DDR 信号设计

Hi3798M V200 DDR 在 2/4 层板上支持最高频率 1066MHz/2133Mbps，2/4 层板的 DDR 布局布线均通过严格的 SI/PI 仿真，并提供 2/4 层板在不同应用场景下的 DDR 布局布线参考，要求客户必须完全拷贝海思 Hi3798M V200 参考设计 DDR 的布局布线。

DDR 走线 PCB 层叠、信号特征阻抗控制原则：

- 单端信号保证阻抗连续，不作特征阻抗的强制要求，线宽、走线间距请完全参考 DEMO 板 PCB 设计；
- 差分信号特征阻抗控制参考 DEMO 板 PCB 设计，PCB 加工时 L1 和 L2、L3 和 L4 叠层厚度有略微调整，请注意控制差分信号特征阻抗；
- PCB 叠层参考 4.1.1。

DDR 布局布线主要参考以下设计原则：

- 所有 DDR SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面；
- 信号走线及换层过孔附近放置与地连通的过孔和电容，减小不同参考层的耦合度，保持良好的信号回流路径；
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 使用排阻时，同一排阻上的信号须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个排阻上；
- 相邻信号走线间距保持在 2~3 倍线宽，即满足“3W”原则；
- 避免时钟信号紧邻数据、地址总线；
- 避免地址信号紧邻数据信号；
- DDR SDRAM 信号与非 DDR SDRAM 信号走线间隔至少 20mil 且需要包地处理；
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

具体设计建议：

- DDR 走线请尽量完全 copy 海思 DEMO 参考设计；
- DQ/DM 信号：



- 两层板设计：线宽度为 5mil，线间距为 10mil，信号两两包地，与地之间的间距为 5mil。
- 四层板设计：线宽度为 4mil，信号线与信号线之间距离尽量控制为 $\geq 12\text{mil}$ (Air gap)；不作具体阻抗的要求，但要求保持阻抗连续；
在 SOC 与 DRAM 端直连，无需绕等长，走线越短越好；线长不能超过同一个 Bytelane 中 DQS 线长的 $\pm 500\text{mil}$ ；
- ADDR/CMD 信号：
 - 两层板设计：线宽度为 5mil，线间距为 10mil。
 - 2T(两个时钟周期)信号两两包地，与地之间的间距为 5mil；
 - 1T(一个时钟周期)信号 (CS、ODT、CKE) 单根包地，与地之间的间距为 5mil；
 - 四层板设计：推荐走 TOP 和 L3 层，线宽度为 4mil；
 - 除 CKE、CS、ODT 信号外，信号线与信号线之间距离控制为 $\geq 10\text{mil}$ (Air gap)；
 - CKE、CS、ODT 信号尽量控制间距 $\geq 15\text{mil}$ (Air gap)，至少满足 $\geq 12\text{mil}$ (Air gap)；
 - 不作具体阻抗的要求，但要求保持阻抗连续。
- DQS/CLK 差分线：差分阻抗控在 100Ω
 - 两层板线宽 5.5mil，线间距 6mil，与旁边地的间距 5mil。CLK 差分 T 型结构中，应保证分支点后到两颗粒尽量等长；
 - 四层板线宽 4.5mil，线间距 6mil (Air gap)，参考层间距为 4mil，对内等长为偏差为 $\pm 5\text{mil}$ ，可通过小蛇形线或者大蛇形线来绕等长；CLK 线长不能超过对应颗粒 DQS 线长 2000mil；其他信号线距差分信号线至少 12mil 以上。
- VDDIO/GND 及信号参考层：
 - TOP 层和 BOTTOM 层的 GND 离信号走线距离至少 8mil 以上；
 - TOP 层 DQS/DQ/DM 参考第二层的 GND、第三层的 DQS/DQ/DM 参考 BOTTOM 层的 GND；每根线检视是否信号线的参考面处有切断的地方，保证参考面连续；
 - TOP 层的 ADDR/CMD 信号线参考第二层的 GND，第三层的 ADDR/CMD 信号线参考 BOTTOM 层的 VDDIO；每根线检视是否信号线的参考面处有切断的地方，保证参考面连续；ADDR/CMD 在 TOP 和第三层同时走线，但参考不同的平面，在过孔换层比较多的地方放置电容，增加参考层 VDDIO 和 GND 的耦合。
 - 信号线的过孔处旁放置 GND 伴随过孔，TOP 层与 BOTTOM 层的 GND/VDDIO 能连起来的尽量铺成面连起来；

4.2.4 Flash 设计

SPI Flash

信号线设计建议：



为减小信号反射，保证信号质量，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，四层 PCB 板传输线阻抗保证连续。建议 PCB 设计采用以下原则：

- 在走线比较长时，建议 CLK 信号包地处理；
- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽；
- 各数据信号线与 CLK 信号尽量保持等长。

信号的 PCB 走线约束，如表 4-1 所示。

表4-1 SPI Flash 接口 PCB 走线约束推荐

信号	2/4 层板 PCB 设计
SF_CLK	走线长度<2inch
SF_SDO_IO0/SF_SDI_IO1/SF_CSN /SF_HOLDN_IO3/SF_WPN_IO2	走线长度<3inch

NAND Flash

信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，四层 PCB 板传输线阻抗保证连续。建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 相邻信号走线间距保持在 2~3 倍线宽；
- 各数据信号线尽量保持等长。

信号的 PCB 走线约束，如表 4-2~表 4-3 所示。

表4-2 单片 ASYNC NAND Flash PCB 走线约束推荐

信号	2/4 层板 PCB 设计
NF_RDY/NF_CSN/NF_CLE/ NF_ALE/DQ[0:7]	走线长度<4inch



信号	2/4 层板 PCB 设计
NF_WEN/NF_REN	走线长度<2inch

表4-3 单片 SYNC NAND Flash PCB 走线约束推荐

信号	2/4 层板 PCB 设计
DQ[0:7]/DQS/DQSN/ NF_WEN/NF_REN	走线长度<2inch
NF_RDY/NF_CSN/NF_CLE/ NF_ALE/	走线长度<2inch

eMMC Flash

eMMC 设计基本原则同 Nand Flash，Hi3798M V200 支持 eMMC5.0 协议，主要满足以下设计原则：

- HS200/HS400 模式下，串联电阻尽量靠近 Hi3798M V200 放置，减小信号过冲；
- DS 信号串阻尽量靠近 eMMC 放置；
- 信号走线保证阻抗连续；
- HS200/HS400 模式下，DQ[7:0]走线长度差满足小于 500mil，与 CLK、CMD、DS 走线长度差满足小于 1000mil，在走线长度偏差范围内，DS 长度尽量走短；
- 信号的匹配、走线约束，如下表 4-4 所示。

表4-4 单片 eMMC Flash PCB 走线约束推荐

信号	2 层板 PCB 设计	4 层板 PCB 设计
eMMC_CLK	高安设计：直连时走线长度<1inch；	高安设计：直连时走线长度<1inch；
	非高安设计：串联电阻靠近 Hi3798MV200,走线长度<2inch 单根包地	非高安设计：串联电阻靠近 Hi3798MV200,走线长度<2inch
eMMC_DQ[7:0]/ eMMC_CMD	高安设计：直连,走线长度<1inch；	高安设计：直连,走线长度<1inch；
	非高安设计：串联电阻靠近 Hi3798MV200,走线长度<2inch	非高安设计：串联电阻靠近 Hi3798MV200,走线长度<2inch
eMMC_DS	HS200/HS400:串联电阻靠近 Hi3798MV200,走线长度<2inch	HS200/HS400：高安设计：直连,走线长度<1inch；
		非高安设计：串联电阻靠近 Hi3798MV200,走线长度<2inch



注意

按照高安要求 eMMC 信号直连时，走线长度必须小于 1 inch。

两层板 CLK 必须单根包地

4.3 典型外围接口 PCB 设计建议

4.3.1 SDIO 接口设计

SDIO 接口信号线设计建议：

为减小信号反射，建议所有的信号线不要穿越电源和地分割区域，保持完整的电源地参考平面，建议 PCB 设计采用以下原则：

- 建议所有信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证信号走线都有完整的参考平面；
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性；
- 相邻信号走线间距保持在 2~3 倍线宽；
- 各数据信号线尽量保持等长；
- 串联匹配电阻尽量靠近 Hi3798M V200 芯片放置；
- 2.2uF 滤波电容尽量靠近 SDIO_LDO_OUT 管脚放置。

信号的 PCB 走线约束，如表 4-5 所示。

表4-5 SDIO 接口 PCB 走线约束推荐

信号	2/4 层板 PCB 设计
SDIO_CCMD/SDIO_CDATA[0:3]	走线长度<4inch。 串阻靠近 Hi3798M V200 放置。
SDIO_CCLK	走线长度<4inch。 串阻靠近 Hi3798M V200 放置。



注意

两层板 SDIO_CLK 需单根包地。

4.3.2 网口设计

RMII 接口布线设计建议

RMII 接口各信号 PCB 走线约束推荐如表 4-6 所示。

表4-6 RMII 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
RMII_REFCLK/ RMII_REFCLKN	差分：100Ω 阻抗，走线长度<4inch； RMII_REFCLK 单端（默认）：走线长度<6inch。 串阻靠近 Hi3798M V200 放置。
RMII_RXD[1:0]	走线长度<6inch。
RMII_TXD[1:0]	走线长度<6inch。
MDCK	走线长度<6inch。 串阻靠近 Hi3798M V200 放置。
MDIO	走线长度<6inch。

RGMII 接口布线设计建议

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 相邻信号走线间距保持在 2~3 倍线宽，信号走线保证阻抗连续。
- 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 信号线长度以时钟线为基准，控制在 ±50mil 以内。
- 变压器和网口连接器附近区域的地需要挖空处理。为了防雷击，网口地使用 1nF/2kV 电容和单板 GND 单点连接，网口地和单板数字地的隔离距离要大于 3mm。
- MDI+_0、MDI-_0、MDI+_1、MDI-_1、MDI+_2、MDI-_2、MDI+_3、MDI-_3 差分对尽量等长，长度偏差控制在 ±5mil 以内，差分阻抗控制在 100Ω±10%。

信号的匹配、走线约束，如表 4-7 所示。



表4-7 RGMII 接口各信号 PCB 走线约束推荐

信号名称	4 层板 PCB 设计
RGMIITXCK/ RGMIITXCKN	差分: 100Ω 阻抗, 走线长度<4inch; RGMIITXCK 单端 (默认): 走线长度<4inch。 串阻靠近 Hi3798M V200 放置。
RGMIITXD[3:0]/ RGMIITXEN	走线长度<4inch。 串阻靠近 Hi3798M V200 放置。
RGMIIRXCK	走线长度<4inch。 串阻靠近 PHY 放置。
RGMIIRXD[3:0]/ RGMIIRXDV	走线长度<4inch。 串阻靠近 PHY 放置。
MDCK	走线长度<4inch。 串阻靠近 Hi3798M V200 放置。
MDIO	走线长度<4inch。

FE PHY 设计建议

为了保证良好的信号质量, FE PHY 端口数据信号 FE_TXN/P、FE_RXN/P 按照差分线方式走线, 差分数据线组内走线控制等长, 走线间距保持均匀, 阻抗应控制在 100Ω±10% 的均匀差分阻抗, 并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等, 建议 PCB 布线设计采用以下原则:

- 差分数据线走线尽可能短、直, 差分数据线对内走线长度严格等长。
- 差分数据线走线宽度恒定。
- 差分数据线走线间距恒定, 走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面, 不能跨平面分割, 要求对差分信号线严格包地处理。
- 差分数据线走线应尽量用最少的过孔和拐角, 拐角可考虑用圆弧或者 45 度角, 避免直角, 以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其它高速周期信号和大电流信号, 并保证间距大于 50mil, 以减小串扰。此外, 还应远离低速非周期信号, 保证至少 20mil 的距离。
- 差分对串联电阻靠近变压器端摆放。
- 网口端高压区域各层 PCB 要挖空, 建议高压信号距离周围的信号和地平面的空气距离大于 160mil。

4.3.3 SCI 接口电路设计

SCI 接口各信号 PCB 走线约束推荐如表 4-8 所示。



表4-8 SCI 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
SIM_CLK (OD)	走线长度<3.5inch。
SIM_CLK (CMOS)	走线长度<7inch。 串阻靠近 Hi3798M V200 放置。
SIM_DATA (OD)	走线长度<3.5inch。
SIM_DATA (CMOS)	走线长度<7inch。

4.3.4 TSO 接口设计

TSO 接口各信号 PCB 走线约束推荐如表 4-9 所示。

表4-9 TSO 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
TSO_CLK	走线长度<6inch。 串阻靠近 Demod 放置。
TSO_D0/TSO_VALID	走线长度<6inch。
TSO_SYNC	走线没有约束。

4.3.5 SPI 接口设计

SPI 接口各信号 PCB 走线约束推荐如表 4-10 所示。

表4-10 SPI 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
SPI_CLK	走线长度<6inch。 串阻靠近 Hi3798M V200 放置。
SPI_SDO/SDI/CSN	走线长度<6inch。

4.3.6 AO 接口设计

AO 接口各信号 PCB 走线约束推荐如表 4-11 所示。



表4-11 AO 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
I2S_MCLK	走线长度<5inch。 串阻靠近 Hi3798M V200 放置。
I2S_BCLK	走线长度<5inch。 串阻靠近 Hi3798M V200 放置。
I2S_DOUT/I2S_DIN	走线没有约束。

4.3.7 USB 接口设计

为了保证良好的信号质量，USB 端口数据信号线按照差分线方式走线，差分数据线走线控制等长，走线间距保持均匀，阻抗应控制在 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片如时钟谐振器、时钟振荡器和时钟驱动器等。USB 走线长度建议控制在 5inch 以内。为了达到 USB 2.0 高速 480Mbps，USB3.0 5Gbps 的速度要求，建议 PCB 布线设计采用以下原则：

- 133Ω REXT 电阻尽量靠近芯片管脚放置；
- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，偏差控制在 $\pm 5\text{mil}$ 以内；
- 差分数据线走线宽度恒定，差分对的 PCB 走线控制差分阻抗 $90\Omega \pm 10\%$ ，两层板推荐线宽 8.5mil、间距 5mil (air gap)，与两边包地间距 6mil，四层板推荐线宽 6mil、间距 7mil (air gap)，Hi3798M V200 距离连接器应尽量控制在 5inch 以内；
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层；
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割；
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射和阻抗变化；
- 差分数据线走线上不允许有分叉；
- USB3.0 TXN/P 串联电阻靠近 Hi3798M V200 放置；
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离；
- 穿层过孔最多不能超出 2 个，过孔旁边增加 GND 过孔伴随，推荐单层走线，优先低速信号穿层。

4.3.8 音频 DAC 接口设计

为了保证音频 DAC 输出的音频质量，建议 PCB 布线设计采用以下原则：

- 音频参考电压并联 $1\mu\text{F}/2.2\mu\text{F}$ 滤波电容尽量靠近 ADAC_VREF 管脚放置；
- 音频 DAC 输出信号走线遵循 3W 原则，推荐包地隔离；
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面；
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射。



4.3.9 视频 DAC 接口设计

4.3.9.1 VDAC 接口

为了保证视频 DAC 输出的视频图像质量，建议 PCB 布线设计采用以下原则：

- 视频 DAC 输出端对地匹配电阻尽量靠近 Hi3798M V200 放置，减小 VDAC 驱动感抗影响；
- 视频 DAC 输出外置 12kΩ/24kΩ 校准电阻尽量靠近 VDAC_REXT 管脚放置；
- 单路视频 DAC 设计为单负载驱动，如需驱动多个负载，输出多路视频信号，请考虑使用驱动器；
- 建议所有模拟信号线在靠近视频模拟地平面的走线层布线，且尽量不要换层走线；
- 尽量不要使用视频模拟地平面作为其它信号走线的参考平面；
- 走线拐角可考虑用圆弧或者 45 度角，避免直角，以减少反射；
- 保护器件靠近端口放置，如 BAV99 靠近端口放置。

4.3.10 COMBO PHY 接口设计

Hi3798M V200 集成了 1 路 COMBO PHY 输出接口。支持 USB3.0、PCIE2.0 接口。

说明

其中 USB3.0 走线约束请参考前面 USB 章节建议。

SATA 和 PCIE 接口各信号 PCB 走线约束推荐：

- 差分阻抗控制在 $100\Omega \pm 10\%$ ；
- 差分对内长度误差建议控制在 5mil 范围内；
- 走线在 top 层，尽量满足不能打孔换层；
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化；

详细推荐如表 4-12~0 所示。

表4-12 SATA 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
SATA_RX0M/P	100Ω 差分阻抗，走线长度<3inch。 串联电容靠近端口放置。
SATA_TX0M/P	100Ω 差分阻抗，走线长度<3inch。 串联电容靠近端口放置。



表4-13 PCIE 接口各信号 PCB 走线约束推荐

信号名称	4 层板 PCB 设计
PCIE_RX0M/P	100Ω 差分阻抗，走线长度<3inch。 串联电容靠近端口放置。
PCIE_TX0M/P	100Ω 差分阻抗，走线长度<3inch。 串联电容靠近 Hi3798M V200 放置。
PCIE_CLKM/P	100Ω 差分阻抗，走线长度<3inch。 串联电容靠近 Hi3798M V200 放置。 对地电阻靠近 Hi3798M V200 放置。

4.3.11 HDMI 接口设计

Hi3798M V200 集成了 1 路 HDMI2.0a TX 输出接口。

HDMI 接口各信号 PCB 走线约束推荐如表 4-14 所示。

表4-14 HDMI 接口各信号 PCB 走线约束推荐

信号名称	2/4 层板 PCB 设计
TMDS_CLK	100Ω 差分阻抗，走线长度<3inch
TMDS_DATA[2:0]	100Ω 差分阻抗，走线长度<3inch

HDMI 四对差分线严格控制 100Ω±15%阻抗，设计时注意如下事项：

- 总的长度尽量短；差分线对内对间都要等长，对内最好控制在±5mil 以内，对间控制在±50mil 以内。
- 两层板差分线两边包地，推荐线宽 5.5mil、间距 5mil (air gap)，与两边包地间距 6mil。
- 四层板推荐线宽 4.5mil、间距 6mil (air gap)，确保四对差分线不跨越地和电源分割，其下方有完整的回流平面。四对差分线之间尽量远离，最好能做包地处理。
- 过孔接地穿引，如果 HDMI 走线中出现了过孔，建议接地穿引（在靠近信号过孔增加一个伴随地孔，可以保持回流路径均匀连续），穿层过孔不能超过两个以上。
- 弯度控制，拐弯用圆弧走线。

4.3.12 其它

PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，根据 Hi3798M V200 接口 IBIS 模型、对接器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。通过对仿真结果



的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃、单调性等。

其它 PCB 设计注意事项

时钟信号如果带多个负载，无论频率高低，都需要特别注意其信号质量，应保证信号边沿单调。

对于不作特征阻抗要求的信号，PCB 走线保证阻抗连续。



5 热设计建议

5.1 工作条件

Hi3798M V200 的封装热阻如表 5-1 所示。



注意

热阻基于 JEDEC JESD51-2 标准给出，应用时的系统设计及环境可能与 JEDEC JESD51-2 标准不同，需要根据应用条件作出分析。

表5-1 四层 PCB 封装热阻参数

参数	符号	最小值	典型值	最大值	单位
极限环境温度	T_A	-20	-	70	°C
极限结温	T_{JMAX}	-	-	125	°C
Junction-to-ambient thermal resistance	θ_{JA}	-	21.2	-	°C/W
Junction-to-board thermal resistance	θ_{JB}	-	9.02	-	°C/W
Junction-to-case thermal resistance	θ_{JC}	-	5.13	-	°C/W
Junction-to-top center of case thermal resistance	Ψ_{JT}	-	-	-	°C/W

注：热阻是 XX 层 PCB 板设计没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。其中工作环境参数如表 5-2 所示。



表5-2 推荐工作环境参数

参数	符号	最小值	典型值	最大值	单位
环境温度	T _A	0	25	55	°C
长期工作	T _{JMAX}	-	-	125	°C

5.2 散热设计参考

常用散热片的分类

根据材料可分为：铝合金，铜合金，铝铜合金，陶瓷。

根据加工工艺可分为：铝挤压工艺，切削工艺，bonded 工艺，铸造工艺，机械压合工艺。

散热片材质及加工工艺选型建议

基于低成本考虑推荐选型铝合金材质的散热片。对散热片工艺类型的选择参考以下建议：

- 挤压的散热片要比铸铝散热片好一些。
 - 铸铝散热片中金属铝所占的比例为 25~30%，其他为碳及其他金属的合金。
 - 挤压的散热片中金属铝所占的比例为 70%~80%，其他为碳及其他金属的合金。
- 因此铸铝散热片比挤压成形的散热器传热效率要低。
- 自然散热的条件下，黑色的比银白色的铝散热片的散热效果要好 3~8% 左右，这是因为黑色热辐射的效果比白色的要强。
- 常见的散热片通常为黑色或阳极氧化处理。

综上，建议选用采用表面黑色经过阳极氧化处理的挤压的铝合金材质散热片。

散热片尺寸选择

铝质散热片的热阻计算公式

$$R = 1/hA$$

其中：

- A：散热片面积
- h：散热系数（与散热片的材质，厚度，密度，温差，风速等参数相关）

由以上公式得出散热片面积越大，热阻越小，由此得出以下经验数据：

厚 2mm 的铝板，表面积（平方厘米）和热阻（°C/W）的对应关系是：



- 500 cm² 对应 2.0°C/W
- 250 cm² 对应 2.9°C/W
- 100 cm² 对应 4.0°C/W
- 50 cm² 对应 5.2°C/W
- 25 cm² 对应 6.5°C/W

例如：XXX 芯片所需散热片的热阻计算公式：

$$R_{sa} = (T_j - T_a) / Q - (R_{jc} + R_{cs}) \quad (\text{公式一})$$

- T_j: 芯片最高承受结温
- T_a: 产品长期工作最高工作环境温度
- Q: 芯片功耗
- R_{sa}: 散热片热阻
- R_{cs}: 导热介质（导热胶）的热阻
- R_{jc}: 芯片封装热阻

由以上公式得到散热片的热阻要求，再对比散热片的热阻数据，可以得出所需要的散热片的散热面积。

说明

以上规格选型仅作为参考，具体客户散热器规格选型需根据客户单板设计来定。

导热介质材料推荐

导热介质材料推荐如表 5-3 所示。

表5-3 导热介质材料推荐表

散热器固定方式	型号	导热系数 (w/m·k)	应用环境温度 (°C)	胶体类型	绝缘强度 (V/mil)	阻燃性	承重能力 (g)
需机械固定	GF2000	2	-60~+200	硅橡胶	500	UL9V0	-
无需机械固定	Locotite 315	0.808	-	丙烯酸树脂	6000	UL9V2	-

散热器固定方式与质量关系

散热器固定方式跟散热器质量有关系，如：大质量的散热器不适合用导热胶粘接，散热器固定方式与质量关系请参考表 5-4 所示，可根据实际单板设计选择合适的安装方式。



表5-4 散热器固定方式与质量关系

安装方式	质量		
	$m < 85g$	$85 \leq m < 150g$	$m \geq 150g$
导热胶粘接	√	-	-
PUSH PIN 扣具	√	-	-
弹簧+螺钉结构	-	√	√
专用金属扣具（非优选）	√	√	√
塑料卡座（非优选）	√	-	-

5.3 电路热设计参考

5.3.1 原理图

电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

单板为外接设备供电的电源（例如 SD 卡、USB、SATA 等），设计中可保留，不用时可以关断该功能。单板的主要 IC 必须支持 Power Down 功能。

大电流的电源需要选择高效率的 DC/DC 电路实现。CORE/CPU/GPU 电源和 DDR 的工作电流都较大，这些电源必须选择高效率的 DC/DC 电路实现。

闲置模块低功耗配置

在 Hi3798M V200 产品形态应用中，很多模块（DAC、USB、SATA 等）可能不会使用，此时应当将这些模块配置为 Power Down 模式或者默认状态。

5.3.2 PCB

器件布局

结合产品结构和热设计，器件布局建议如下：

- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3798M V200 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。



走线

走线热设计建议如下：

- Hi3798M V200 的 0.9V/1.5V/3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。



6 接口时序

6.1 DDR 接口时序



如下 DDR_x_DQSn 中的 x=0 ; n=0,1,2,3。

6.1.1 写操作时序

DDR_x_DQS 相对于 DDR_x_DQ(x=0,1, 下同)的写操作时序

DDR_x_DQS 相对于 DDR_x_DQ 的写操作时序的主要时序参数是 t_{DS} 和 t_{DH}。

图6-1 DDR_x_DQS 相对于 DDR_x_DQ 的写操作时序图

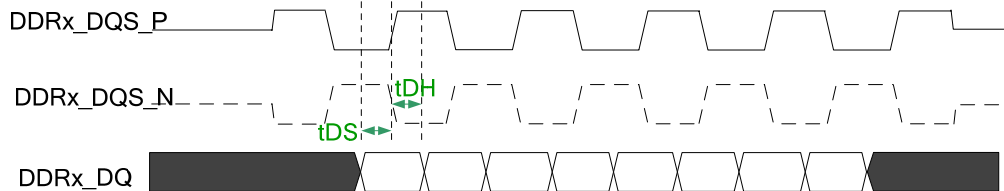
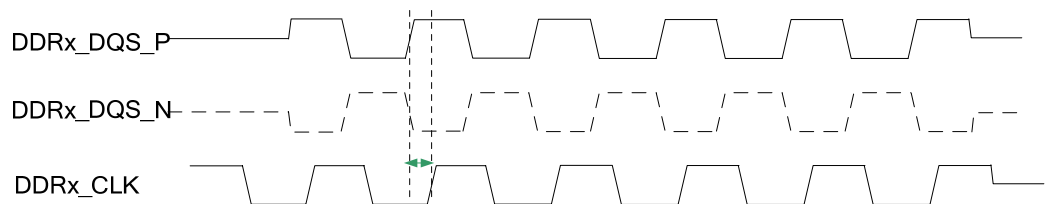


图 6-1 适用于 {DDR_x_DQS_P[1:0]、DDR_x_DQS_N[1:0]、DDR_x_DQ_P[15:0]}、以及 {DDR_x_DQS_P[3:2]、DDR_x_DQS_N[3:2]、DDR_x_DQ[31:16]}。

DDR_x_DQS 相对于 DDR_x_CLK 的写操作时序

DDR_x_DQS(x=0,1)相对于 DDR_x_CLK 的写操作时序如图 6-2 所示。

图6-2 DDRx_DQS 相对于 DDRx_CLK(CMDADDR PHY)的写操作时序图

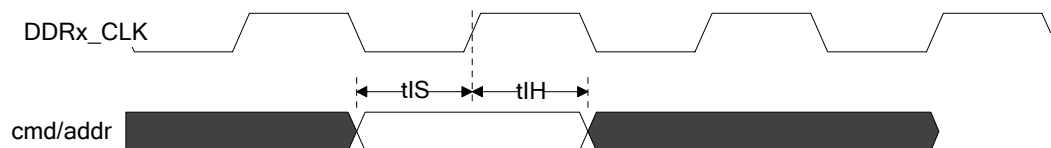


在图 6-2 中绿色箭头标识的地方，要求 DDRx_DQS_P[3:0]、DDRx_DQS_N[3:0]的相位，相对 DDRx_CLK (CMDADDR PHY)，其偏离不能超过 $1/4 \cdot T_{\text{dram clock}}$ （即不能超过上图中的 DDRx_CLK 的 1/4 周期）。

命令和地址相对于 DDRx_CLK 的写操作时序

命令和地址的采样时钟为 DDRx_CLK。命令和地址相对于 DDRx_CLK 的写操作时序如图 6-3 所示。

图6-3 命令和地址相对于 DDRx_CLK(CMDADDR PHY)的写操作时序图



6.1.2 读操作时序

命令和地址相对于 DDRx_CLK 的读操作时序

“命令和地址相对于 DDRx_CLK 的读操作时序”与“命令和地址相对于 DDRx_CLK 的写操作时序”相同。

DDRx_DQS 相对于 DDRx_DQ 的读操作时序

DDRx_DQS 相对于 DDRx_DQ 的读操作时序分为 DDRn SDRAM 输出时序和 DDRPHY 端 DDRx_DQS 和 DDRx_DQ 的时序。

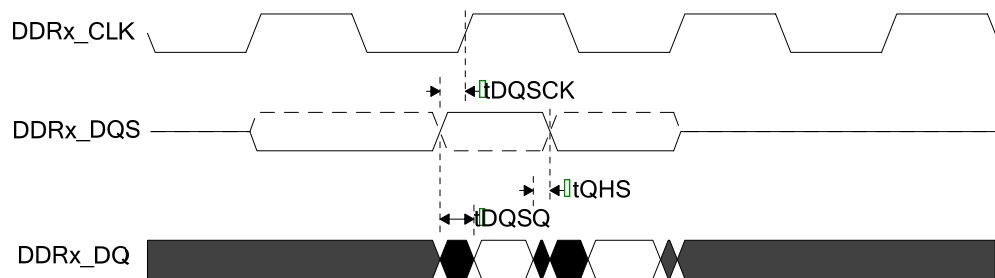
对于 DDRn SDRAM 输出时序，理想情况下，从颗粒出来的 DQS（连接芯片的 DDRx_DQS）和 DDRPHY 输出的 DDRx_CLK 是同相位的，但由于外部条件的干扰，DQS 到 DDRPHY 端的时候，相对于 DDRx_CLK 会有 t_{DQSCK} 的偏斜，该偏斜不能超过 0.35ns。

从颗粒出来的 DQ 相对于 DQS，也会有相位的抖动，衡量该抖动的时序参数有 t_{DQSQ} 和 t_{QHS} ，如图 6-4 所示，其中： t_{DQSQ} 是在 DDRPHY 端观测到的最晚有效的 DQ 相对于 DQS 的抖动，其值不能超过 0.2ns； t_{QHS} 是最早失效的 DQ 相对于下一次 DQS 翻转的抖动（也可表述为最早有效的 DQ 相对于 DQS 的抖动），其值为 0.3ns。

DDRn SDRAM 输出时序如图 6-4 所示。



图6-4 DDRn SDRAM 输出时序图



6.1.3 时序参数

DDR 接口时序满足 JEDEC (JESD79-3F 和 JESD79-4) 标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。

对于高清芯片，以 DDR3-1066 的时序参数为依据。

DDR3-1066 SDRAM 时钟参数如表 6-1 和表 6-2 所示。

表6-1 DDR3 时钟参数表

参数	典型值	单位
存储器时钟频率	1066.00	MHz
锁相环抖动	0.200	ns
锁相环占空比	47.000	%
时钟偏斜	0.100	ns

表6-2 DDR3 SDRAM 存储器参数表 (DDR3-1866/2133)

参数	符号	典型值	单位
DQS 下降沿相对 DDR 时钟的建立时间	tDSS	0.500	ns
DQS 下降沿相对 DDR 时钟的保持时间	tDSH	0.500	ns
DQ/DM 相对于 DQS 的建立时间	tDS	0.075	ns
DQ/DM 相对于 DQS 的保持时间	tDH	0.150	ns
DQS 与 DQ 的偏斜	tDQSQ	0.200	ns
地址和命令相对 DDR 时钟的建立时间	tIS	0.200	ns
地址和命令相对 DDR 时钟的保持时间	tIH	0.275	ns
DQS 输出时相对 DDR 时钟的偏斜	tDQSK	0.400	ns



6.2 NANDC 接口时序

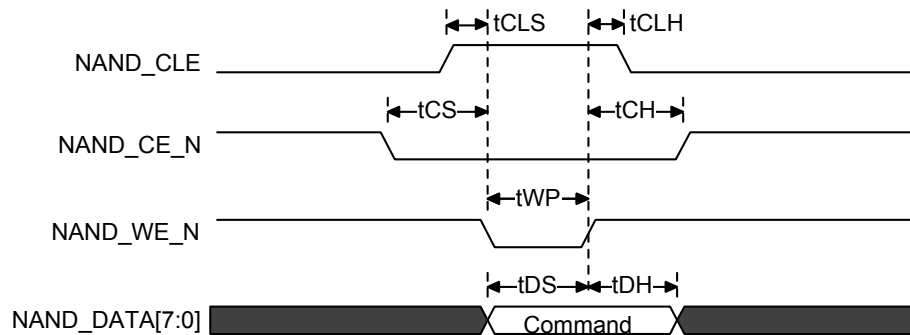
说明

本芯片的 NANDC 接口支持对接异步 NAND FLASH。

6.2.1 异步 NAND 命令周期时序

异步 NANDC 命令周期时序如图 6-5 所示。

图6-5 异步 NAND 模式命令周期时序图



说明

NAND_WE_N 和 NAND_RE_N 的高电平宽度和低电平宽度是可以通过 NANDFLASH 控制器的 NF_PULSE_WIDTH 寄存器设置的，因此，NANDC 接口时序图中的部分参数会随着该寄存器的设置不同而改变。在本节的参数表中，统一以“可以设置”表示。

NANDC 命令周期时序参数如表 6-3 所示。

表6-3 异步 NAND 模式命令周期时序参数表

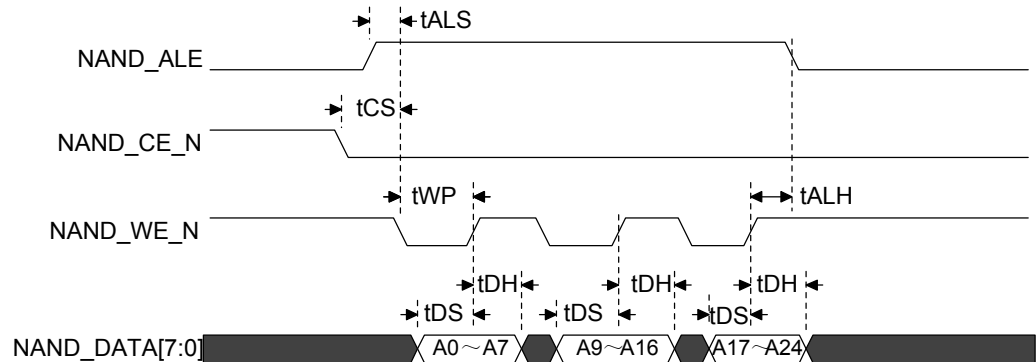
参数	符号	最小值	最大值	单位	说明
NAND_CLE 建立时间	tCLS	0	-	ns	-
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置



6.2.2 异步 NAND 地址周期时序

异步 NAND 模式下地址周期时序如图 6-6 所示。

图6-6 异步 NAND 模式地址周期时序图



NANDC 地址周期时序参数如表 6-4 所示。

表6-4 异步 NAND 模式地址周期时序参数表

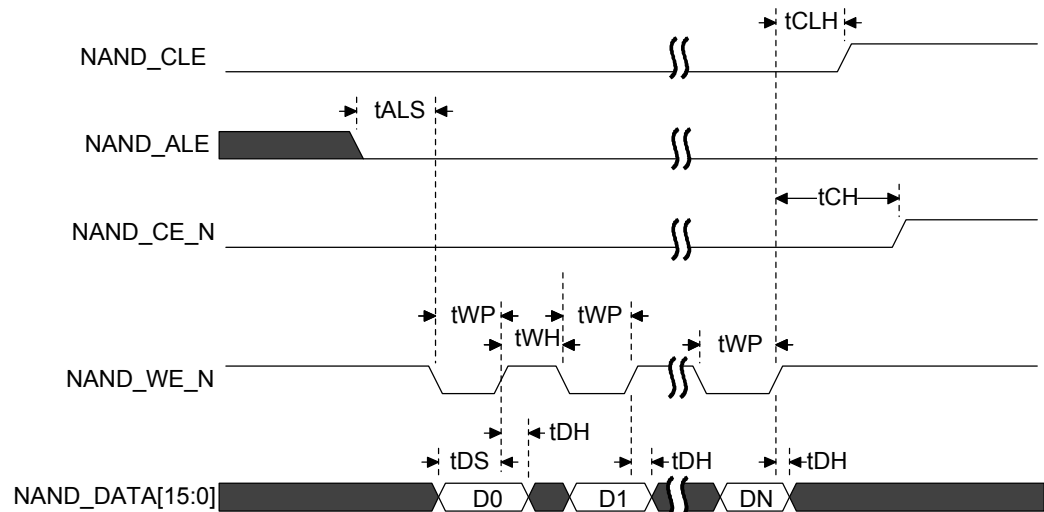
参数	符号	最小值	最大值	单位	说明
NAND_CE_N 建立时间	tCS	0	-	ns	-
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	-
NAND_ALE 保持时间	tALH	10	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置

6.2.3 异步 NAND 写数据时序

异步 NAND 模式下，写数据时序如图 6-7 所示。



图6-7 NANDC 写数据时序图



异步 NAND 模式下，写数据时序参数如表 6-5 所示。

表6-5 异步 NAND 模式写数据时序参数表

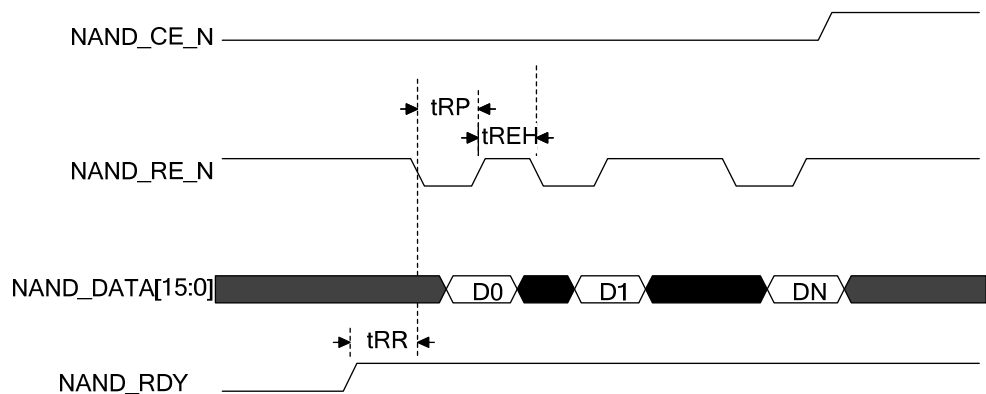
参数	符号	最小值	最大值	单位	说明
NAND_CLE 保持时间	tCLH	10	-	ns	可以设置
NAND_CE_N 保持时间	tCH	10	-	ns	可以设置
NAND_WE_N 脉冲宽度	tWP	15	-	ns	可以设置
NAND_ALE 建立时间	tALS	0	-	ns	可以设置
数据建立时间	tDS	10	-	ns	可以设置
数据保持时间	tDH	10	-	ns	可以设置
NAND_WE_N 高电平保持时间	tWH	15	-	ns	可以设置

6.2.4 异步 NAND 读数据时序

异步 NAND 模式下，读数据时序如图 6-8 所示。



图6-8 异步 NAND 读数据时序图



异步 NAND 模式下，读数据时序参数如表 6-6 所示。

表6-6 异步 NAND 模式读数据时序参数表

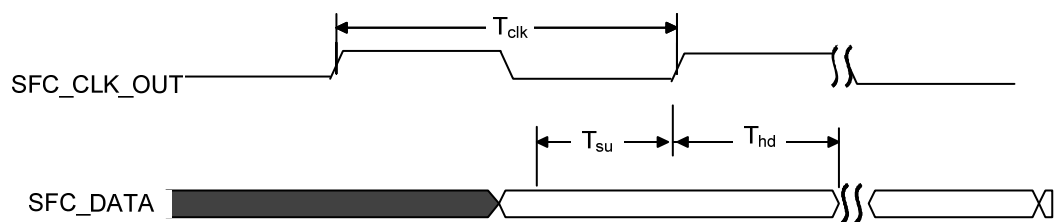
参数	符号	最小值	最大值	单位	说明
NAND_RE_N 变低等待时间	tRR	15	-	ns	可以设置
NAND_RE_N 脉冲宽度	tRP	15	-	ns	可以设置
NAND_RE_N 高电平宽度	tREH	15	-	ns	可以设置

注：tRR 延时是可以设置的。

6.3 SFC 接口时序

SFC 输入方向时序如图 6-9 所示。

图6-9 SFC 输入方向时序图



SFC 输入方向时序参数如表 6-7 所示。

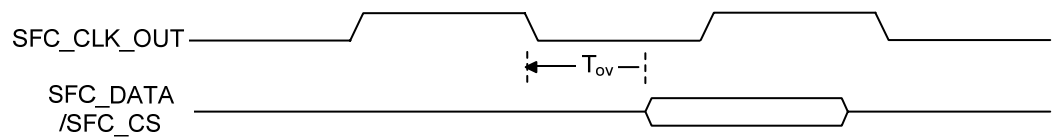


表6-7 SFC 输入方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T_{clk}	13.3	-	83.2	ns
输入信号建立时间要求	T_{su}	4.1	-	-	ns
输入信号保持时间要求	T_{hd}	0.1	-	-	ns

SFC 输出方向时序如图 6-10 所示。

图6-10 SFC 输出方向时序图



SPI FLASH 输出方向时序参数如表 6-8 所示。

表6-8 SFC 输出方向时序参数表

参数	符号	最小值	典型值	最大值	单位
SFC_CLK 时钟周期	T	13.3	-	83.2	ns
输出数据信号延时	T_{ov}	4.0	-	10.3	ns
输出片选信号延时	T_{ov}	4.0	-	10.3	ns

6.4 同步 NAND 接口时序

6.4.1 NVDDR 接口时序

图 6-11~图 6-14 分别为同步接口模式下的命令、地址、写数据、读数据的时序图。



图6-11 NVDDR 同步模式命令时序

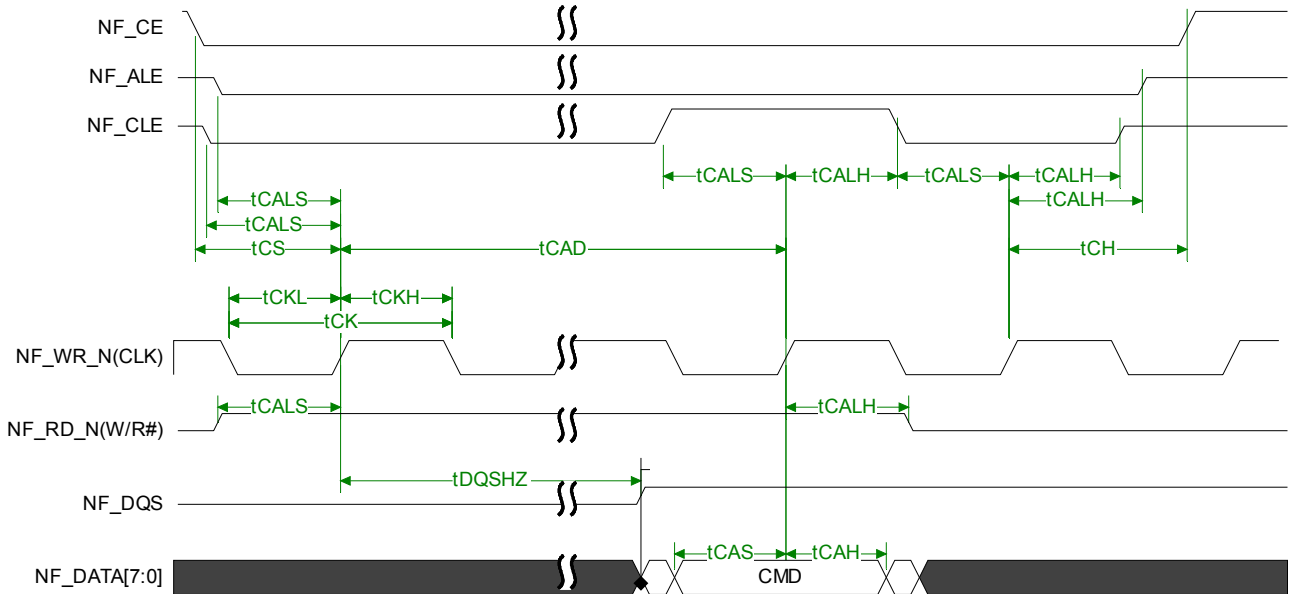


图6-12 NVDDR 同步模式地址时序

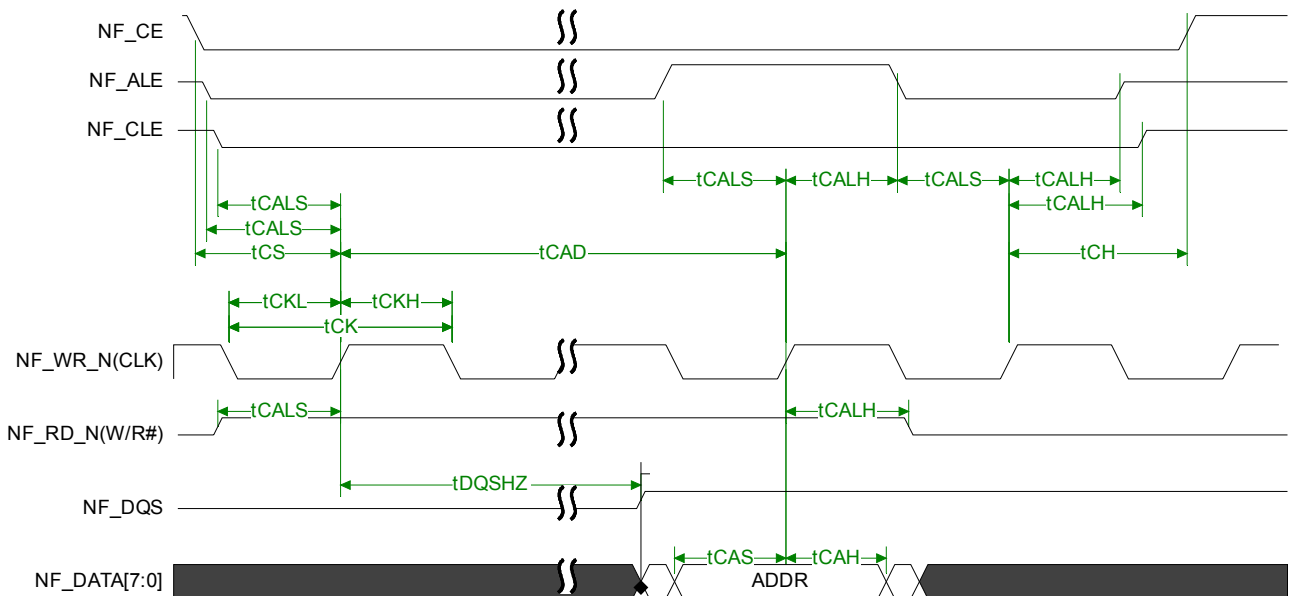


表6-9 NVDDR 模式命令地址及写操作时序参数配置范围

参数	符号	最小值	典型值	最大值	单位	备注
NF_CE_N 建立时间	tCS	15	-	-	ns	可配置



参数	符号	最小值	典型值	最大值	单位	备注
NF_CE_N 保持时间	tCH	15	-	-	ns	可配置
NF_CLE/ALE 建立时间	tCALS	2	-	-	ns	-
NF_CLE/ALE 保持时间	tCALH	2	-	-	ns	-
CLK 时钟周期	tCK	10	-	83.3	ns	-
CLK 低电平宽度	tCKL	4.3	-	47.48	ns	-
CLK 高电平宽度	tCKH	4.3	-	47.48	ns	-
命令地址建立时间	tCAS	2	-	-	ns	-
命令地址保持时间	tCAH	2	-	-	ns	-
DQS 高阻到有效时间	tDQSHZ	5	-	-	Tnf_clk_2x	可配置
命令地址数据延时	tCAD	8	-	-	Tnf_clk_2x	可配置

图6-13 NVDDR 同步模式输出数据时序

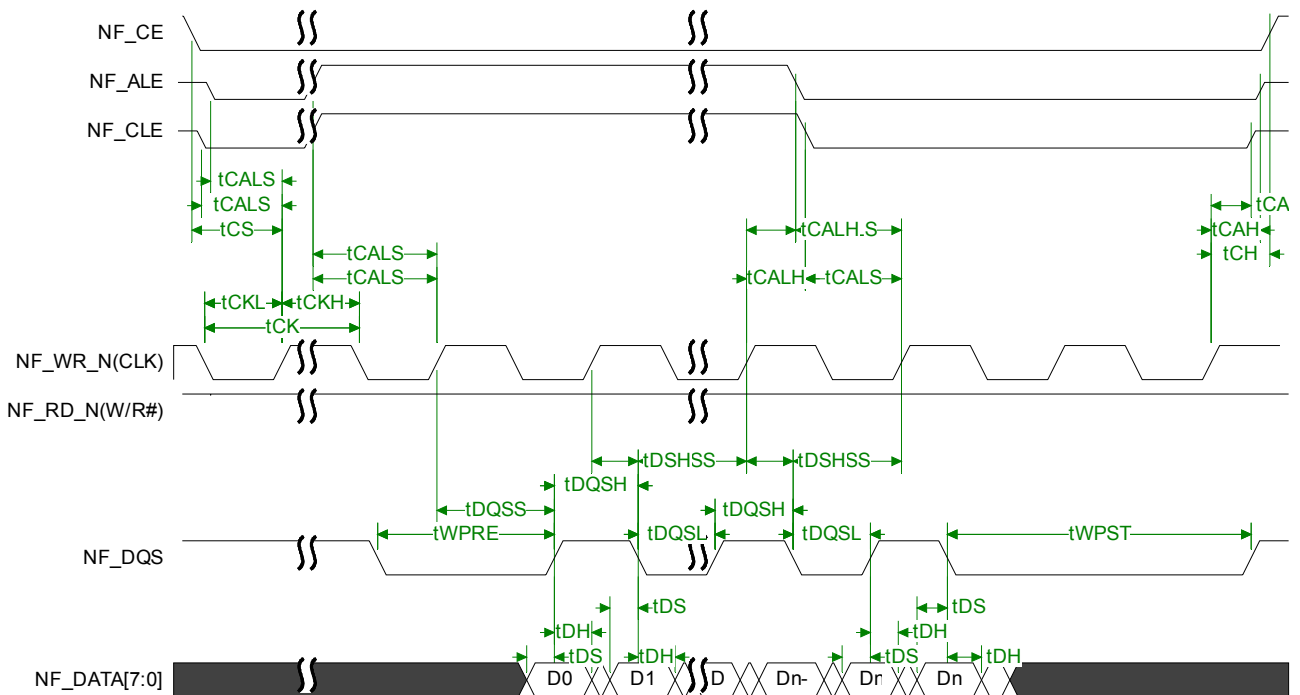




表6-10 NVDDR 模式写操作时序参数配置范围

参数	符号	最小值	典型值	最大值	单位	备注
NF_CE_N 建立时间	tCS	15	-	-	ns	-
NF_CE_N 保持时间	tCH	15	-	-	ns	-
NF_CLE/ALE 建立时间	tCALS	2	-	-	ns	-
NF_CLE/ALE 保持时间	tCALH	2	-	-	ns	-
CLK 时钟周期	tCK	10	-	83.3	ns	-
CLK 低电平宽度	tCKL	4.3	-	47.48	ns	-
CLK 高电平宽度	tCKH	4.3	-	47.48	ns	-
DQS 低电平宽度	tDQSL	4	-	6	ns	-
DQS 高电平宽度	tDQSH	4	-	6	ns	-
DQS 建立时间	tDQSS	7.5	-	1.25	ns	-
DQS 前导时间	tWPRE	3	-	18	tCK	可配置
DQS 后导时间	tWPST	4	-	16	tCK	可配置
DQS 下降沿建立时间	tDSS	0.2	-	-	ns	-
DQS 下降沿保持时间	tDSH	0.2	-	-	ns	-
数据建立时间	tDS	0.9	-	-	ns	-
数据保持时间	tDH	0.9	-	-	ns	-



6.4.2 NVDDR2 接口时序

错误！未找到引用源。~图 6-16 分别为同步接口模式下的写数据、读数据的时序图。

NVDDR2 接口命令地址时序图和时序配置参考异步 NAND 章节。

图6-15 NVDDR2 同步模式输出数据时序

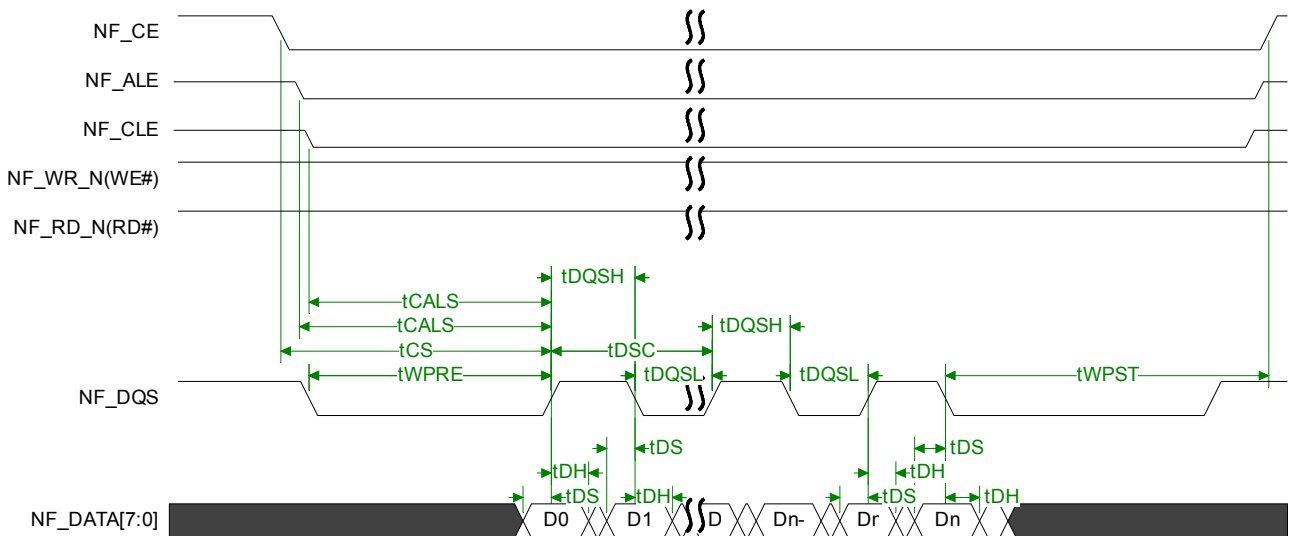


表6-12 NVDDR2 输出接口时序参数表

参数	符号	最小值	典型值	最大值	单位	备注
NF_CE_N 建立时间	tCS	15	-	-	ns	-
NF_CLE/ALE 建立时间	tCALS	2	-	-	ns	-
DQS 周期	tDQS	6.7	-	83.3	ns	-
DQS 低电平宽度	tDQSL	2.88	-	35.82	ns	-
DQS 高电平宽度	tDQSH	2.88	-	35.82	ns	-
DQS 前导时间	tWPRE	3	-	18	Tnf_clk	可配置
DQS 后导时间	tWPST	4	-	16	Tnf_clk	可配置
数据建立时间	tDS	0.28	-	0.4	ns	-
数据保持时间	tDH	0.28	-	0.4	ns	-



图6-16 NVDDR2 同步模式输入数据时序

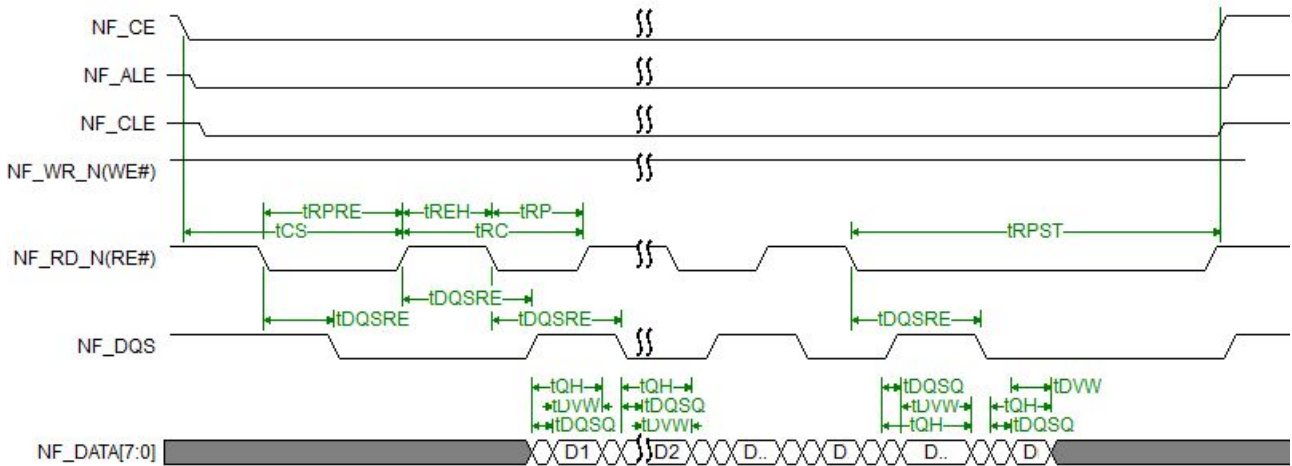


表6-13 NVDDR2 输入接口时序参数表

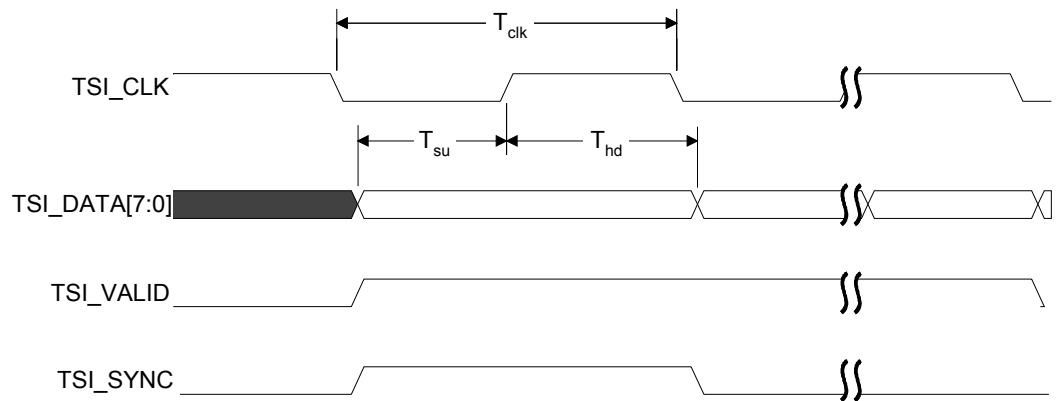
参数	符号	最小值	典型值	最大值	单位
NF_CE_N 建立时间	tCS	15	-	-	ns
NF_CE_N 保持时间	tCH	15	-	-	ns
NF_CLE/ALE 建立时间	tCALS	2	-	-	ns
NF_CLE/ALE 保持时间	tCALH	2	-	-	ns
NF_RD_N 信号时钟周期	tRC	6.67	-	83.3	ns
CLK 低电平宽度	tRP	2.87	-	35.82	ns
CLK 高电平宽度	tREH	2.87	-	35.82	ns
器件返回 DQS 固定为低电平时间	tDQSD	-	-	18	ns
NF_RD_N 效读数据沿到器件返回随路时钟 DQS 对应有效沿的时间	tDQSRE	-	-	25	ns
器件有效数据窗口	tDVW	2.07	-	-	ns
DQS 信号与 data 信号之间的 skew	tDQSQ	0.4	-	-	ns



6.5 TSI 接口时序

TSI 接口时序图如图 6-17 所示。

图6-17 TSI 接口时序图



TSI 接口时序参数如表 6-14 所示。其中 TSI_CLK 相位软件可配。

表6-14 TSI 接口时序参数表

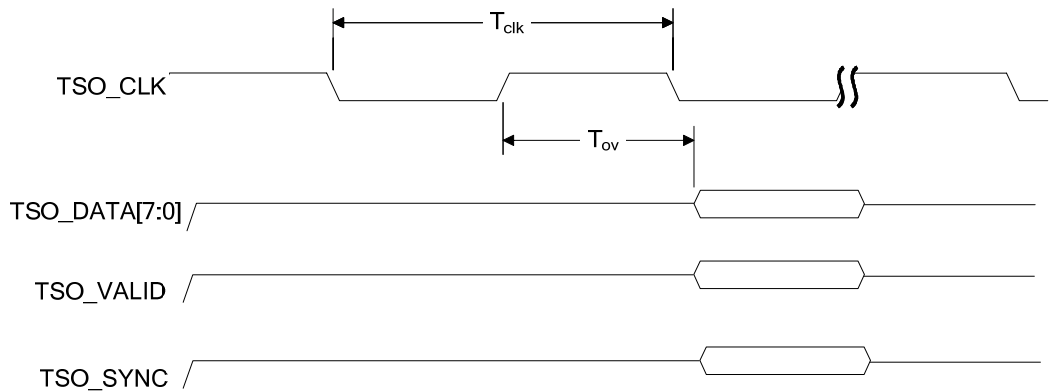
参数	符号	最小值	典型值	最大值	单位	说明
TSI_CLK 时钟周期	T_{clk}	20.0	-	-	ns	并行
		5.26	-	-	ns	串行
输入信号建立时间要求	T_{su}	12	-	-	ns	并行
		2.26	-	-	ns	串行
输入信号保持时间要求	T_{hd}	1.0	-	-	ns	并行
		1.0	-	-	ns	串行

6.6 TSO 接口时序

TSO 接口时序图如图 6-18 所示。



图6-18 TSO 接口时序图



TSO 接口时序参数如表 6-15 所示。

表6-15 TSO 接口时序参数表

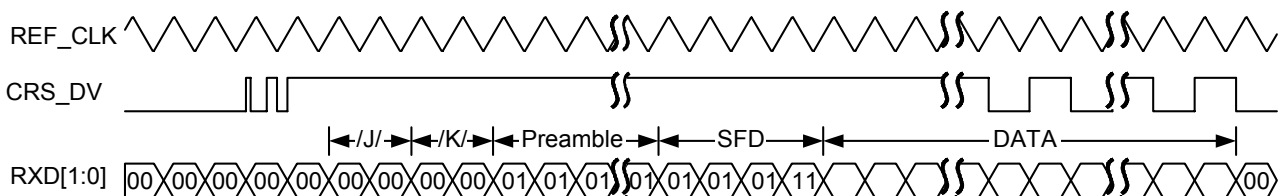
参数	符号	最小值	典型值	最大值	单位	说明
TSO_CLK 时钟周期		10.00	-		ns	串行
输出数据信号延迟		1.0	-	8.0	ns	串行

6.7 Ethernet MAC 接口时序

6.7.1 RMII 接口时序

RMII 接口 100Mbit/s 接收时序如图 6-19 所示。

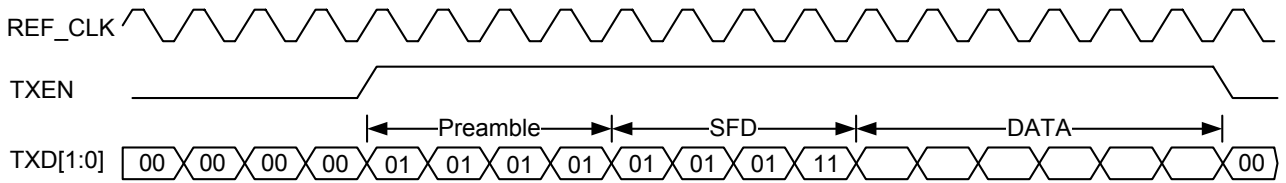
图6-19 RMII 接口 100Mbit/s 接收时序



RMII 接口 100Mbit/s 发送时序如图 6-20 所示。

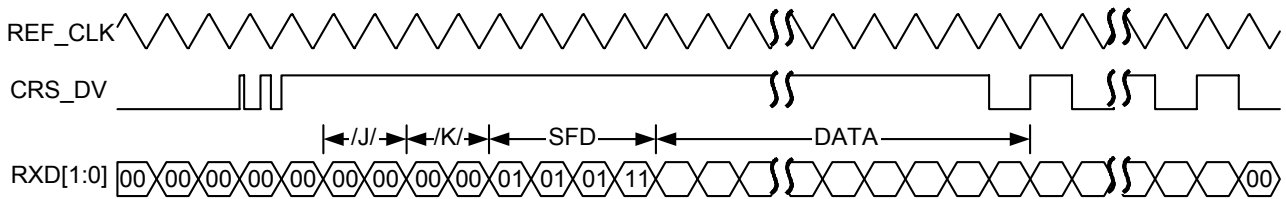


图6-20 RMII 接口 100Mbit/s 发送时序



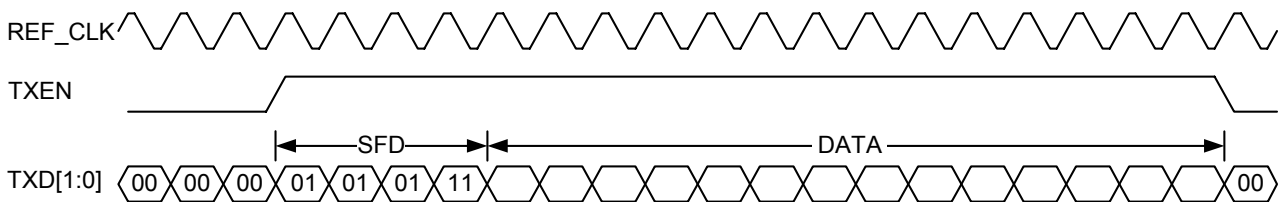
RMII 接口 10Mbit/s 接收时序如图 6-21 所示。

图6-21 RMII 接口 10Mbit/s 接收时序



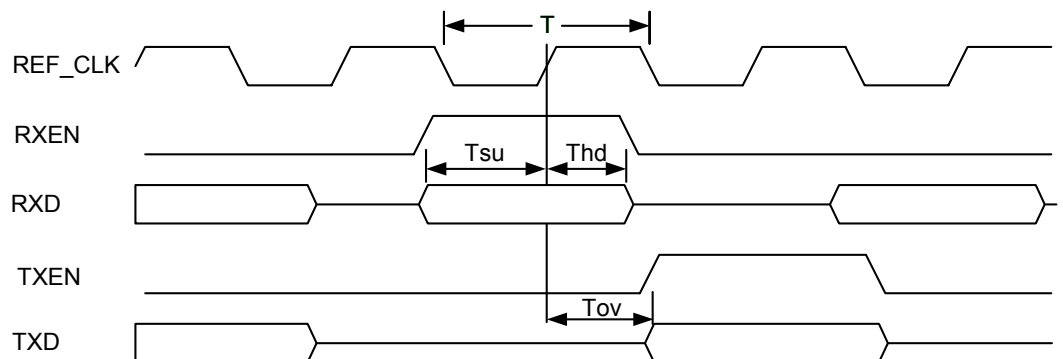
RMII 接口 10Mbit/s 发送时序如图 6-22 所示。

图6-22 RMII 接口 10Mbit/s 发送时序



RMII 接口时序参数如图 6-23 所示。

图6-23 RMII 接口时序参数



RMII 接口时序参数说明如表 6-16 所示。



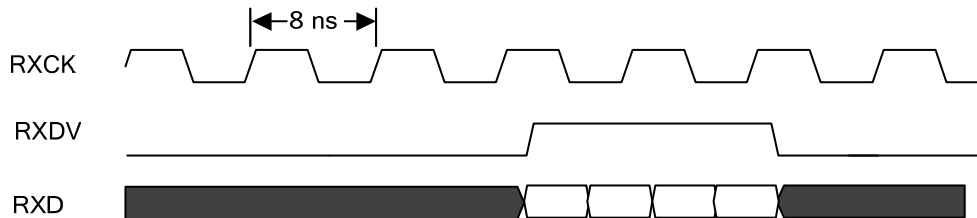
表6-16 RMII 接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RMII 时钟周期	T	REF_CLK	20	20	ns
RMII 信号建立时间	T _{su} (RX)	CRS_DV/RXD[1:0]	6	-	ns
RMII 信号保持时间	T _{hd} (RX)	CRS_DV/RXD[1:0]	2	-	ns
RMII 输出信号延时	T _{ov} (TX)	TXEN/TXD[1:0]	3	16	ns

6.7.2 RGMII 接口时序

RGMII 接口 1000Mbit/s 接收时序如图 6-24 所示。

图6-24 RGMII 接口 1000Mbit/s 接收时序



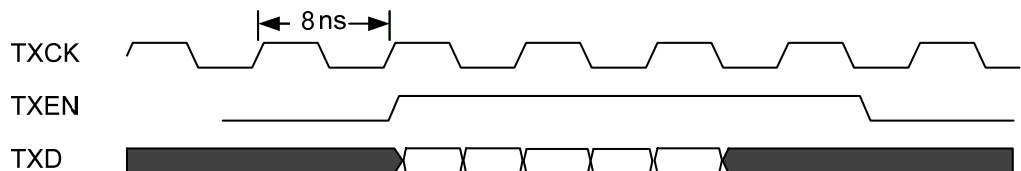
RGMII 接口 1000Mbit/s 发送时序如图 6-25 所示。



注意

RGMII 接口还支持 100Mbit/s、10Mbit/s 两种低速传输模式，当工作在 100M/10M 接收模式时，RXCK 周期为 40ns/400ns，且 RXD 为上升单沿。

图6-25 RGMII 接口 1000Mbit/s 发送时序



RGMII 接口时序参数说明如表 6-17 所示。



注意

RGMII 接口还支持 100Mbit/s、10Mbit/s 两种低速传输模式，当工作在 100M/10M 发送模式时，TXCK 周期为 40ns/400ns，且 TXD 为上升单沿。

表6-17 RGMII(1000Mbit/s)接口时序参数说明

参数	符号	信号	最小值	最大值	单位
RGMII 时钟周期	T	RXCK、TXCK	8	8	ns
RGMII 信号建立时间	Tsu (RX)	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 信号保持时间	Thd (RX)	RXER、RXDV、RXD[3:0]	1	-	ns
RGMII 输出信号延时	Tov (TX)	TXD[3:0]、TXEN	-0.8	0.8	ns

6.7.3 MDIO 接口时序

MDIO 接口读时序如图 6-26 所示。

图6-26 MDIO 接口读时序

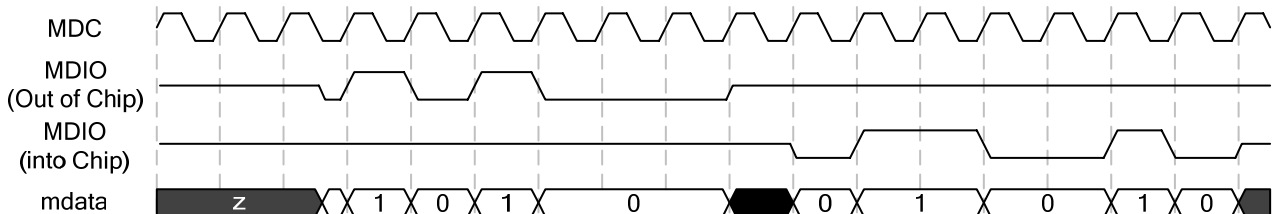


图6-27 MDIO 接口写时序

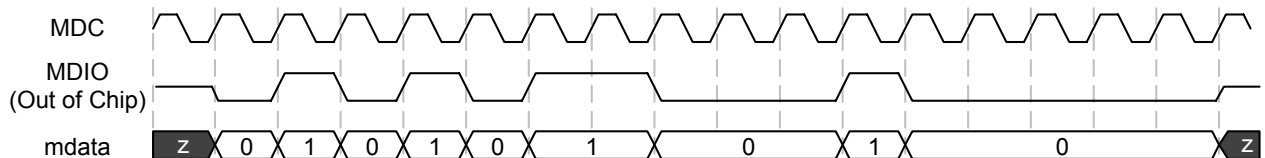




图6-28 MDIO 接口接收时序参数

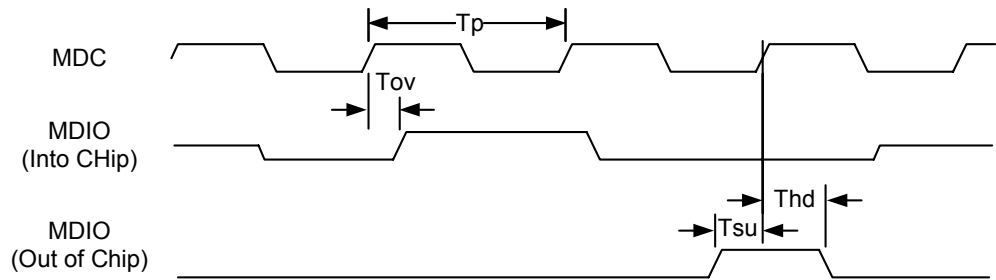


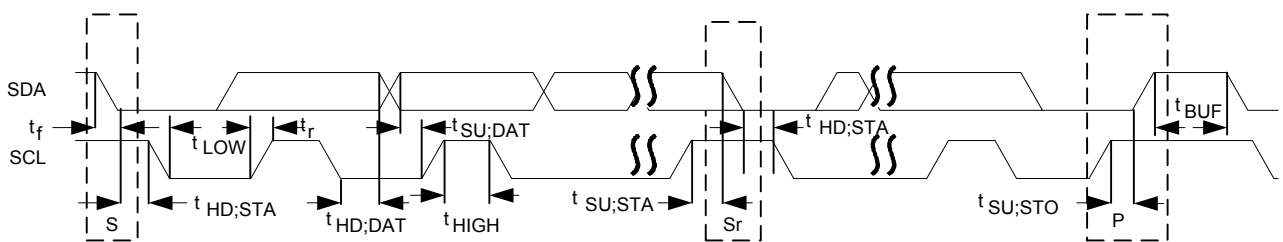
表6-18 MDIO 接口时序参数

参数	符号	信号	最小值	最大值	单位
MDIO 接收数据延迟时间	Tov	MDIO	0	300	ns
MDIO 时钟周期	Tp	MDC	400	400	ns
MDIO 发送数据建立时间	Tsu	MDIO	10	-	ns
MDIO 发送数据保持时间	Thd	MDIO	10	-	ns

6.8 I²C 时序

I²C 传输时序如图 6-31 所示。

图6-31 I²C 传输时序图



I²C 接口时序参数如表 6-15 所示。

表6-15 I²C 接口时序参数表

参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	f _{SCL}	0	100	0	400	KHz



参数	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
启动保持时间	$t_{HD,STA}$	4.0	-	0.6	-	μs
SCL 低电平周期	t_{LOW}	4.7	-	1.3	-	μs
SCL 高电平周期	t_{HIGH}	4.0	-	0.6	-	μs
启动建立时间	$t_{SU,STA}$	4.7	-	0.6	-	μs
数据保持时间	$t_{HD,DAT}$	0	3.45	0	0.9	μs
数据建立时间	$t_{SU,DAT}$	250	-	100	-	ns
SDA、SCL 上升时间	t_r	-	1000	$20+0.1C_b$	300	ns
SDA、SCL 下降时间	t_f	-	300	$20+0.1C_b$	300	ns
结束建立时间	$t_{SU,STO}$	4.0	-	0.6	-	μs
开始与结束之间的总线释放时间	t_{BUF}	4.7	-	1.3	-	μs
总线负载	C_b	-	400	-	400	pF
低电平噪声容限	V_{nL}	$0.1V_{DD}$	-	$0.1V_{DD}$	-	V
高电平噪声容限	V_{nH}	$0.2V_{DD}$	-	$0.2V_{DD}$	-	V

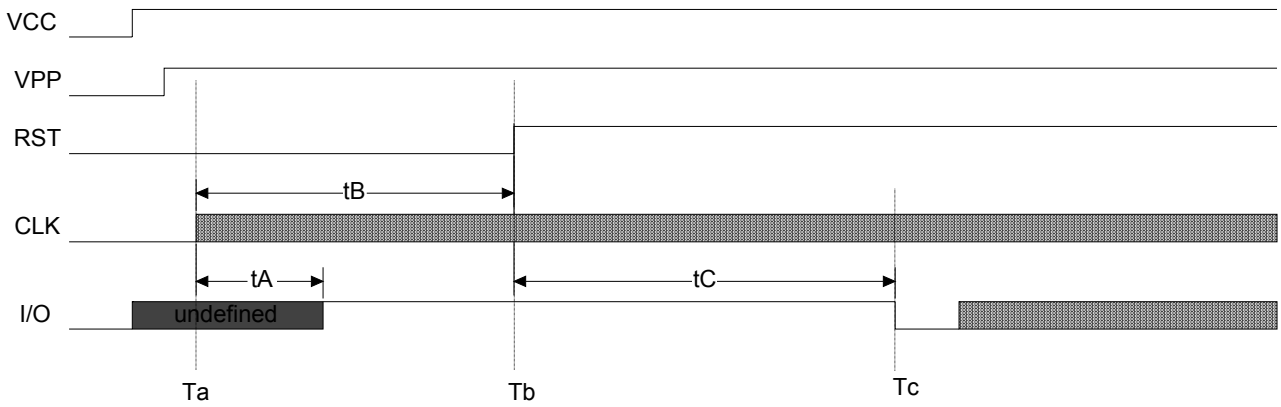
6.9 SCI 接口时序

6.9.1 激活和冷复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。激活和冷复位接口时序如图 6-32 所示, 其中 $t_A \leq 200/f$ 、 $400/f \leq t_B$ 、 $400/f \leq t_C \leq 40000/f$ 。



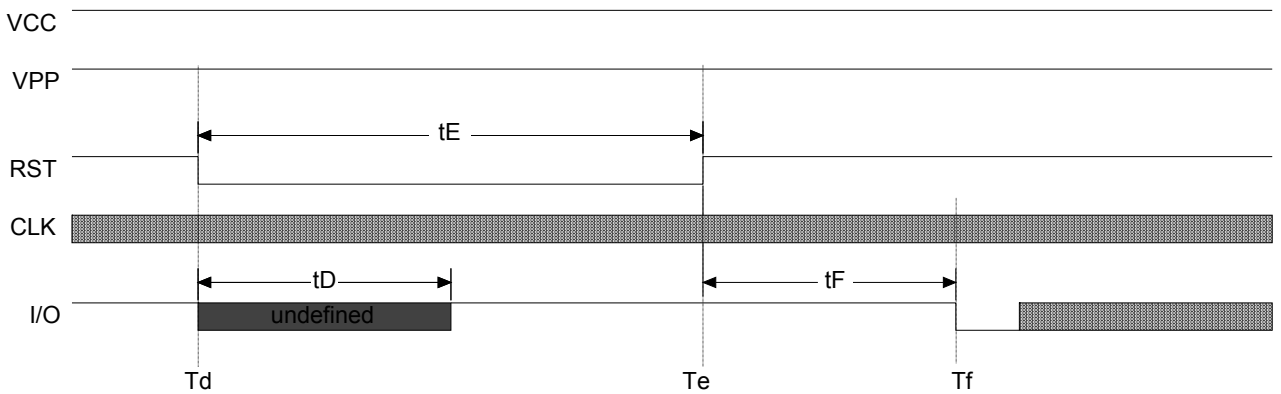
图6-32 SCI 激活和冷复位接口时序图



6.9.2 热复位接口时序

对于 A 类卡 (5V), f : 1~5MHz; 对于 B 类卡 (3V), f : 1~4MHz。热复位接口时序如图 6-33 所示, 其中 $t_D \leq 200/f$ 、 $400/f \leq t_E$ 、 $400/f \leq t_F \leq 40000/f$ 。

图6-33 SCI 热复位接口时序图



6.9.3 释放接口时序

SCI 释放接口时序如图 6-34 所示。



图6-34 SCI 释放接口时序图



6.10 SPI 接口时序

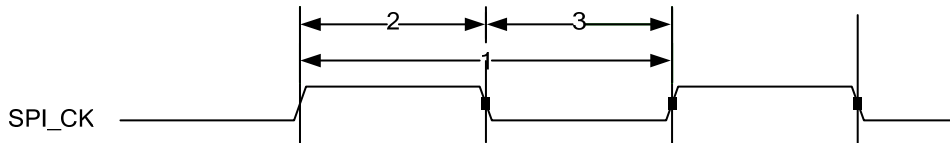
说明

图 6-35 ~ 图 6-37 中，以下缩略语或字母意义不变：

- MSB:Most Significant Bit
- LSB:Least Significant Bit
- SPI_CK(0):spos=0

SPI 接口时钟时序如图 6-35 所示。

图6-35 SPICK 时序



SPI 主模式下接口时序分别如图 6-36 和图 6-37 所示。

图6-36 SPI 主模式下接口时序 (sph=0)

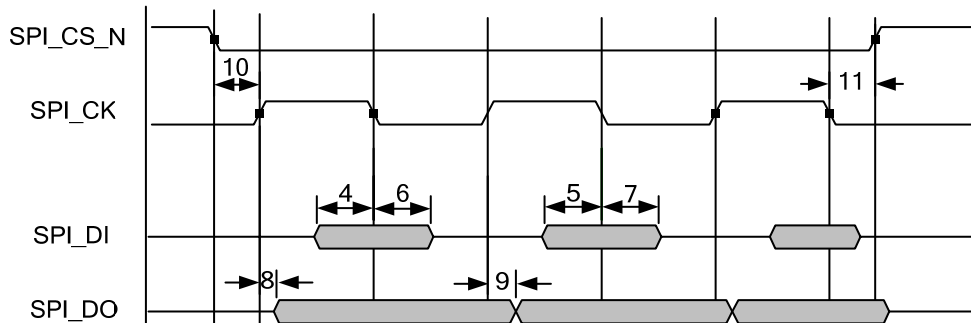
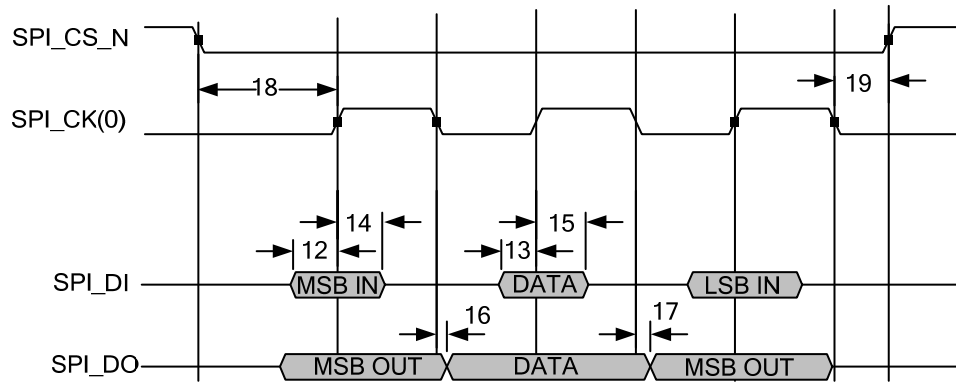




图6-37 SPI 主模式下接口时序 (sph=1)



SPI 接口时序参数如表 6-16 所示。

表6-16 SPI 接口时序参数

No	参数	符号	最小值	典型值	最大值	单位
1	SPI_CK 周期	tc	-	-	-	ns
2	脉冲持续时间, SPI_CK 高电平 (所有主模式)	tw1	-	-	-	ns
3	脉冲持续时间, SPI_CK 低电平 (所有主模式)	tw2	-	-	-	ns
4	SPI_CK (输出) 下降沿之前 SPI_DI (输入) 有效的建立时间	tsu1	-	-	-	ns
5	SPI_CK (输出) 上升沿之前 SPI_DI (输入) 有效的建立时间	tsu2	-	-	-	ns
6	SPI_CK (输出) 下降沿之后 SPI_DI (输入) 有效的保持时间	th1	-	-	-	ns
7	SPI_CK (输出) 上升沿之后 SPI_DI (输入) 有效的保持时间	th2	-	-	-	ns
8	SPI_CK (输出) 上升沿到 SPI_DO (输出) 转变的延时	td1	-	-	-	ns
9	SPI_CK (输出) 下降沿到 SPI_DO (输出) 转变的延时	td2	-	-	-	ns
10	SPI_CS_N (输出) 下降沿到第一个 SPI_CK (输出) 上升/下降沿 的延时	td3	-	-	-	ns
11	SPI_CK (输出) 上升/下降沿到 SPI_CS_N (输出) 上升沿的延时	td4	-	-	-	ns



No	参数	符号	最小值	典型值	最大值	单位
12	SPI_CK（输出）上升沿之前的 SPI_DI（输入）有效的建立时间	tsu3	-	-	-	ns
13	SPI_CK（输出）下降沿之前的 SPI_DI（输入）有效的建立时间	tsu4	-	-	-	ns
14	SPI_CK（输出）上升沿之前的 SPI_DI（输入）有效的保持时间	th3	-	-	-	ns
15	SPI_CK（输出）下降沿之前的 SPI_DI（输入）有效的保持时间	th4	-	-	-	ns
16	SPI_CK（输出）下降沿到 SPI_DO（输出）转变的延时	td5	-	-	-	ns
17	SPI_CK（输出）上升沿到 SPI_DO（输出）转变的延时	td6	-	-	-	ns
18	SPI_CS_N（输出）下降沿到第一个 SPI_CK（输出）上升/下降沿的延时	td7	-	-	-	ns
19	SPI_CK（输出）上升/下降沿到 SPI_CS_N（输出）上升沿的延时	td8	-	-	-	ns

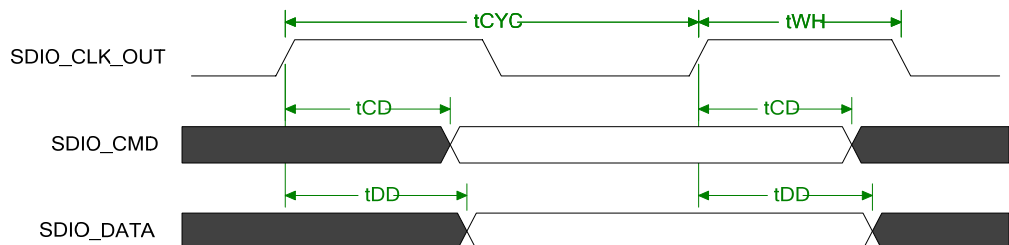
6.11 eMMC/SD/SDIO 接口时序

6.11.1 SDR 操作时序

本章节涵盖 SDIO SDR104、以及 eMMC HS200 接口时序说明。

输入、输出方向时序如图 6-38 所示。

图6-38 SDR 输入、输出方向时序图



SDIO/eMMC（芯片的 SDIO2 接口）时序参数如表 6-17 所示。



表6-17 eMMC 接口时序参数

参数	描述	最小值	最大值	单位
tCYC	卡时钟周期	10*(1)	2040*(2)	ns
tWH	卡时钟高电平时间	4.95	1009.8	ns
tCCLK_IN	SDIO/eMMC 模块工作时钟周期	10~40		ns
tCD	SDIO_CMD 输出延时	*(3)1.25	*(3)	ns
tDD	SDIO_DATA 输出延时	*(3)1.25	*(3)	ns
tCS	SDIO_CMD 输入建立时间	*(4)	-	ns
tCH	SDIO_CMD 输入保持时间	*(4)	-	ns
tDS	SDIO_DATA 输入建立时间	*(4)	-	ns
tDH	SDIO_DATA 输入保持时间	*(4)	-	ns

说明:

*(1): SDIO 接口频率, 对 SDIO1 接口、用户可配置让它们跑单沿 200MHz, 对 SDIO0 接口、用户可配置让它们跑单沿 150MHz, 对 eMMC 接口, 用户可配置让它们跑单沿 200MHz, 双沿 100MHz。

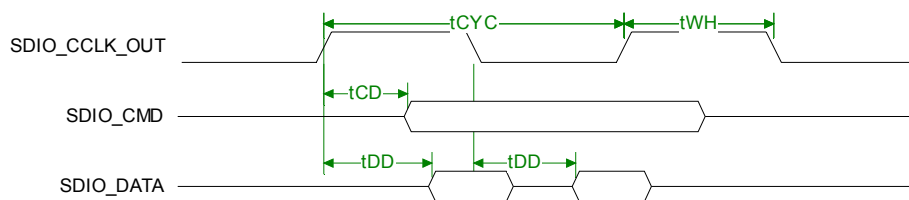
*(2): SDIO/eMMC 时钟源输入最低频率为 25MHz, 在 SDIO 模块内部, 还可以将时钟源进一步做分频处理, 最多做 510 分频, 即 $1000.0/25*510 = 2.04ms$, 具体见 SDIO CLKDIV 寄存器。

*(3): 输出延时取决于用户选择了 sdio 哪一个 DRV 相位, 而每个 DRV 相位之间差别为 SDIO 工作时钟周期/8。这里假设 SDIO /eMMC 工作时钟周期=5ns (200MHz, 单沿), 并假设用户选择了 90° 相位, 则 SDIO_CMD、SDIO_DATA 输出延时为 $5/8*2=1.25ns$ 。如果 SDIO 工作时钟周期、以及 DRV 相位有调整, 则输出延时需要重新计算, 计算方法参考本说明。

*(4): 本芯片 SDIO/eMMC 接口的输入均要求软件执行相位 training 操作。不再提供静态时序分析推荐相位。

6.11.2 EMMC DDR50 操作时序

图6-39 DDR50 输入、输出方向时序图



tCYC 要求配置为 20nm。

tCD、tDD (定义同 SDR), 输出延时同样取决于用户采用哪种 DRV 相位, 每个 DRV 相位之间差别为 SDIO 半拍周期/8 (, 这里假设 SDIO 工作时钟周期=20ns(50MHz, 双沿), 并假设用户选择了 90° 相位, 则 SDIO_CMD、SDIO_DATA 输出延时为(20/2))

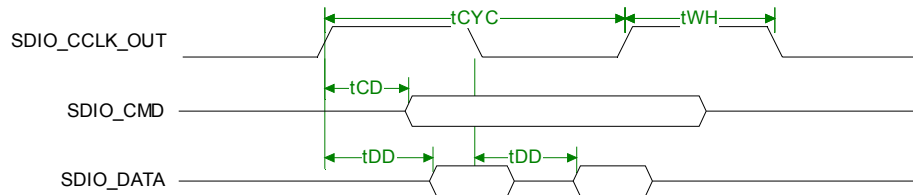


$/8 \times 2 = 2.5\text{ns}$ 。如果 SDIO 工作时钟周期、以及 DRV 相位有调整，则输出延时需要重新计算，计算方法参考本说明。

DDR50 4bit 和 DDR50 8bit，二者的配置方法不同。用户在配置时需注意，具体请查看 SDIO 控制寄存器相关表格。

6.11.3 eMMC HS400*操作时序

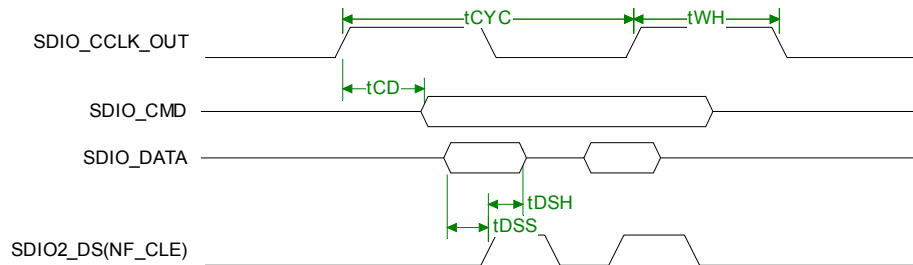
图6-40 HS400*输出方向时序图



*受板级噪声干扰等因素限制，芯片的 HS400 模式，工作时钟可配置为 100MHz。

同 SDR、DDR50 模式，对于输入方向，用户通过软件 training 得出合适的 sample 时钟相位。不再提供静态时序分析得出的相位推荐值；对于输出方向，IO 上的输出延时计算，请参考 DDR50 的计算方法。

图6-41 HS400*输入方向时序图



SDIO_CMD 的时序要求同 SDR 模式；

对输入数据采样，软件通过配置 eMMC DLL，可使 EMMC_DS 落在数据中间。具体可查阅 eMMC DLL 的相关配置说明。