

特性

- 1.8 V模拟电源供电
- 1.8 V至3.3 V输出电平
- 集成交叉误差校正(QEC)
- 信噪比(SNR)
 - 77.6 dBFS(9.7 MHz输入)
 - 71 dBFS(200 MHz输入)
- 无杂散动态范围(SFDR)
 - 93 dBc(9.7 MHz输入)
 - 80 dBc(200 MHz输入)
- 低功耗
 - 每通道44 mW(20 MSPS)
 - 每通道100 mW(80 MSPS)
- 差分输入、700 MHz带宽
- 片内基准电压源和采样保持电路
- 2 V峰峰值差分模拟输入
- DNL: $-0.5/+1.1$ LSB

串行端口控制选项

- 数据格式: 偏移二进制、格雷码或二进制补码
- 可选时钟占空比稳定器(DCS)
- 1至6整数输入时钟分频器
- 数据输出复用选项
- 内置可选数字测试码生成功能
- 节能的掉电模式
- 带可编程时钟和数据对准功能的数据时钟输出(DCO)

应用

通信

分集无线电系统

多模式数字接收器

GSM、EDGE、W-CDMA、LTE、CDMA2000、
WiMAX、TD-SCDMA

I/Q解调系统

智能天线系统

电池供电仪表

手持式示波器

便携式医疗成像

超声

雷达/LIDAR

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

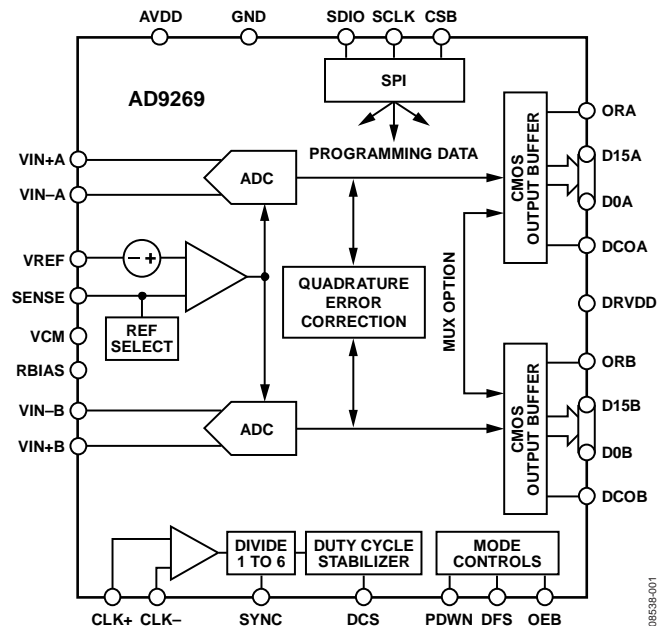


图1.

产品聚焦

- AD9269采用1.8 V单模拟电源供电，而数字输出驱动器采用独立的电源供电，以适应1.8 V至3.3 V系列的逻辑电平。
- 取得专利的采样保持电路在最高200 MHz的输入频率下仍保持出色的性能，而且成本低、功耗低、易于使用。
- 可选的SPI选择直流校正和正交误差校正(QEC)功能可校正两个通道之间的直流失调、增益和相位失配。
- 标准串行端口接口(SPI)支持各种产品特性和功能，例如：数据输出格式化、内部时钟分频器、掉电模式、DCO/数据时序和失调整、以及基准电压源模式等。
- AD9269采用64引脚LFCSP封装，符合RoHS标准，与16位ADC AD9268、14位ADC AD9258、14位ADC AD9251、12位ADC AD9231、12位基带分集接收机 AD6659和10位ADC AD9204引脚兼容，因此采样速率为20 MSPS至125 MSPS的10位至16位转换器可轻松实现升级。

目录

特性.....	1	时钟输入考虑.....	22
应用.....	1	功耗和待机模式.....	24
功能框图.....	1	数字输出.....	25
产品聚焦.....	1	时序.....	25
修订历史.....	2	内置自测(BIST)和输出测试.....	26
概述.....	3	内置自测(BIST).....	26
技术规格.....	4	输出测试模式.....	26
直流规格.....	4	通道/芯片同步.....	27
交流特性.....	6	直流和正交误差校正(QEC).....	28
数字规格.....	7	串行端口接口(SPI).....	29
开关规格.....	8	使用SPI的配置.....	29
时序规格.....	9	硬件接口.....	29
绝对最大额定值.....	10	不使用SPI的配置.....	30
热特性.....	10	SPI访问特性.....	30
ESD警告.....	10	存储器映射.....	31
引脚配置和功能描述.....	11	读取存储器映射寄存器表.....	31
典型工作特性.....	13	禁用的地址.....	31
AD9269-80.....	13	默认值.....	31
AD9269-65.....	15	存储器映射寄存器表.....	32
AD9269-40.....	16	存储器映射寄存器描述.....	34
AD9269-20.....	17	应用信息.....	36
等效电路.....	18	设计指南.....	36
工作原理.....	19	外形尺寸.....	37
ADC架构.....	19	订购指南.....	37
模拟输入考虑.....	19		
基准电压源.....	21		

修订历史

2010年1月—修订版0：初始版

概述

AD9269是一款单芯片、双通道、16位、20/40/65/80 MSPS模数转换器(ADC)，采用1.8V电源供电，内置高性能采样保持电路和片内基准电压源。

该产品采用多级差分流水线架构，内置输出纠错逻辑，在80 MSPS数据速率时可提供16位精度，并保证在整个工作温度范围内无失码。

AD9269集成可选的直流校正和正交误差校正(QEC)模块，可校正两个通道之间的直流失调、增益和相位失配。在直接变频接收机等复信号处理应用中，此功能模块可发挥重要作用。

该ADC还内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码

和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

采用一个差分时钟输入来控制所有内部转换周期。可选的占空比稳定器(DCS)用来补偿较大的时钟占空比波动，同时保持出色的ADC总体性能。

数字输出数据格式为偏移二进制、格雷码或二进制补码。每个ADC通道均有一个数据输出时钟(DCO)，用来确保接收逻辑具有正确的锁存时序。该器件支持1.8 V和3.3 V两种CMOS电平，输出数据可以在单条输出总线上多路复用。

AD9269采用64引脚LFCSP封装，符合RoHS标准，额定温度范围为-40°C至+85°C工业温度范围。

AD9269

技术规格

直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

表1.

参数	温度	AD9269-20/AD9269-40			AD9269-65			AD9269-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	16			16			16			位
精度											
无失码	全	保证			保证			保证			
失调误差	全	±0.05		±0.40	±0.05		±0.50	±0.05		±0.50	% FSR
增益误差 ¹	全	-2.0			-2.0			-2.0			% FSR
微分非线性(DNL) ²	全	-0.9/+1.2			-0.9/+1.4			-0.9/+1.65			LSB
积分非线性(INL) ²	25°C	-0.5/+0.6			-0.5/+1.1			-0.5/+1.1			LSB
	全	±5.50			±6.50			±6.50			LSB
	25°C	±2.0			±2.2			±3.3			LSB
匹配特性											
失调误差	25°C	±0.0		±0.50	±0.0		±0.55	±0.0		±0.65	% FSR
增益误差 ¹	25°C	±0.2			±0.2			±0.2			% FSR
温度漂移											
失调误差	全	±2			±2			±2			ppm/°C
内部基准电压											
输出电压(1 V模式)	全	0.981	0.993	1.005	0.981	0.993	1.005	0.981	0.993	1.005	V
负载调整误差 @1.0 mA	全	2			2			2			mV
折合到输入端噪声 VREF = 1.0 V	25°C	2.8			2.8			2.8			LSB rms
模拟输入											
输入范围, VREF = 1.0 V	全	2			2			2			V p-p
输入电容 ³	全	6.5			6.5			6.5			pF
输入共模电压	全	0.9			0.9			0.9			V
输入共模范围	全	0.5		1.3	0.5		1.3	0.5		1.3	V
基准电压输入阻抗	全	7.5			7.5			7.5			kΩ
电源											
电源电压											
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7			1.7			1.7			V
电源电流											
IAVDD ²	全	50.0/69.3		52.5/72.6	96.6		101.2	113		119	mA
IDRVDD ² (1.8 V)	全	3.9/6.4			9.6			11.8			mA
IDRVDD ² (3.3 V)	全	7.4/12.4			18.7			23			mA

参数	温度	AD9269-20/AD9269-40			AD9269-65			AD9269-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
功耗											
直流输入	全		87.7/121.7		170.7			200			mW
正弦波输入 ² (DRVDD = 1.8 V)	全		96.9/136.3	102.0/142.3	191.2	199.8		224.6	240		mW
正弦波输入 ² (DRVDD = 3.3 V)	全		114.4/165.7		235.6			279			mW
待机功耗 ⁴	全		37/37		37			37			mW
掉电功耗	全		1.0		1.0			1.0			mW

¹ 采用1.0V外部基准电压测量。

² 测量条件为：10 MHz输入频率、额定采样速率、满量程正弦波、每个输出位的负载约为5 pF。

³ 输入电容指一个差分输入引脚与AGND之间的有效电容。

⁴ 待机功耗的测量条件为：直流输入且CLK+、CLK-有效。

AD9269

交流特性

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

表2.

参数 ¹	温度	AD9269-20/AD9269-40			AD9269-65			AD9269-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		78.0			77.5			77.6		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		77.5			77.5			77.2		dBFS
	全	76.5			76.5						dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		76.5			76.5			76.3		dBFS
	全							75.5			dBFS
$f_{IN} = 200 \text{ MHz}$	25°C								71.0		dBFS
信纳比(SINAD)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		77.9			77.4			77.4		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		77.2			77.2			76.9		dBFS
	全	76.0			76.0						dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		76.4			76.4			76.1		dBFS
	全							75.0			dBFS
$f_{IN} = 200 \text{ MHz}$	25°C								69.4		dBFS
有效位数(ENOB)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		12.6			12.6			12.6		Bits
$f_{IN} = 30.5 \text{ MHz}$	25°C		12.5			12.5			12.5		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		12.4			12.4			12.3		Bits
$f_{IN} = 200 \text{ MHz}$	25°C								11.2		Bits
最差的二次/三次谐波											
$f_{IN} = 9.7 \text{ MHz}$	25°C		-95			-97			-93		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-90			-93			-92		dBc
	全			-80			-80				dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-89			-97			-90		dBc
	全								-80		dBc
$f_{IN} = 200 \text{ MHz}$	25°C								-80		dBc
无杂散动态范围(SFDR)											
$f_{IN} = 9.7 \text{ MHz}$	25°C		95			95			93		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		90			91			92		dBc
	全	80			80						dBc
$f_{IN} = 70 \text{ MHz}$	25°C		89			95			90		dBc
	全							80			dBc
$f_{IN} = 200 \text{ MHz}$	25°C								80		dBc
最差其它谐波或杂散											
$f_{IN} = 9.7 \text{ MHz}$	25°C		-99			-89			-99		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-100			-100			-99		dBc
	全			-90			-91				dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-99			-100			-97		dBc
	全								-89		dBc
$f_{IN} = 200 \text{ MHz}$	25°C								-86		dBc
双音无杂散动态范围(SFDR)											
$f_{IN} = 30.5 \text{ MHz} (-7 \text{ dBFS}), 32.5 \text{ MHz} (-7 \text{ dBFS})$	25°C		90			90			90		dBc
串扰 ²	全		-110			-110			-110		dBc
模拟输入带宽	25°C		700			700			700		MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 串扰的测量条件：一个通道参数为-1.0 dBFS、100 MHz且另一个通道上无输入信号。

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

表3.

参数	温度	AD9269-20/AD9269-40/AD9269-65/AD9269-80			单位
		最小值	典型值	最大值	
差分时钟输入(CLK+、CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.2		3.6	V p-p
输入电压范围	全	GND - 0.3		AVDD + 0.2	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全	8	10	12	kΩ
输入电容	全		4		pF
逻辑输入(SCLK/DFS、SYNC、PDWN) ¹					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-50		-75	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全		30		kΩ
输入电容	全		2		pF
逻辑输入(CSB) ²					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	40		135	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SDIO/DCS) ²					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	40		130	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
数字输出					
DRVDD = 3.3 V					
高电平输出电压, I _{OH} = 50 μA	全	3.29			V
高电平输出电压, I _{OH} = 0.5 mA	全	3.25			V
低电平输出电压, I _{OL} = 1.6 mA	全			0.2	V
低电平输出电压, I _{OL} = 50 μA	全			0.05	V
DRVDD = 1.8 V					
高电平输出电压, I _{OH} = 50 μA	全	1.79			V
高电平输出电压, I _{OH} = 0.5 mA	全	1.75			V
低电平输出电压, I _{OL} = 1.6 mA	全			0.2	V
低电平输出电压, I _{OL} = 50 μA	全			0.05	V

¹ 内置30 kΩ下拉电阻。

² 内置30 kΩ上拉电阻。

AD9269

开关规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

表4.

参数	温度	AD9269-20/AD9269-40			AD9269-65			AD9269-80			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数											
输入时钟速率	全			480			480			480	MHz
转换速率 ¹	全	3		20/40	3		65	3		80	MSPS
时钟周期——分频模式(t_{CLK})	全	50/25			15.38			12.5			ns
时钟脉宽高电平(t_{CH})	全		25.0/12.5			7.69			6.25		ns
孔径延迟(t_A)	全		1.0			1.0			1.0		ns
孔径不确定(抖动, t_j)	全		0.1			0.1			0.1		ps rms
数据输出参数											
数据传播延迟(t_{PD})	全		3			3			3		ns
DCO传播延迟(t_{DCO})	全		3			3			3		ns
DCO至数据偏斜(t_{SKEW})	全		0.1			0.1			0.1		ns
流水线延迟	全		9			9			9		周期
QEC有效	全		11			11			11		周期
唤醒时间 ²	全		350			350			350		μ s
待机	全		600/400			300			260		ns
超范围恢复时间			2			2			2		周期

¹ 转换速率指CLK分频之后的时钟速率。

² 唤醒时间取决于去耦电容的值。

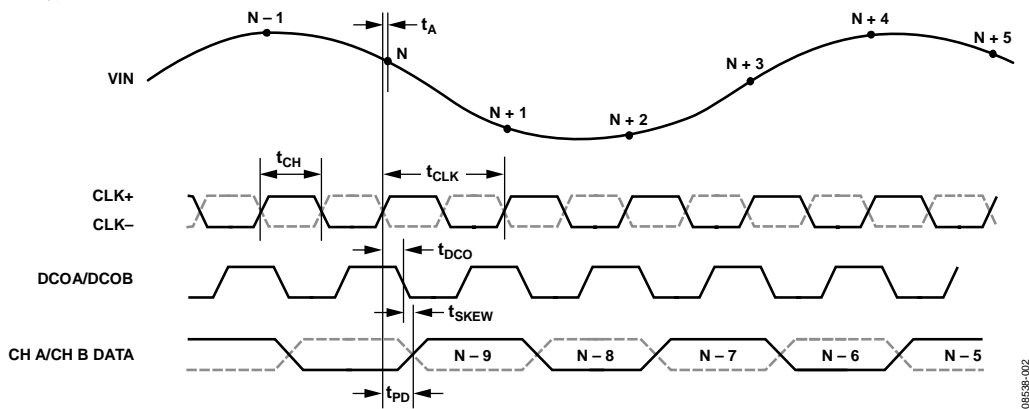


图2. CMOS输出数据时序

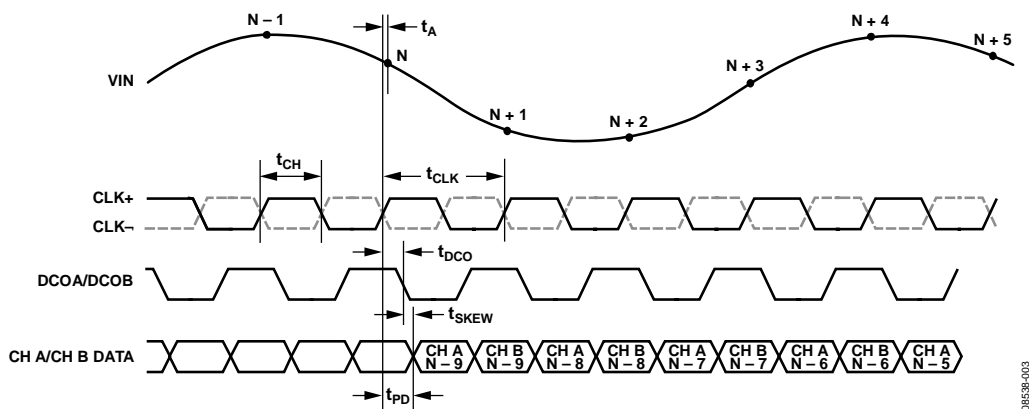


图3. CMOS交错输出时序

时序规格

表5.

参数	条件	最小值	典型值	最大值	单位
同步时序要求					
t_{SSYNC}	SYNC至CLK建立时间的上升沿		0.24		ns
t_{HSYNC}	SYNC至CLK保持时间的上升沿		0.40		ns
SPI时序要求					
t_{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_S	CSB与SCLK之间的建立时间	2			ns
t_H	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK高电平脉冲宽度	10			ns
t_{LOW}	SCLK低电平脉冲宽度	10			ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10			ns

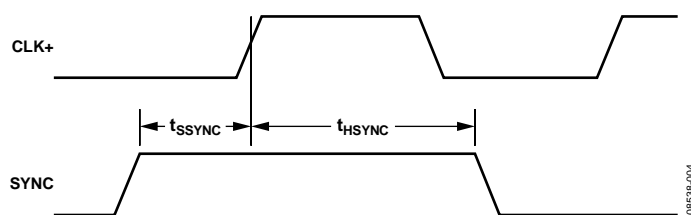


图4. SYNC输入时序要求

绝对最大额定值

表6.

参数	额定值
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+3.9 V
VIN+A、VIN+B、VIN-A、VIN-B至AGND	-0.3 V至AVDD + 0.2 V
CLK+、CLK-至AGND	-0.3 V至AVDD + 0.2 V
SYNC至AGND	-0.3 V至DRVDD + 0.3 V
VREF至AGND	-0.3 V至AVDD + 0.2 V
SENSE至AGND	-0.3 V至AVDD + 0.2 V
VCM至AGND	-0.3 V至AVDD + 0.2 V
RBIAS至AGND	-0.3 V至AVDD + 0.2 V
CSB至AGND	-0.3 V至DRVDD + 0.3 V
SCLK/DFS至AGND	-0.3 V至DRVDD + 0.3 V
SDIO/DCS至AGND	-0.3 V至DRVDD + 0.3 V
OEB至AGND	-0.3 V至DRVDD + 0.3 V
PDWN至AGND	-0.3 V至DRVDD + 0.3 V
D0x - D15x至AGND	-0.3 V至DRVDD + 0.3 V
DCOx至AGND	-0.3 V至DRVDD + 0.3 V
工作温度范围(环境)	-40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

裸露焊盘是芯片的唯一接地连接，必须焊接到用户PCB的AGND层。将裸露焊盘焊接到用户板上，还可提高焊接可靠性，从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
64引脚LFCSP	0	23	2.0		°C/W
9 mm × 9 mm	1.0	20		12	°C/W
(CP-64-4)	2.5	18			°C/W

¹按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。

²按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³按照MIL-Std 883、方法 1012.1。

⁴按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的四层PCB。如表7所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

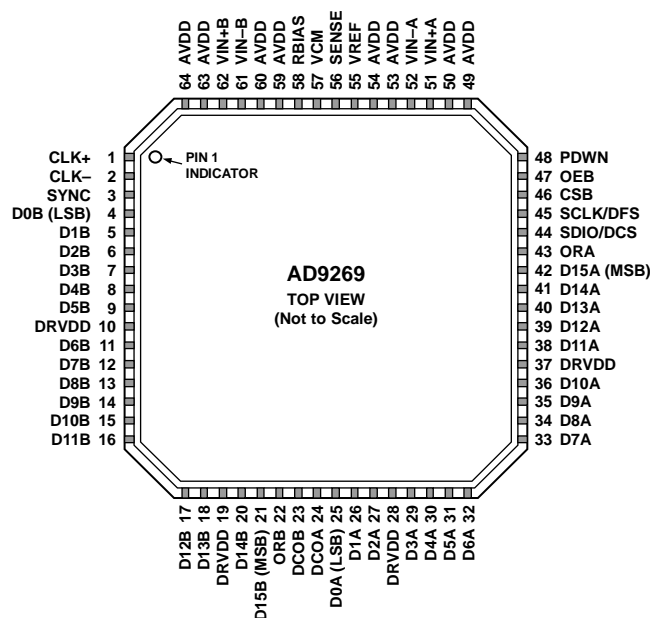
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PADDLE MUST BE SOLDERED TO THE PCB ANALOG GROUND TO ENSURE PROPER HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

086538-005

图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	描述
0, EP	AGND	裸露焊盘是唯一的接地连接，必须焊接到PCB模拟地，以确保正常功能和散热，并获得低噪声和机械强度方面的好处。
1, 2	CLK+, CLK-	差分编码时钟。PECL、LVDS或1.8 V CMOS输入。
3	SYNC	数字输入。时钟分频器的SYNC输入。内置30 kΩ下拉电阻。
4 to 9, 11 至 18, 20, 21	D0B (LSB) 至 D15B (MSB)	通道B数字输出。D0B为LSB，D15B为MSB。
10, 19, 28, 37	DRVDD	数字输出驱动电源(1.8 V至3.3 V)。
22	ORB	通道B超范围数字输出。
23	DCOB	通道B数据时钟数字输出。
24	DCOA	通道A数据时钟数字输出。
25 to 27, 29 to 36, 38 to 42	D0A (LSB) 至 D15A (MSB)	通道A数字输出。D0A为LSB，D15A为MSB。
43	ORA	通道A超范围数字输出。
44	SDIO/DCS	SPI数据输入/输出(SDIO)。双向SPI数据输入/输出(SPI模式)。内置30 kΩ下拉电阻(SPI模式)。占空比稳定器(DCS)。占空比稳定器的静态使能输入(非SPI模式)。内置30 kΩ上拉电阻(非SPI或DCS模式)。
45	SCLK/DFS	SPI时钟(SCLK)。输入(SPI模式)。内置30 kΩ下拉电阻。数据格式选择(DFS)。数据输出格式的静态控制(非SPI模式)。内置30 kΩ下拉电阻。DFS高电平：二进制补码输出。DFS低电平：偏移二进制输出。
46	CSB	SPI片选。低电平有效使能；内置30 kΩ上拉电阻。
47	OEB	数字输入。内置30 kΩ下拉电阻。低电平：使能通道A和通道B数字输出。高电平：三态输出。
48	PDWN	数字输入。内置30 kΩ下拉电阻。高电平：关断器件。低电平：运行器件，正常工作。

AD9269

引脚编号	引脚名称	描述
49, 50, 53, 54, 59, 60, 63, 64	AVDD	1.8 V模拟电源引脚。
51, 52	VIN+A, VIN-A	通道A模拟输入。
55	VREF	基准电压输入/输出。
56	SENSE	基准电压模式选择。
57	VCM	等于中间电源电压的模拟输出电压。设置模拟输入的共模电压。
58	RBIAS	设置模拟电流偏置。连接到接地10 k Ω (1%容差)电阻。
61, 62	VIN-B, VIN+B	通道B模拟输入。

典型工作特性

AD9269-80

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

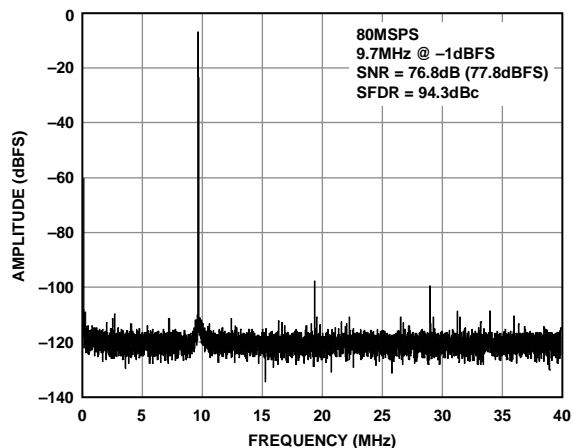


图6. AD9269-80单音FFT($f_{IN} = 9.7$ MHz)

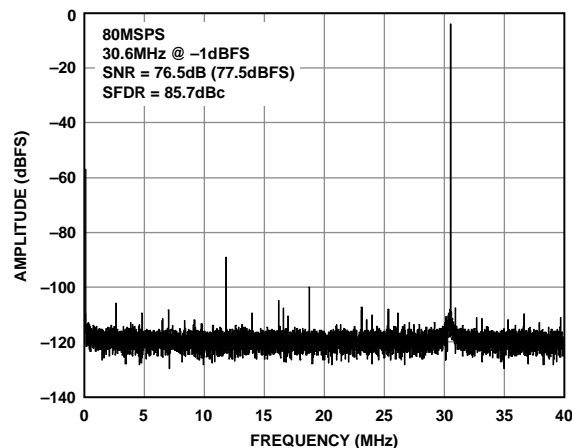


图9. AD9269-80单音FFT($f_{IN} = 30.6$ MHz)

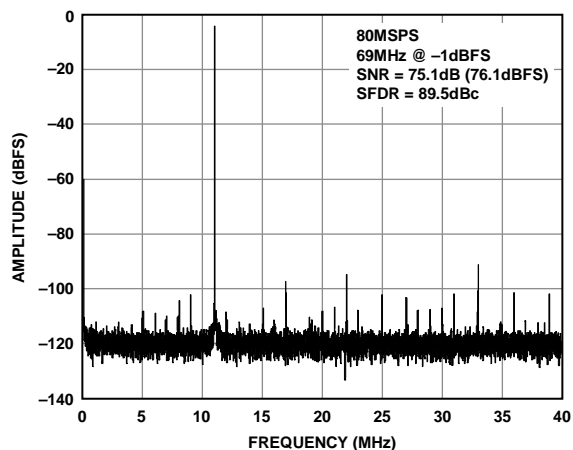


图7. AD9269-80单音FFT($f_{IN} = 69$ MHz)

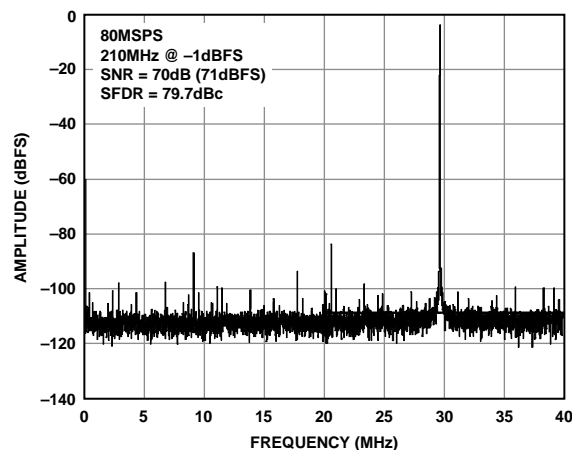


图10. AD9269-80单音FFT ($f_{IN} = 210$ MHz)

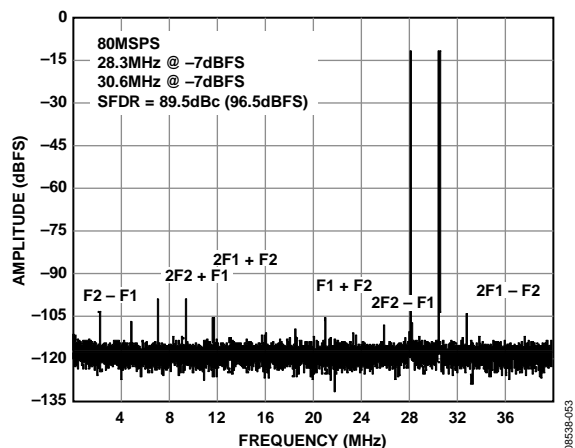


图8. AD9269-80双音FFT($f_{IN1} = 28.3$ MHz、 $f_{IN2} = 30.6$ MHz)

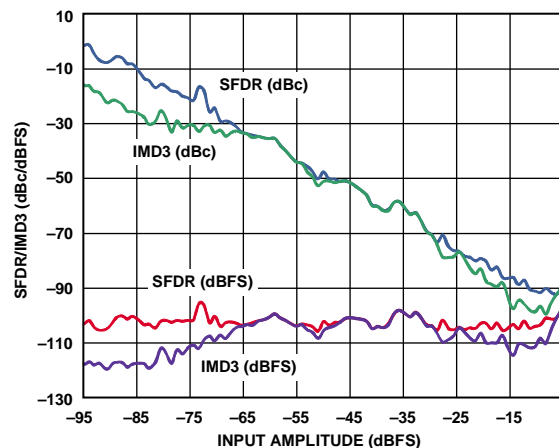


图11. 双音SFDR/IMD3与输入幅度(AIN)的关系
($f_{IN1} = 28.3$ MHz、 $f_{IN2} = 30.6$ MHz)

AD9269

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

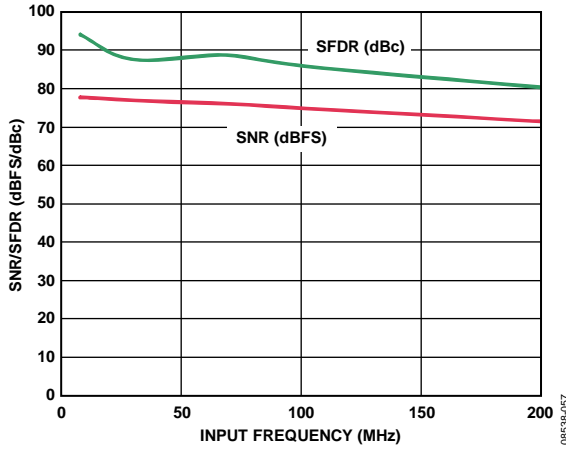


图12. AD9269-80 SNR/SFDR与输入频率(AIN)的关系 (2 V峰峰值满量程)

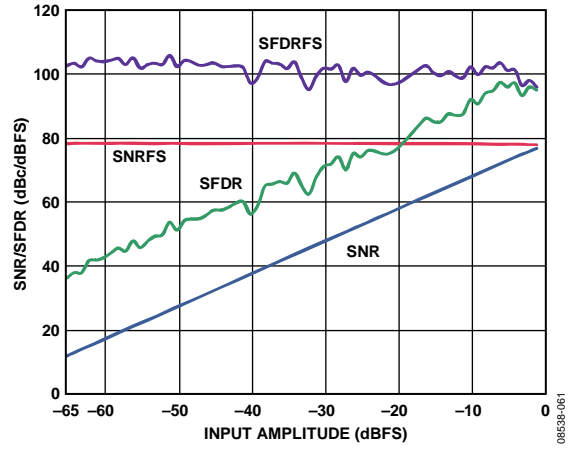


图15. AD9269-80 SNR/SFDR与输入幅度(AIN)的关系 ($f_{IN} = 9.7 \text{ MHz}$)

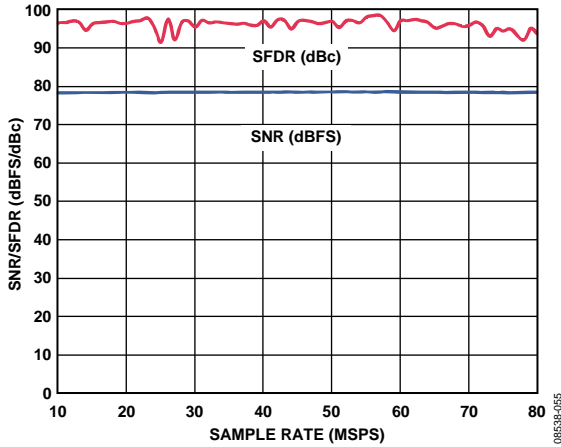


图13. AD9269-80 SNR/SFDR与采样速率的关系 ($A_{IN} = 9.7 \text{ MHz}$)

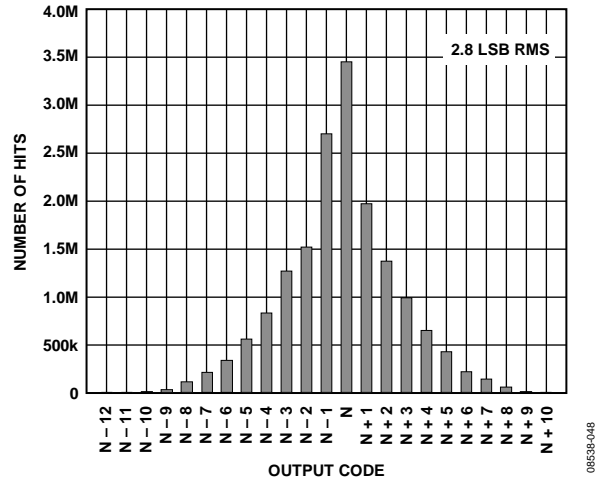


图16. 接地输入直方图

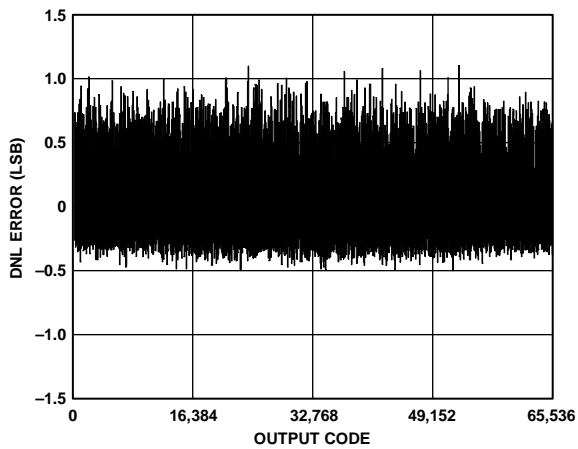


图14. DNL误差 ($f_{IN} = 9.7 \text{ MHz}$)

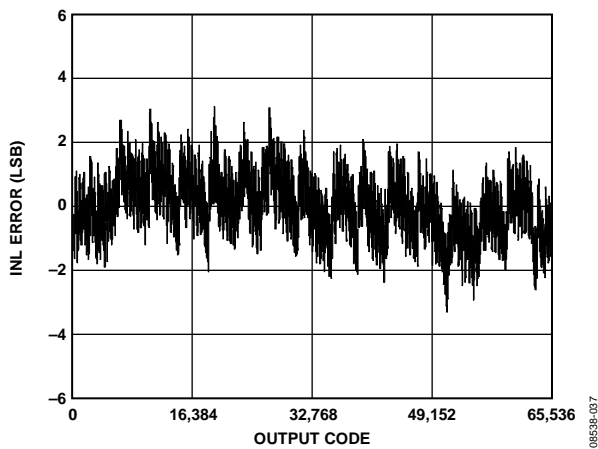


图17. INL误差 ($f_{IN} = 9.7 \text{ MHz}$)

AD9269-65

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

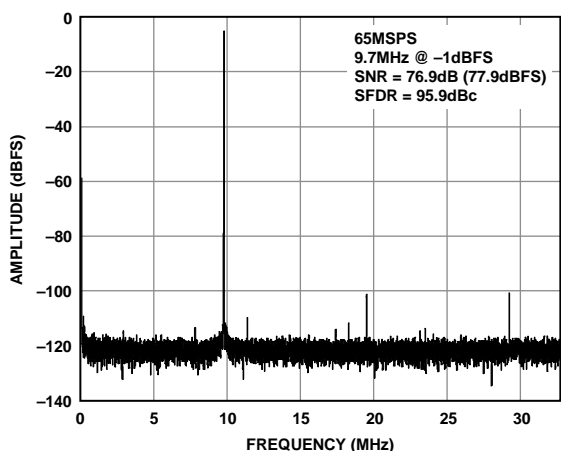


图18. AD9269-65单音FFT ($f_{IN} = 9.7$ MHz)

08538-030

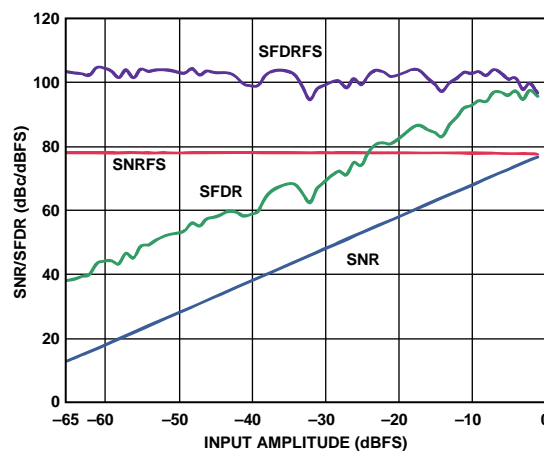


图21. AD9269-65 SNR/SFDR与输入幅度(AIN)的关系 ($f_{IN} = 9.7$ MHz)

08538-060

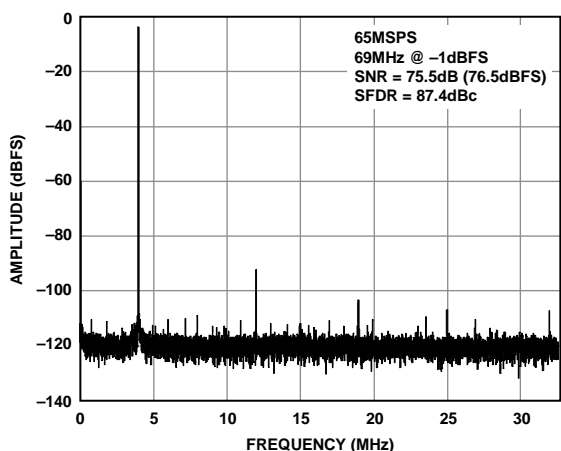


图19. AD9269-65单音FFT ($f_{IN} = 69$ MHz)

08538-032

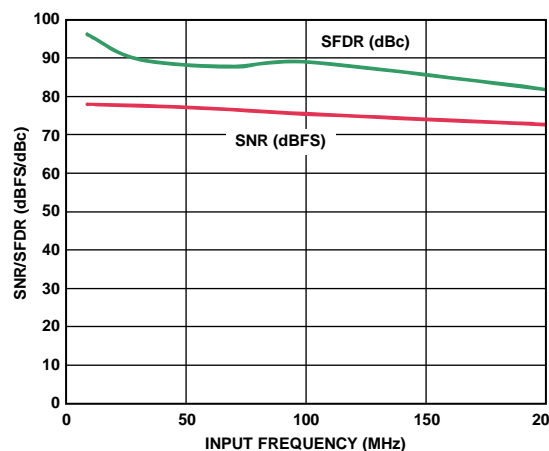


图22. AD9269-65 SNR/SFDR与输入频率(AIN)的关系 (2 V峰峰值满量程)

08539-056

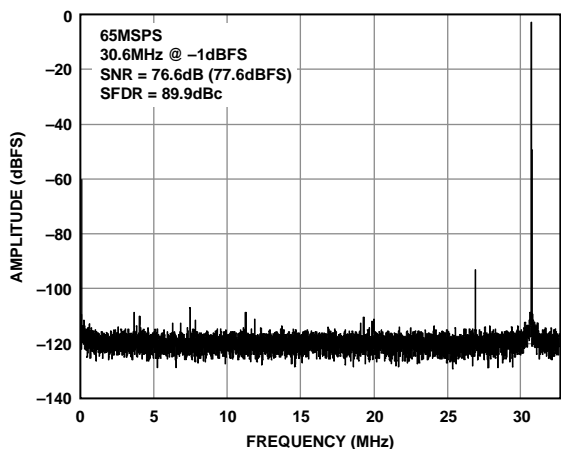


图20. AD9269-65单音FFT ($f_{IN} = 30.6$ MHz)

08538-031

AD9269

AD9269-40

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

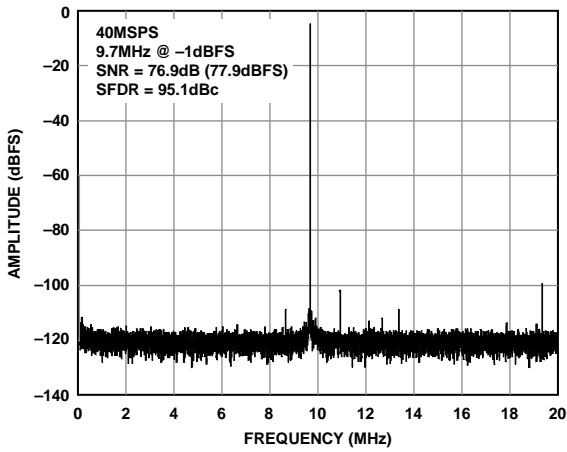


图23. AD9269-40单音FFT($f_{IN} = 9.7$ MHz)

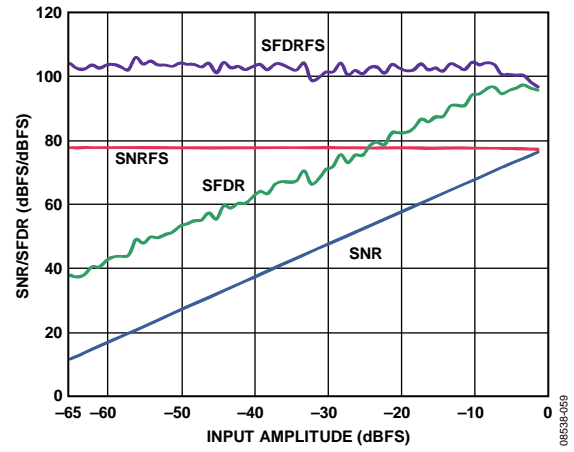


图25. AD9269-40 SNR/SFDR与输入幅度(AIN)的关系 ($f_{IN} = 9.7$ MHz)

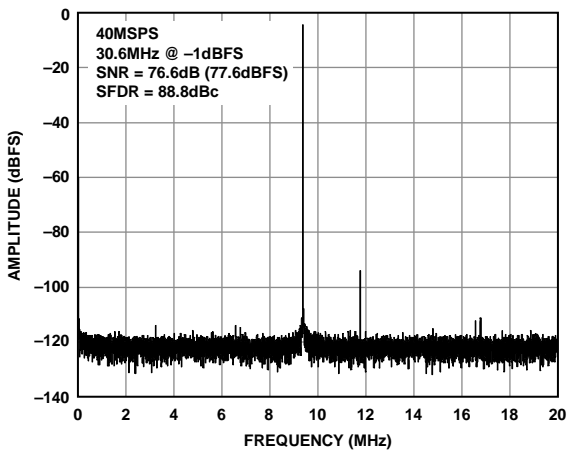


图24. AD9269-40单音FFT($f_{IN} = 30.6$ MHz)

AD9269-20

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、2 V峰峰值差分输入、1.0 V内部基准电压、AIN = -1.0 dBFS、DCS禁用。

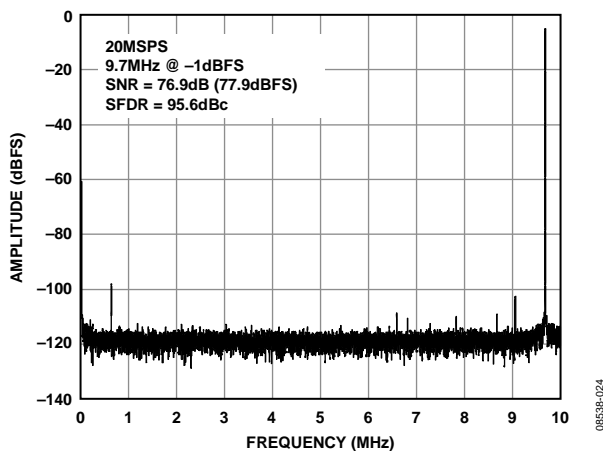


图26. AD9269-20单音FFT($f_{IN} = 9.7$ MHz)

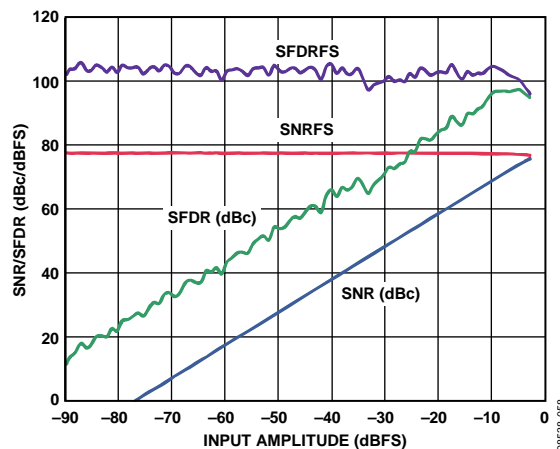


图28. AD9269-20 SNR/SFDR与输入幅度(AIN)的关系 ($f_{IN} = 9.7$ MHz)

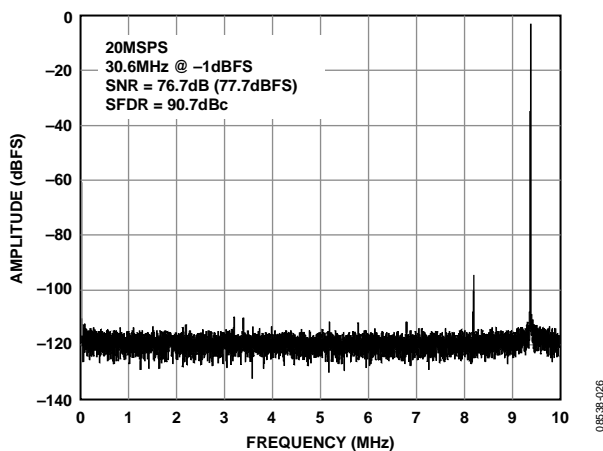


图27. AD9269-20单音FFT($f_{IN} = 30.6$ MHz)

等效电路

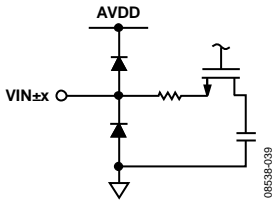


图29. 等效模拟输入电路

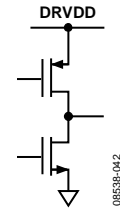


图34. 等效数字输出电路

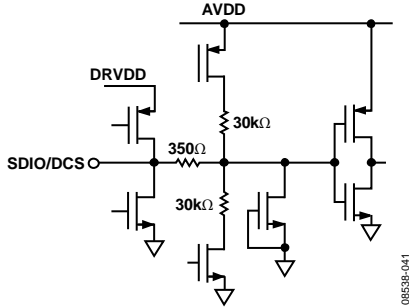


图 30. 等效SDIO/DCS输入电路

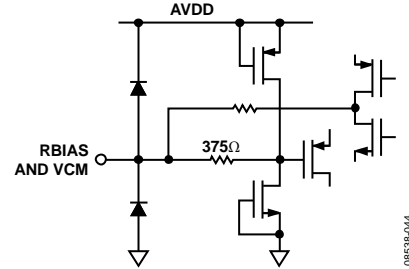


图35. 等效RBIAS、VCM电路

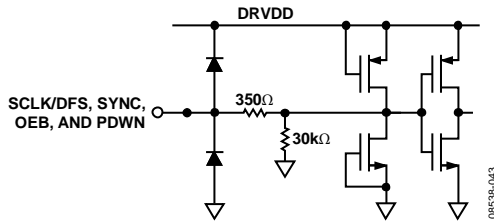


图 31. 等效SCLK/DFS、SYNC、OEB、PDWN输入电路

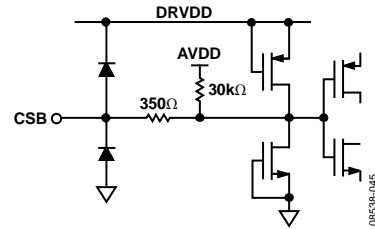


图 36. 等效CSB输入电路

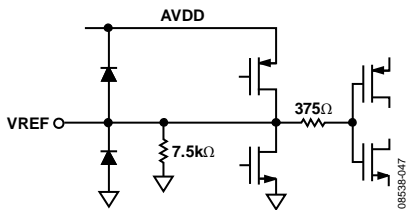


图32. 等效VREF电路

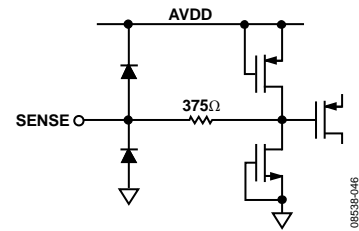


图37. 等效SENSE电路

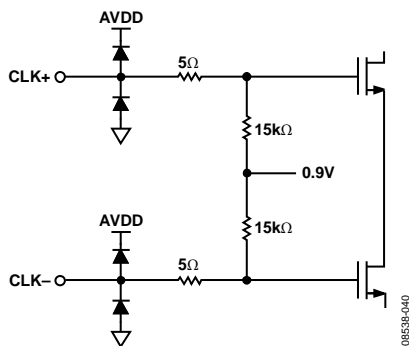


图33. 等效时钟输入电路

工作原理

AD9269双通道ADC设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对任 $f_s/2$ 带宽，频率由DC直至200 MHz的信号进行采样，这不会明显降低ADC的性能。ADC可对300 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

在非分集应用场合，AD9269可用作基带或直接下变频接收机。此时，可将一个ADC用于I输入数据，另一个用于Q输入数据。

AD9269集成可选的直流校正和正交误差校正(QEC)模块，可校正两个通道之间的直流失调、增益和相位失配。在直接变频接收机等复信号处理应用中，此功能模块可发挥重要作用。

同步功能用于多个通道或多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD9269进行编程和控制。

ADC架构

AD9269架构由一个多级、流水线式ADC组成。各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个16位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器MDAC)组成。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了1位的冗余量。最后一级由一个Flash型ADC组成。

输出级模块能够实现数据对齐，执行误差校正，并且能将数据传输到CMOS输出缓冲器。输出缓冲器需要单独供电(DRVDD)，允许调整输出电压摆幅。在掉电期间，输出缓冲器进入高阻态。

模拟输入考虑

AD9269的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

输入电路根据时钟信号，在采样模式和保持模式之间切换(见图38)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个并联电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742“开关电容ADC的频域响应”、AN-827“放大器与开关电容ADC接口的谐振匹配方法”(访问www.analog.com)和Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，模数转换的精度取决于应用。

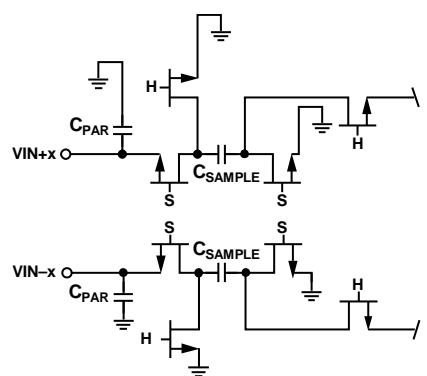


图38. 开关电容输入电路

输入共模

AD9269的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部直流偏置。为能够获得最佳性能，建议用户对器件设置为 $V_{CM} = AV_{DD}/2$ ；但器件在更宽的范围都能获得合理的性能，如图39所示。

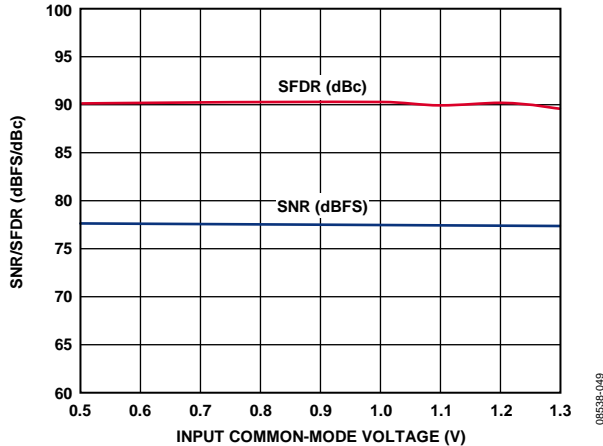


图39. SNR/SFDR与输入共模电压的关系
($f_N = 32.5 \text{ MHz}$, $f_s = 80 \text{ MSPS}$)

芯片通过VCM引脚提供板上共模基准电压。必须用一个 $0.1 \mu\text{F}$ 电容对VCM去耦到地，如“应用信息”部分所述。

差分输入配置

通过差分输入配置驱动AD9269时，可实现芯片的最佳性能。在基带应用中，AD8138、ADA4937-2和ADA4938-2差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD9269的VCM引脚，可以方便地设置ADA4938-2的输出共模电压(见图40)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

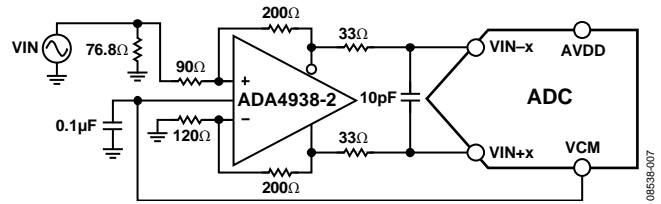


图40. 利用ADA4938-2进行差分输入配置

在SNR为关键参数的10 MHz以下基带应用中，建议使用的输入配置是差分变压器耦合(见图41)。为实现模拟输入偏置，须将VCM电压连接到变压器次级绕组的中心抽头处。

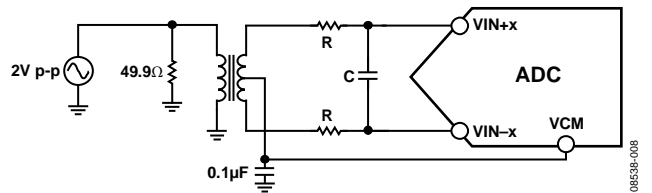


图41. 差分变压器耦合配置

在选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD9269真正的SNR性能。在SNR为关键参数的10 MHz以上应用中，建议使用的输入配置是差分双巴伦耦合(见图42)。

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用AD8352差分驱动器(见图43)。更多信息参见AD8352数据手册。

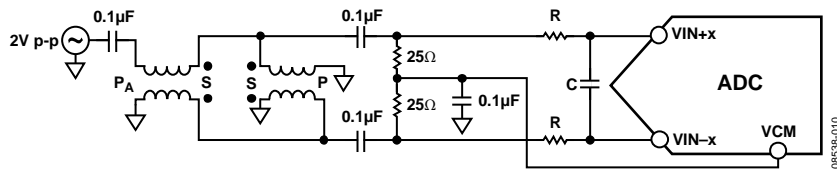


图42. 差分双巴伦输入配置

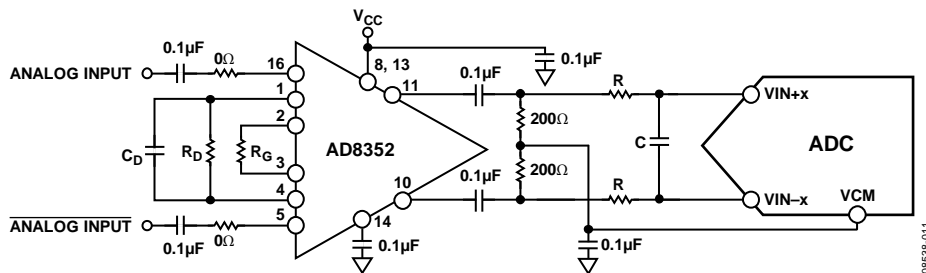


图43. 利用AD8352进行差分输入配置

在任何配置中，并联电容值C均取决于输入频率和源阻抗，并且可能需要降低电容量或去掉该并联电容。表9列出了设置RC网络的建议值。不过，这些值取决于输入信号，且只能用作初始参考。

表9. RC网络示例

频率范围(MHz)	串联电阻 R (Ω)	差分电容C (pF)
0至70	33	22
70至200	125	开路

单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模摆幅较大，因此会降低无杂散动态范围(SFDR)和失真性能。如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图44显示了典型的单端输入配置。

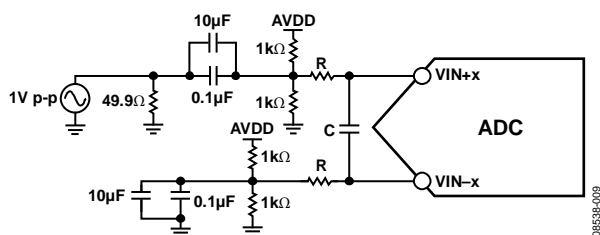


图44. 单端输入配置

基准电压源

AD9269内置稳定、精确的1.0 V基准电压源。VREF可以利用内部1.0 V基准电压或外部施加的1.0 V基准电压来配置。在接下来的部分中，将对各种基准电压模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线。

内部基准电压连接

AD9269的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成两种可能的模式之一(见表10)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图45)，因而将 V_{REF} 设为1.0 V。

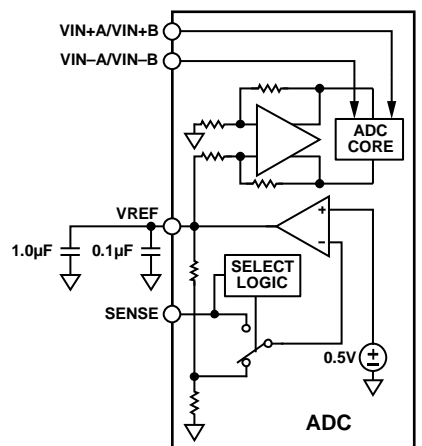


图45. 内部基准电压配置

如需利用AD9269的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图46说明负载如何影响内部基准电压。

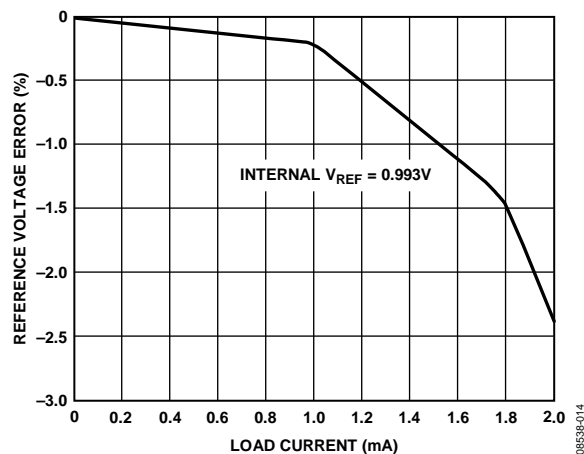


图46. V_{REF} 精度与负载电流的关系

表10. 基准电压配置表

所选模式	SENSE电压(V)	相应的 V_{REF} (V)	相应的差分范围(Vp-p)
固定内部基准电压	AGND至0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部VREF引脚	2.0

外部基准电压

必须采用外部基准电压才可能进一步提高ADC增益精度、改善热漂移特性。图47显示内部基准电压为1.0 V时的典型漂移特性。

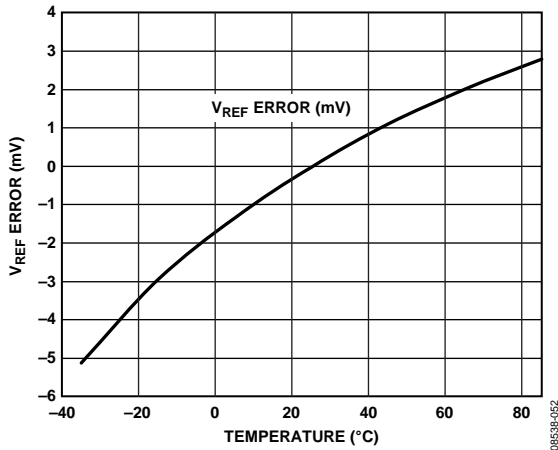


图47. 典型VREF漂移

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部基准电压缓冲器对外部基准电压的负载相当于7.5 kΩ负载(见图32)。内部缓冲器为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9269采样时钟输入端(CLK+和CLK-)的时钟信号。通常，应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图48)，无需外部偏置。

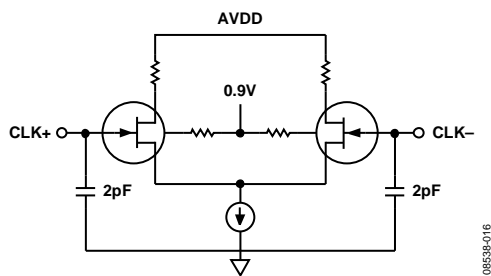


图48. 等效时钟输入电路

时钟输入选项

AD9269的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见“抖动考虑”部分说明)。

图49和图50显示两种为AD9269提供时钟信号的首选方法(使用内部时钟分频器功能时，时钟速率可达额定采样速率的6倍)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至480 MHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。背对背肖特基二极管跨接在变压器/巴伦次级上，可以将输入AD9269的时钟信号偏移限制为约0.8 V峰峰值(差分)。

这样，既可以防止时钟的大电压摆幅馈通至AD9269的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

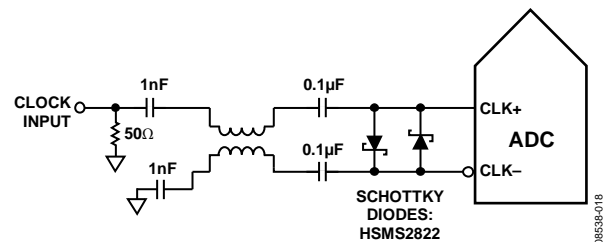


图49. 巴伦耦合差分时钟(频率可达480 MHz)

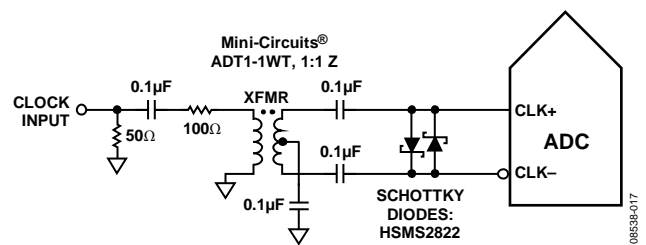


图50. 变压器耦合差分时钟(频率可达200 MHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 51 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

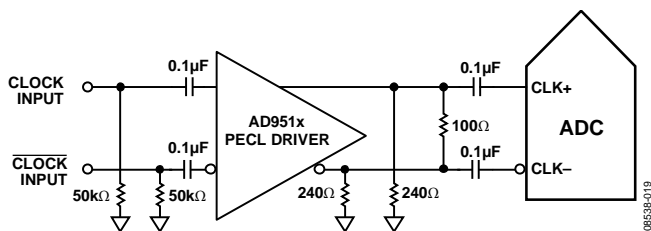


图 51. 差分 PECL 采样时钟(频率可达 480 MHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 51 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

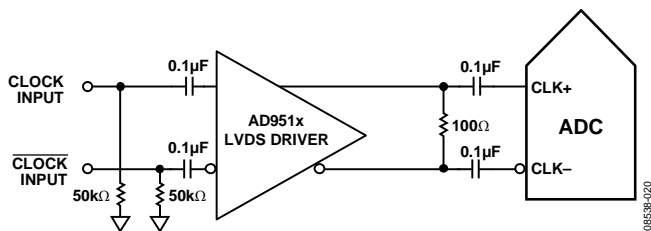


图 52. 差分 LVDS 采样时钟(频率可达 480 MHz)

在某些应用中，可以利用单端 1.8 V CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+ 引脚直接由 CMOS 门电路驱动，CLK- 引脚则通过一个 0.1 µF 电容旁路至地(见图 53)。

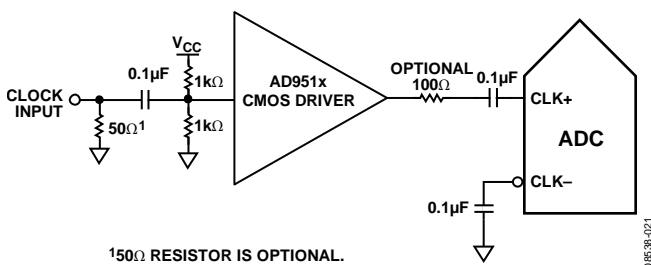


图 53. 单端 1.8 V CMOS 输入时钟(频率可达 200 MHz)

输入时钟分频器

AD9269 内置一个输入时钟分频器，可对输入时钟进行 1 至 6 整数倍分频。当分频比不为 1、2 或 4 时，使能内置占空比稳定器(DCS)可以获得最佳性能。

利用外部 SYNC 输入信号，可同步 AD9269 时钟分频器。通过对寄存器 0x100 的位 [2:1] 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后，对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

AD9269 内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为 50% 的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响 AD9269 的性能。当 DCS 处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的(如图 54 所示)。

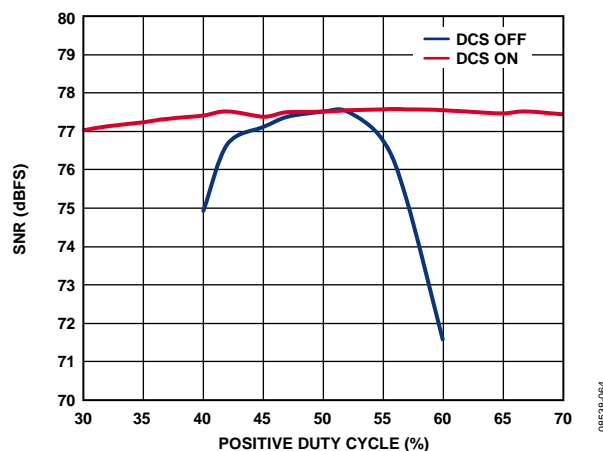


图 54. 信噪比与占空比稳定器(开启/关闭)的关系

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于 20 MHz(标称值)时，占空比控制环路不起作用。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在动态时钟频率上升或下降后，DCS 环路重新锁定输入信号前，都需要等待 1.5 µs 至 5 µs 的时间。

AD9269

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{INPUT})下,由于抖动(t_{JRMS})造成的信噪比(SNR)下降(相对于低频信噪比 SNR_{LF})可通过下式计算:

$$SNR_{HF} = -10 \log[(2\pi \times f_{INPUT} \times t_{JRMS})^2 + 10^{(-SNR_{LF}/10)}]$$

上式中,均方根孔径抖动表示时钟输入抖动规格。中频欠采样应用对抖动尤其敏感(如图55所示)。

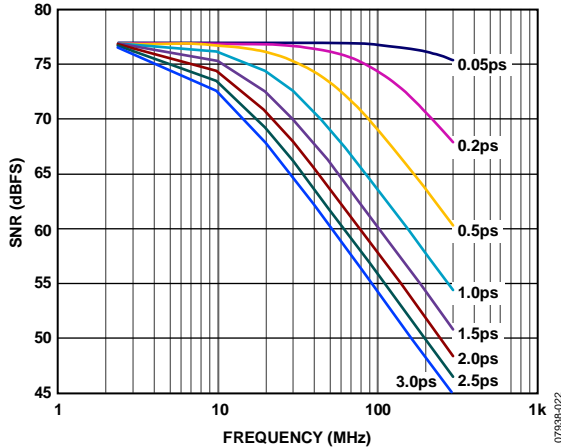


图55. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9269的动态范围时,应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声,时钟驱动器电源应与ADC输出驱动器电源分离。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法),则需要在这最后一步中利用原始时钟进行重定时。

欲了解更多信息,请参阅ADI公司网站(www.analog.com)上提供的应用笔记AN-501和AN-756。

功耗和待机模式

如图56所示,AD9269的模拟内核功耗与其采样速率成比例关系。CMOS输出的数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。

最大DRVDD电流值(IDRVDD)的计算公式如下:

$$IDRVDD = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

其中N为输出位数(对于AD9269, N = 34)。

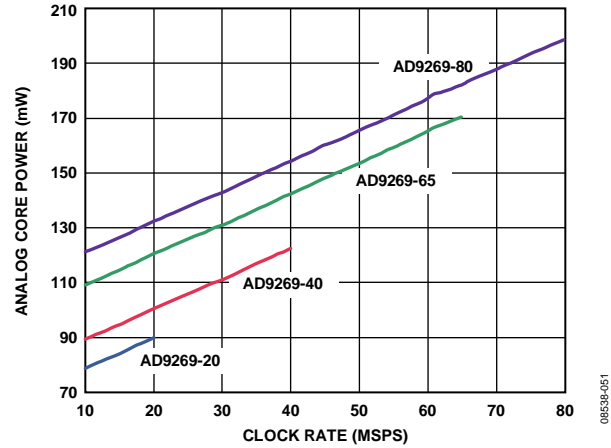


图56. 模拟内核功耗与时钟速率的关系

当每个输出位在每个时钟周期内都发生切换时(即以 $f_{CLK}/2$ 的奈奎斯特频率产生满量程方波时),电流达到最高值。实际操作中,DRVDD电流由输出位切换的平均数确定,后者取决于采样速率和模拟输入信号的特性。

降低输出驱动器的容性负载可以很好地降低数字功耗。图56中的数据采用与测量典型性能特性相同的工作条件得出,每个输出驱动器的负载为5 pF。

通过SPI端口或将PDWN引脚置位高电平，可使AD9269进入掉电模式。在这种状态下，ADC的典型功耗为1 mW。在掉电模式下，输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后，AD9269返回正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入低调电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。

使用SPI端口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。更多信息见存储器映射部分。

数字输出

AD9269输出驱动器可以配置为与1.8 V至3.3 V CMOS逻辑系列接口。输出数据也可以复用到单一输出总线上，以降低所需的走线总数。

CMOS输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。

因此，在那些需要ADC来驱动大容量负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

在外部引脚模式下，设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表11)。

表12. 输出数据格式

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式	超量程
VIN+ – VIN–	< –VREF – 0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ – VIN–	= –VREF	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ – VIN–	= 0	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	1111 1111 1111 1111	0111 1111 1111 1111	1

表11. SCLK/DFS模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/DCS
AGND	偏移二进制(默认)	DCS禁用
DRVDD	二进制补码	DCS使能(默认)

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

数据输出使能功能(OEB)

AD9269的数字输出引脚具有灵活的三态功能。三态模式通过OEB引脚或SPI接口使能。若OEB引脚处于低电平状态，则使能输出数据驱动器和DCO。若OEB引脚处于高电平状态，则将输出数据驱动器和DCO置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

使用SPI接口时，通过输出禁用(OEB)位(寄存器0x14的位4)，可以独立设置每个通道的数据输出和DCO的三态。

时序

AD9269提供流水线延迟为9个时钟周期的锁存数据。在经过时钟信号上升沿后的一个传播延迟时间(tpd)之后，产生输出数据。

为减少AD9269内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象会降低转换器的动态性能。

AD9269的典型最低转换速率为3 MSPS。当时钟速率低于3 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

AD9269提供两个数据时钟输出(DCO)信号，用于采集外部寄存器中的数据。CMOS数据输出在DCO的上升沿有效，除非通过SPI改变了DCO时钟的极性。时序图参见图2和图3。

内置自测(BIST)和输出测试

AD9269包括内置测试功能，支持对各通道的完整性验证，同时也有利于电路板级调试。内置自测(BIST)功能可以对AD9269数字数据路径的完整性进行验证。此外还提供各种输出测试选项，以便对AD9269的输出进行预测。

内置自测(BIST)

BIST能够对所选AD9269信号路径的数字部分进行详尽的测试。复位后执行BIST测试可确保器件处于已知状态。在BIST测试期间，来自内部伪随机噪声(PN)源的数据从ADC模块输出开始，驱动通过两个通道的数字数据路径。在数据路径输出端，CRC逻辑计算数据签名。BIST序列运行512个周期后停止。序列完成后，BIST将签名结果与预定值进行比较。如果二者一致，则BIST将寄存器0x24的位0置1，表示测试通过。如果BIST测试失败，寄存器0x24的位0清0。测试期间输出相连，因此可以观察到PN序列的运行过程。向寄存器0x0E写入值0x05将运行BIST测试。

这将使能寄存器0x0E的位0(BIST使能)，并复位PN序列发生器(BIST启动，寄存器0x0E的位2)。BIST完成后，寄存器0x24的位0自动清0。向寄存器0x0E的位2写入0可以使PN序列从上一个值继续运行。不过，如果PN序列未复位，测试结束时签名计算结果将不等于预定值。此时，用户必须验证输出数据。

输出测试模式

输出测试选项见表17的地址0x0D部分所述。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

通道/芯片同步

AD9269有一个同步(SYNC)输入端，允许用户通过灵活的同步选项实现多个ADC的采样时钟同步。可以使能输入时钟分频器，以便在第一次或每次出现SYNC信号时进行同步。SYNC输入信号在内部与采样时钟同步，但为避免多

个器件之间存在时序不确定性，SYNC输入信号应在外部与输入时钟信号同步，满足表5所示的建立和保持时间要求。SYNC输入信号应由单端CMOS型信号驱动。

直流和正交误差校正(QEC)

在直接变频或其它正交系统中，同相(I)与正交(Q)信号路径之间的不匹配会导致正(负)频谱中的频率在负(正)频谱中形成镜像。从RF角度来看，这相当于本振(LO)频率以上(以下)的信息干扰LO频率以下(以上)的信息。这些不匹配可能源于模拟正交解调器的增益和/或相位不匹配，或者源于I与Q信号链之间的任何其它不匹配。在载波对称地置于直流周围的单载波零中频系统中，这会导致载波发生失真，因为两个边带会相互叠置，使信号的误差矢量幅度(EVM)降低。

在多载波通信系统中，它所造成的问题可能更大，因为功率水平差异巨大的载波之间会互相干扰。例如，中心频率为 $+f_1$ 的大载波可能在 $-f_1$ 处有一个镜像，它可能远大于 $-f_1$ 处的所需载波。

AD9269的集成正交误差校正(QEC)算法会尝试测量并校正I与Q信号路径的幅度和相位不平衡，以实现单靠模拟途径无法实现的更高水平镜像抑制。这些误差可以按照适合的方式进行校正，即持续估算并校正I/Q增益和正交相位失配，从而能够持续跟踪电源和温度引起的失配缓慢变化。

AD9269的正交误差以独立于频率的方式进行校正，因此，对于基带I和Q信号链中存在严重失配的系统，图像抑制能力可能会下降。AD9269 QEC还能校正系统性失衡。

QEC算法的收敛时间取决于输入信号的统计特征。对于大信号和较大的失衡误差，收敛时间通常小于AD9269数据速率的200万个采样点。

LO泄漏(直流)校正

在直接变频接收机子系统中，正交调制器的LO至RF泄漏表现为基带直流失调。这些失调会增加基带信号路径的直流失调，二者均会影响直流载波。在零中频接收机中，这种直流能量出现在目标通道的频段中，因而可能会引起问题。作为QEC功能的一部分，直流失调的抑制方法是应用一个低频陷波滤波器，以消除直流周围的信号。

在不需要持续跟踪直流失调和正交误差的应用中，可以分别冻结这些算法以降低功耗。冻结后，仍然会执行镜像和LO泄漏(直流)校正，但不再跟踪其变化。在冻结状态下，寄存器0x110的位[5:3]分别禁用相应的校正。

AD9269的默认配置是禁用QEC和直流校正模块，要能使校正模块，必须将寄存器0x110的位[2:0]拉高。出于系统调试或省电目的，也可以分别禁用正交增益、正交相位和直流校正算法，方法是将寄存器0x110的相应位[2:0]拉低。

当QEC使能且计算出校正值后，只要有QEC功能(直流、增益或相位校正)在使用，该值就会一直有效。

QEC和直流校正范围

表13给出了这些算法的最小和最大校正范围。如果失配大于这些范围，校正就会不完全。

表13. QEC和直流校正范围

参数	最小值	最大值
增益	-1.1 dB	+1.0 dB
相位	-1.79度	+1.79度
直流	-6 %	+6%

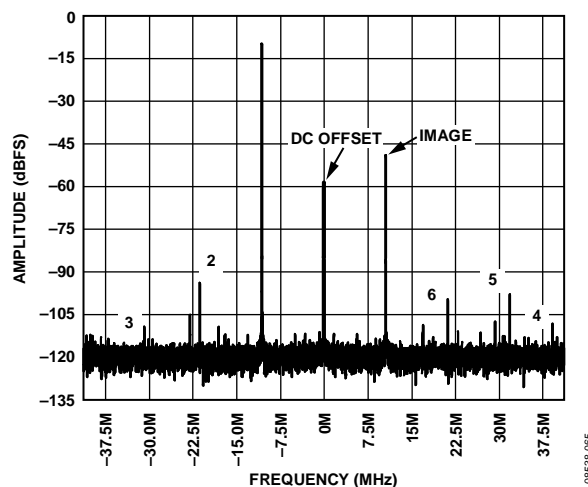


图57. QEC模式关闭

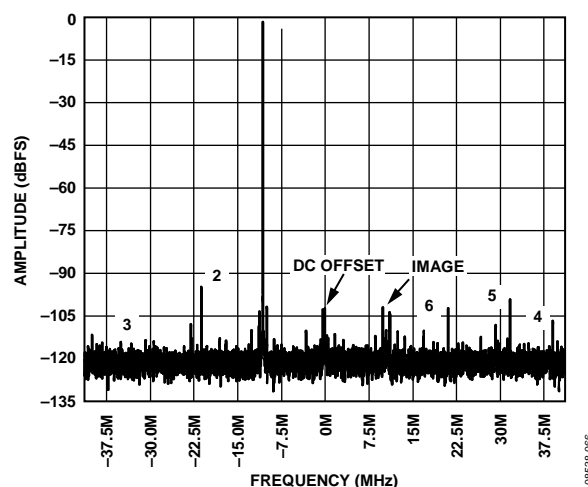


图58. QEC模式开启

串行端口接口(SPI)

AD9269串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器,以满足特定功能和操作的需要。SPI使得用户能够更加灵活地运用器件,并根据具体的应用进行定制。通过串行端口,可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织,并且可以进一步细分成多个区域,如存储器映射部分所述。如需了解详细操作信息,请参阅应用笔记AN-877:“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三个引脚进行规定:SCLK、SDIO和CSB(见表14)。SCLK(串行时钟)引脚用于同步ADC的读出和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚,它能够使能或者禁用读写周期。

表14. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入,用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚;通常用作输入或输出,取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号,用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图59为串行时序图范例,相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态,从而使器件一直处于使能状态;这称作流。CSB可以在字节之间停留在高电平,这样可以允许其他外部时序。如果CSB引脚被拉高,SPI功能将处于高阻抗模式。在该模式下,可以开启SPI功能引脚的第二功能。

在一个指令周期内,传输一条16位指令。在指令传输后将进行数据传输,数据流的长度由W1位和W0位共同决定,如图59所示。

所有数据均由8位字组成。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。这样就能在串行帧的适当位置,将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长,指令周期还决定串行帧是读操作指令还是写操作指令,从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作,则执行回读操作会使串行数据输入/输出(SDIO)引脚的数据传输方向,在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后,默认采用MSB优先的方式,可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息,请参阅应用笔记AN-877:“通过SPI与高速ADC接口”。

硬件接口

表14中所描述的引脚构成用户编程器件与AD9269串行端口之间的物理接口。当使用SPI接口时,SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚,在写入阶段,用作输入引脚;在回读阶段,用作输出引脚。

SPI接口非常灵活,FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

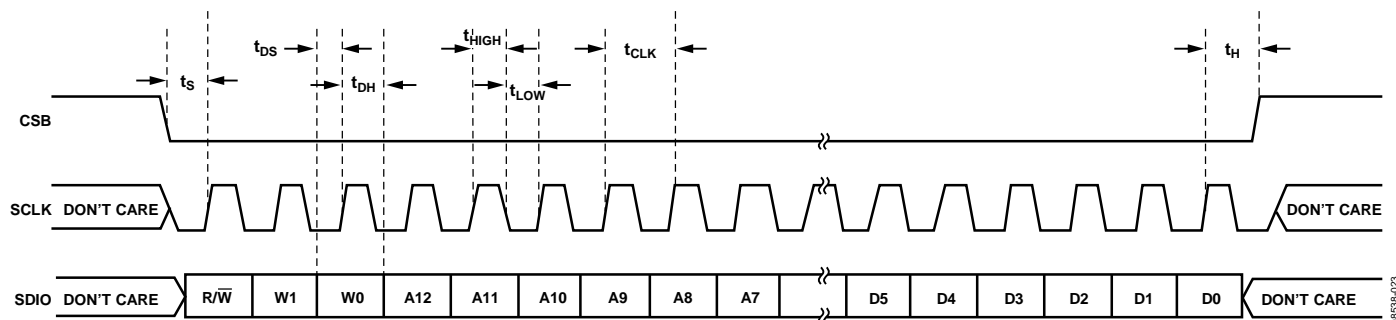


图59. 串行端口接口时序图

AD9269

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9269之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，SDIO/DCS和SCLK/DFS引脚可以发挥第二功能。在器件上电期间，当这些引脚与DRVDD或接地端连接时，这些引脚可起到特定的作用。“数字输出”部分介绍了AD9269支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DCS引脚、SCLK/DFS引脚、OEB引脚和PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制占空比稳定器、输出数据格式、输出使能和掉电特性控制。在此模式下，CSB片选引脚应与DRVDD相连，以禁用串行端口接口。

表15. 模式选择

引脚	外部电压	配置
SDIO/DCS	DRVDD(默认)	占空比稳定器使能
	AGND	占空比稳定器禁用
SCLK/DFS	DRVDD	二进制补码使能
	AGND(默认)	偏移二进制使能
OEB	DRVDD	输出处于高阻抗状态
	AGND(默认)	输出使能
PDWN	DRVDD	芯片处于掉电或待机状态
	AGND(默认)	正常工作

SPI访问特性

表16简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。AD9269器件特定的特性详见表17。

表16. 可通过SPI访问的特性

特性	描述
模式	允许用户设置掉电模式或待机模式
时钟失调	允许用户通过SPI访问DCS 允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表(见表17)的每一行有8位。存储器映射分为四个部分：芯片配置寄存器(地址0x00至地址0x02)；器件索引和传送寄存器(地址0x05和地址0xFF)；程序寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x2E)；以及数字特性控制寄存器(地址0x100至地址0x11D)。

表17列出了每个十六进制地址的十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，通道索引寄存器(地址0x05)的十六进制默认值为0x03，表示在地址0x05中，位[7:2] = 0，其余位[1:0] = 1。此设置是默认的通道索引设置。该默认值导致两个ADC通道均会接收下一个写命令。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0xFF控制的功能。表17之后的存储器映射寄存器描述部分介绍了其它寄存器(寄存器0x100至寄存器0x11D)。

禁用的地址

此器件目前不支持SPI映射中未包括的所有地址和位。有效地址中未使用(禁用)的位应写为0。当一个地址(例如地址0x05)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址例如地址0x13均禁用，则SPI映射中不包括该地址，不应对该地址进行写操作。

默认值

AD9269复位后，将向关键寄存器内载入默认值。存储器映像寄存器表(见表17)列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

传送寄存器映射

地址0x08至地址0x18被屏蔽。除非通过向地址0xFF写入0x01，设置传输位，以发出传输命令，否则，向这些地址进行写操作不会影响器件的运行。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能。在这些情况下，每个通道在内部复制通道地址位置。这些寄存器及相应的位在存储器映射寄存器表中被称为局部寄存器。通过设置寄存器0x05的通道A(位0)位或通道B(位1)位，可访问这些局部寄存器及相应位。

如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道(通道A或通道B)来读取两个寄存器中的一个。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。存储器映射寄存器表给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD9269

存储器映射寄存器表

此器件目前不支持表17中未包括的所有地址和位。

表17.

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)	备注
芯片配置寄存器											
0x00	SPI端口配置 (全局)	0	LSB 优先	软复位	1	1	软复位	LSB 优先	0	0x18	半字节之间是镜像关系，使得无论在何种移位模式下，LSB优先或MSB优先模式寄存器均能正确记录数据。
0x01	芯片ID(全局)	8位芯片ID，位[7:0] AD9269 = 0x75								0x75	唯一芯片ID，用来区分器件；只读
0x02	芯片等级(全局)	禁用	速度等级ID，位[6:4] 20 MSPS = 000 40 MSPS = 001 65 MSPS = 010 80 MSPS = 011				禁用			N/A	唯一速度等级ID，用来区分器件；只读
器件索引和传送寄存器											
0x05	通道索引	禁用	禁用	禁用	禁用	禁用	禁用	ADC B (默认)	ADC A (默认)	0x03	设置这些位以决定片内哪一个器件接收下一个写命令；默认值为片内所有器件
0xFF	传送	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传送	0x00	从主移位寄存器向从移位寄存器同步传输数据
程序寄存器(可以由也可以不由器件索引进行索引)											
0x08	模式	外部掉电 使能 (局部)	外部引脚功能 0x00 = 完全掉电 0x01 = 待机 (局部)			禁用	禁用	00 = 芯片运行 01 = 完全掉电 10 = 待机 11 = 全芯片 数字复位(局部)		0x80	决定芯片的一般工作模式
0x09	时钟(全局)	禁用	禁用	禁用	禁用			禁用	占空比 稳定	0x00	
0x0B	时钟分频器 (全局)	禁用					时钟分频器，位[2:0] 时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频			0x00	分频比为该值加上1

地址 (十六 进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六 进制)	备注
0x0D	测试模式(局部)	用户测试模式 (局部) 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次		产生复位 PN长序列	产生复位 PN短序列	输出测试模式[3:0] (局部) 0000 = 关 (默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN 23序列 0110 = PN 9序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率				0x00	置1时, 测试数据 将取代正常数据 被置于输出 引脚上
0x0E	BIST使能	禁用	禁用	禁用	禁用	禁用	BIST启动	禁用	BIST使能	0x00	位0置1时, BIST 功能启动
0x10	失调调整(局部)	8位器件失调调整, 位[7:0](局部) 失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00	器件失调调整
0x14	输出模式	00 = 3.3 V CMOS 10 = 1.8 V CMOS		输出复用使能 (交错)	输出禁用 (OEB) (局部)	禁用	输出反转 (局部)	00 = 偏移二进制 01 = 二进制补码 10 = 格雷码 11 = 偏移二进制 (局部)		0x00	配置输出和数据 格式
0x15	OUTPUT_ADJUST	3.3 V DCO驱动强度 00 = 1条(默认) 01 = 2条 10 = 3条 11 = 4条		1.8 V DCO驱动强度 00 = 1条 01 = 2条 10 = 3条(默认) 11 = 4条		3.3 V 数据驱动强度 00 = 1条(默认) 01 = 2条 10 = 3条 11 = 4条		1.8 V 数据驱动强度 00 = 1条 01 = 2条 10 = 3条(默认) 11 = 4条		0x22	决定CMOS输出 驱动强度特性
0x16	OUTPUT_PHASE	DCO输出 极性 0 = 正常 1 = 反相 (局部)	禁用	禁用	禁用	禁用	输入时钟相位调整, 位[2:0](值 为相位延迟的输入时钟周期数) 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期			0x00	用于利用全局时 钟分频的器件上, 决定使用分频器 输出的哪一个相 位来提供输出时 钟; 内部锁存不 受影响
0x17	OUTPUT_DELAY	使能DCO 延迟	禁用	使能数据 延迟	禁用	禁用	DCO/数据延迟, 位[2:0] 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns			0x00	设置输出时钟的 精密输出延迟, 但不改变内部时 序
0x19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试 码1, LSB
0x1A	USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试 码1, MSB
0x1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试 码2, LSB
0x1C	USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试 码2, MSB
0x24	MISR_LSB	禁用	禁用	禁用	禁用	禁用	禁用	禁用	B0	0x00	MISR的低字节, 只读

AD9269

地址 (十六进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六进制)	备注
0x2A	特性	禁用	禁用	禁用	禁用	禁用	禁用	禁用	OR OE (局部)	0x01	禁用索引通道的OR引脚
0x2E	输出指定	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0 = ADC A 1 = ADC B (局部)	通道 A = 0x00 通道 B = 0x01	为输出通道指定ADC

数字特性控制

0x100	同步控制(全局)	禁用	禁用	禁用	禁用	禁用	时钟分频器仅与下一同步脉冲同步	时钟分频器同步使能	主机同步使能	0x01	
0x101	USR2	使能OEB (引脚47) (局部)	禁用			使能GCLK检测	运行GCLK	禁用	禁用SDIO下拉电阻	0x88	对小于5 MHz的时钟速率使能内部振荡器
0x110	QEC控制0	禁用	禁用	冻结直流	冻结相位	冻结增益	直流使能	相位使能	增益使能	0x00	
0x111	QEC控制1	禁用			禁用	禁用	驱动直流	驱动相位	驱动增益	0x00	
0x112	QEC增益带宽控制	禁用			KEXP_GAIN					0x02	
0x113	QEC相位带宽控制	禁用			KEXP_PHASE					0x02	
0x114	QEC直流带宽控制	禁用			KEXP_DC					0x02	
0x116	QEC初始增益0	初始增益, 位[7:0]								0x00	
0x117	QEC初始增益1	禁用	初始增益, 位[14:8]							0x00	
0x118	QEC初始相位0	初始相位, 位[7:0]								0x00	
0x119	QEC初始相位1	禁用			初始相位, 位[12:8]					0x00	
0x11A	QEC初始直流I 0	初始直流I, 位[7:0]								0x00	
0x11B	QEC初始直流I 1	禁用	初始直流I, 位[13:8]							0x00	
0x11C	QEC初始直流Q 0	初始直流Q, 位[7:0]								0x00	
0x11D	QEC初始直流Q 1	禁用	初始直流Q, 位[13:8]							0x00	

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息, 请参阅应用笔记AN-877: “通过SPI与高速ADC接口”。

同步控制(寄存器0x100)

位[7:3]—禁用

位2—时钟分频器仅与下一同步脉冲同步

如果主机同步使能位(地址0x100的位0)和时钟分频器同步使能位(地址0x100的位1)均为高电平, 则位2允许时钟分频器与它接收到的第一个同步脉冲同步, 并忽略其它同步脉冲。同步后, 时钟分频器同步使能位(地址0x100的位1)复位。

位1—时钟分频器同步使能

位1选通时钟分频器的同步脉冲。当位1和位0均为高电平时, 同步信号使能; 只要同步控制位(位2)为低电平, 器件就会以连续同步模式工作。

位0—主机同步使能

要使能任何同步功能, 位0必须为高电平。

USR2(寄存器0x101)

位7—使能OEB(引脚47)

此位通常置位高电平, 允许引脚47用作输出使能。如果此位置于低电平, 则引脚47禁用。

位[6:4]—禁用

位3—使能GCLK检测

此位通常置于高电平, 使能一个检测约5 MSPS以下编码速率的电路。当检测到编码速率较低时, 内部振荡器GCLK使能, 以确保多个电路能够正常工作。如果此位置于低电平, 则检测器禁用。

位2—运行GCLK

此位使能GCLK振荡器。对于某些编码速率低于10 MSPS的应用, 最好将此位置于高电平, 以取代GCLK检测器。

位1—禁用**位0—禁用SDIO下拉电阻**

此位可以置于高电平以禁用SDIO引脚内置的30 kΩ下拉电阻；当许多器件连接到SPI总线时，它可以用来限制负载。

QEC控制0(寄存器0x110)**位[7:6]—禁用****位[5:3]—冻结直流/冻结相位/冻结增益**

这三位分别用于冻结正交误差校正(QEC)的直流、相位和增益失调校正。置位高电平时，QEC应用冻结值，正交误差估算中止。

位[2:0]—直流使能/相位使能/增益使能

这三位分别用于使能直流、相位和增益失调校正。

QEC控制1(寄存器0x111)**位[7:3]—禁用****位2—驱动直流**

置位高电平时，此位驱动来自寄存器0x11A、0x11B(针对I数据)和来自寄存器0x11C、0x11D(针对Q数据)的初始静态校正。值。

位1—驱动相位

置位高电平时，此位驱动来自寄存器0x118和0x119的初始静态校正。值。

位0—驱动增益

置位高电平时，此位驱动来自寄存器0x116和0x117的初始静态校正。值。

QEC增益带宽控制(寄存器0x112)**位[7:5]—禁用****位[4:0]—KEXP_GAIN**

这三位调整用于正交误差校正的增益控制反馈环路的时间常数。

QEC相位带宽控制(寄存器0x113)**位[7:5]—禁用****位[4:0]—KEXP_PHASE**

这三位调整用于正交误差校正的相位控制反馈环路的时间常数。

QEC直流带宽控制(寄存器0x114)**位[7:5]—禁用****位[4:0]—KEXP_DC**

这三位调整用于正交误差校正的直流控制反馈环路的时间常数。

QEC初始增益0、QEC初始增益1(寄存器0x116和0x117)**位[14:0]—初始增益**

当驱动增益位(寄存器0x111的位0)置位高电平时，这些值用于增益误差校正。

QEC初始相位0、QEC初始相位1(寄存器0x118和0x119)**位[12:0]—初始相位**

当驱动相位位(寄存器0x111的位1)置位高电平时，这些值用于相位误差校正。

QEC初始直流I 0、QEC初始直流I 1(寄存器0x11A和0x11B)**位[13:0]—初始直流I**

当驱动直流位(寄存器0x111的位2)置位高电平时，这些值用于直流误差校正。

QEC初始直流Q 0、QEC初始直流Q 1(寄存器0x11C和0x11D)**位[13:0]—初始直流Q**

当驱动直流位(寄存器0x111的位2)置位高电平时，这些值用于直流误差校正。

应用信息

设计指南

在进行AD9269的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

强烈建议使用两个独立的电源为AD9269供电：一个用于模拟端(AVDD, 1.8 V)，一个用于数字输出端(DRVDD, 1.8 V至3.3 V)。如果必须共用一个1.8 V AVDD和DRVDD电源，则必须用铁氧体磁珠或滤波扼流圈隔离AVDD与DRVDD域，并分别用去耦电容去耦。可以使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9269仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

裸露焊盘(引脚0)是AD9269的唯一接地连接，因此，必须将它连接到客户PCB上的模拟地(AGND)。为实现最佳的电气性能和热性能，PCB上裸露(无阻焊膜)的连续铜平面应与AD9269的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

VCM

VCM引脚应通过一个0.1 μ F电容去耦至地(见图41)。

RBIAS

AD9269要求用户将—10 k Ω 电阻置于RBIAS引脚与地之间。该电阻用来设置ADC内核的主基准电流，该电阻容差至少为1%。

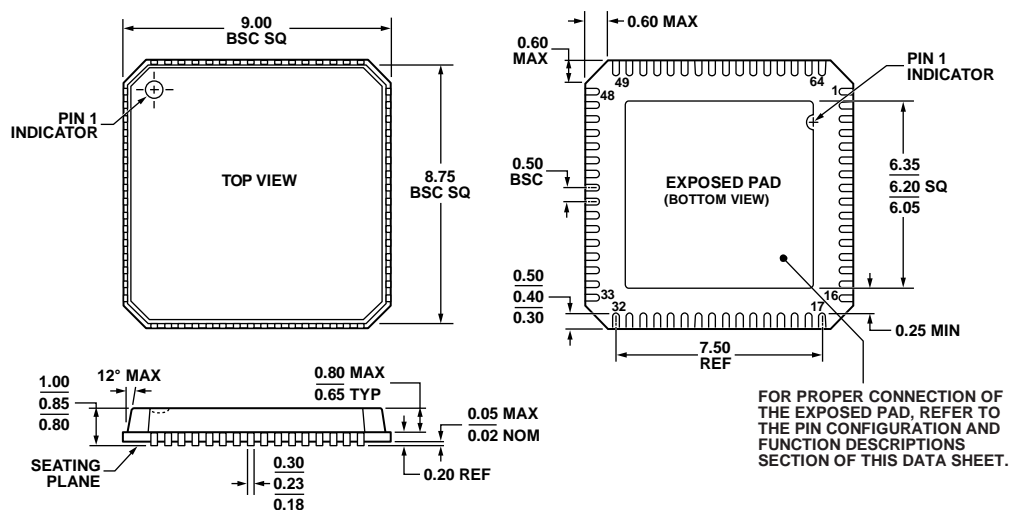
基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9269之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

09/17/07-C

图60. 64引脚引脚架构芯片级封装[LFCSP_VQ],
9 mm x 9 mm超薄四方体(CP-64-4),
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装描述
AD9269BCPZ-80 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZRL7-80 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZ-65 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZRL7-65 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZ-40 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZRL7-40 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZ-20 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269BCPZRL7-20 ²	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-4
AD9269-80EBZ		评估板	
AD9269-65EBZ		评估板	
AD9269-40EBZ		评估板	
AD9269-20EBZ		评估板	

¹ Z = 符合RoHS标准的器件

² 裸露焊盘(引脚0)是芯片上的唯一接地连接, 必须连接到PCB AGND。

AD9269

注释

注释

注释