



RJM8L003 系列数据手册

低功耗通用 MCU

特性

■ 操作条件

- 工作电压范围: 2.0V ~ 5.0V
- 工作温度范围: -40°C ~ 85°C

■ 低功耗特性 (5 种模式)

- Halt (0.6uA)
- Active Halt (0.85uA)
- Low Power Wait (72uA@32KHz)
- Low Power run (85uA@32KHz)
- wait (0.4mA@16MHz)
- 正常工作功耗: <4mA
- Halt 模式快速唤醒时间: 10us

■ 高性能 8 位 8051 内核

- 主频为 16MHz, 可进行 1/2/4/16 分频, 系统默认工作频率为 8MHz
- 支持 30 路中断源
- 16bit 乘法运算和 32/16bit 除法运算

■ 复位和电源管理

- 低功耗 POR/PDR/BOR
- 支持 7 档可编程电压检测单元 (PVD)

■ 时钟管理

- 支持外部 16MHz 有源/无源时钟
- 支持外部 32.768KHz 时钟
- 内置 16MHz 高速 RC 振荡器
- 内置 32KHz 低速 RC 振荡器

■ 低功耗 RTC

- 带有报警中断的日历

■ 存储器

- 4KB 的 SRAM
- 程序存储器: 32KB
- 灵活的读写保护模式

■ 12 位 ADC

- 7 通道 12 位 ADC
- 采样转换率高达 1MSPS
- 支持外部 IO 与定时触发
- 支持 Vref 内部基准电压, 也可输出至片外供其他器件使用

■ 定时器

- 2 个 16 位基本定时器
- 1 个 16 位通用定时器
- 1 个 16 位高级定时器, 带 3 个通道, 支持输入捕获/输出比较/PWM 生成, 互补输出/死区和刹车
- 1 个 16 位低功耗定时器
- 内置 1 个看门狗定时器, 支持中断/复位模式

■ 通信接口

- 1 路 I²C 主从机接口
- 1 路 SPI 主从机接口
- 2 路 UART 接口
- 1 路 LP_UART 接口

■ 安全特性

- 1 路硬件真随机数发生器

■ 多达 17 个 I/O, 都可以映射到中断向量

■ 32bit UID

■ 两线调试接口 RJSWD

■ 软件支持

- Keil realview MDK

■ 封装形式

- TSSOP20
- QFN20
- SOP16
- SOP14

目录

1 说明	4
2 简介	5
2.1 概述	5
2.2 功能框图	5
3 规格说明	5
3.1 低功耗模式	5
3.2 处理器	6
3.3 存储单元	6
3.4 复位和电源管理	7
3.4.1 供电规则	7
3.4.2 电源监控	7
3.4.3 复位	7
3.5 时钟管理	8
3.6 低功耗 RTC	8
3.7 模数转换器 (ADC)	9
3.8 定时器 (TIMERS)	9
3.8.1 基本定时器 (Timer0/1)	9
3.8.2 通用定时器 (Timer2)	9
3.8.3 高级定时器 (Timer3)	10
3.8.4 低功耗定时器 (LPTIMER)	10
3.9 看门狗定时器 (WDT)	10
3.10 通信接口	11
3.10.1 SPI 接口	11
3.10.2 I2C 接口	11
3.10.3 UART	11
3.10.4 LPUART	12
3.10.5 通用 I/O 口	12
3.11 安全特性及物理防护	13
3.11.1 随机数发生器 (RNG)	13
3.11.2 物理防护	13
3.12 乘除法器 (MDU)	13
4 引脚定义	14
4.1 引脚定义图: TSSOP20	14
4.2 引脚定义图: QFN20	14
4.3 引脚定义图: SOP16	15
4.4 引脚定义图: SOP14	15
4.5 引脚描述	16
5 存储映射	17
5.1 地址映射	17

5.2 存储器保护	17
6 中断服务单元	18
6.1 中断源	18
6.2 中断优先级	19
7 电气参数	21
7.1 测试条件	21
7.1.1 最小和最大数值	21
7.1.2 典型数值	21
7.1.3 典型曲线图	21
7.2 最大额定参数	21
7.3 操作条件	22
7.4 通用 IO 特性参数	22
7.5 ADC 特性参数	23
7.6 上电特性	24
8 芯片封装信息	25
8.1 封装形式: TSSOP20	25
8.2 封装形式: QFN20	25
8.3 封装形式: SOP16	26
8.4 封装形式: SOP14	27
9 订货信息	28
10 版本修订	29

1 说明

本文档为 RJM8L003 系列的数据手册，主要用于客户初期的选型使用，后期的开发请参考 RJM8L003 系列的用户手册。在本文档中会详细的介绍 RJM8L003 系列的内部存储资源、外设资源、电气特性、引脚定义、器件的机械特性和订购信息。

2 简介

2.1 概述

RJM8L003 系列是一款 8051 增强型单片机。芯片内置 256B 内部数据存储器, 4KB 的 SRAM, 32KB 的 FLASH, 具备快速中断响应, 高效低功耗设计, 多种休眠模式。支持真随机数发生器。芯片提供了多种外围接口: SPI、I2C、UART、LP_UART、GPIO。

2.2 功能框图

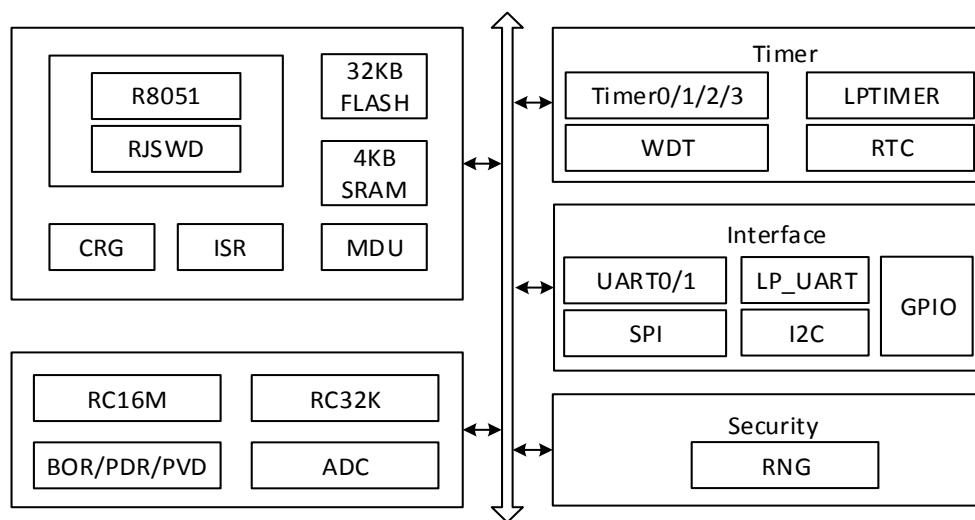


图 2-1 RJM8L003 功能框图

3 规格说明

3.1 低功耗模式

RJM8L003 支持 5 种低功耗模式，以便用户在低功耗、唤醒时间以及唤醒源之间选择最优的解决方案。在系统复位撤销以后 RJM8L003 默认处于正常工作模式，正常工作状态下系统时钟为内部 16MHz 二分频高速时钟。

- **Halt 模式:** 系统所有时钟停止，系统不掉电，RAM 处于保持状态。Halt 模式下，可以配置多个外设作为唤醒源。唤醒过程中不涉及重新上下电，唤醒后 CPU 从上次进入 Halt 低功耗处接着运行。
- **Active Halt 模式:** CPU 和外设时钟停止，但内部 32K RC 低速振荡器或外部 32.768K

低速晶振开启，除 Halt 模式下列出的唤醒源外，RTC、LPTIMER、LPUART 也可将系统从 Active Halt 模式唤醒到正常工作模式。

- **Wait 模式：**除 CPU 时钟停止外，其他模块均正常工作，系统工作在内部高速 RC 振荡器或外部高速晶振下。外设中断可将系统从 Wait 模式唤醒到正常工作模式。与 Halt 模式相比，Wait 模式唤醒时间非常短，唤醒源有效后，只需 3 个系统时钟周期可切换到正常工作模式。
- **Low Power Wait 模式：**与 Wait 模式相比，Low Power Wait 模式下系统工作在内部低速时钟（16M 时钟分频到 1M 或 32K 内部低速时钟）或外部低速时钟下。
- **Low Power Run 模式：**CPU 和选定的外设运行，程序运行在 SRAM 中，此时时钟为低速时钟。Flash、16MHz RC OSC、VR 等处于低功耗模式。

3.2 处理器

基于 8051 设计而成的处理器核，它是一个简洁的，一体化模块，集成了下列功能：

- 采用哈佛结构，具有独立的程序和数据空间；
- 程序存储器的读写能力和外部等待状态共享程序和外部数据存储器接口；
- 片上存储器（256B 的 IRAM）接口；
- 内部和外部的（对于整个 8051）特殊功能寄存器接口；
- 紧凑的指令解码器和指令执行机；
- 8 位 ALU，可进行加法、减法、逻辑运算、位操作；
- 16x16bit 乘法、16/16bit 除法和 32/16bit 除法、移位；
- 16 位程序计数器；
- 1 或 2 级数据指针；
- SFR 总线多路复用器接口；
- 看门狗定时器接口；
- 调试接口；

3.3 存储单元

- **FLASH 非易失性存储器：32KB 的存储器**
 - FLASH 非易失性存储器
 1. 扇区：128B/扇区，共 256 个扇区；
 2. 擦除方式：DMA 擦除（擦除一扇区），擦除字节为 0xFF；
 3. 编程方式：DMA 编程，在每次编程之前进行擦除操作；
 4. 保护特性：使能存储器保护，芯片上电启动后进入保护模式，保护等级分为三级（高级别保护优先）：

- 一级：无保护；
 - 二级：可以连接仿真器和在 BOOT_RAM 模式运行，但是禁止仿真器和在 BOOT_RAM 模式读 FLASH；
 - 三级：禁止仿真器连接和在 BOOT_RAM 模式运行；
5. 在系统设置为低功耗等待（Low Power Wait）或低功耗运行（Low Power Run）模式时，存储器可配置为低功耗模式。
- 最小擦写次数 10 万次@100° C；
 - 最短数据保持时间 100 年@室温；
 - 可灵活用作代码区和数据区；
- 片上集成 4KB SRAM；
 - 256 字节内部数据存储器，包含 128 字节特殊功能寄存器。

3.4 复位和电源管理

3.4.1 供电规则

芯片要求供电范围为 2.0V ~ 5.0V 的工作电压（VDD）。外部供电引脚必须连接如下：

- VSS/VDD = 2.0V ~ 5.0V：用于 IO 以及芯片整体工作的外部电源。通过 VDD 引脚接入，对应的接地引脚为 VSS；
- VREFPE/VREFNE：ADC 模块的外部参考电压输入，可通过外部提供给 VREFPE/VREFNE 引脚，详见 ADC 电气特性；

3.4.2 电源监控

芯片集成了 PDR 模块，可实现上电复位（POR）和掉电复位（PDR）功能。

芯片集成了欠压复位电路（BOR）模块。5 个 BOR 阈值通过相应寄存器设置，从 1.7V 到 2.8V。当 VDD 低于规定阈值时，芯片处于复位状态，不需要任何的外部复位电路。

芯片集成了一个可编程电压检测器（PVD），监控 VDD 电源，并将其与 PVD 设置阈值进行比较。该 PVD 从 1.8V~3.0V 之间提供了 7 个不同的阈值，通过软件设置。当 VDD 低于阈值时，可引起状态标志位改变。PVD 中断极性可选，当中断使能且满足极性条件时，可触发中断进行及时处理。

3.4.3 复位

系统复位将复位所有寄存器至它们的复位状态。当发生以下事件时，将产生一个系统复位：

- NRST 引脚上的低电平（外部复位）
- 上/掉电复位
- 欠压复位
- 看门狗复位
- 模块软件复位

3.5 时钟管理

时钟控制器将来自不同振荡器的系统时钟分配给内核和外围设备。

- 时钟分频器：为了在速度和功耗之间得到最优的折衷，CPU 和外设的时钟频率可以通过软件设置分频进行调整；
- 时钟管理：为了降低功耗，时钟控制器可以停止 51 核、个别外设或存储器的时钟
- 系统时钟源：以下 5 个不同的时钟源可以被用作系统时钟：
 - 16MHz 外部高速晶振
 - 16MHz 外部有源晶振
 - 16MHz 内部高速 RC 振荡器
 - 32.768KHz 外部低速晶振
 - 32KHz 内部低速 RC 振荡器
- RTC 时钟源：使用外部 32.768KHz 低速晶振或内部 32KHz RC 低速振荡器
- 启动时钟：复位后，系统默认以内部 8MHz（16M 二分频）高速时钟启动。只要代码开始执行，应用程序可以更改时钟源以及分频比。

3.6 低功耗 RTC

芯片有一个独立的实时时钟（RTC），它提供了一个时钟和可编程的闹钟。RTC 还包括一个用于唤醒低功耗的单元。

RTC 包含了对世纪/年/月/日/小时（24 小时制）/分/秒的二进制编码，对 28 天、29 天（闰年）、30 天和 31 天的月份自动执行调整。

- 时钟源可为片外 32.768KHz 低速晶振、内部 32KHz 低速 RC 振荡器；
- 日历功能：世纪、年、月、日、时、分、秒，支持月份天数自动调整；
- 周期定时功能：支持 1s、1min、1h、1d 产生周期 tick 中断；
- 闹钟功能：当日历时间与设置的闹钟时间匹配时，产生 Alarm 中断。

3.7 模数转换器 (ADC)

- 12 位分辨率，提供 7 个功能通道；
- 转换速率高达 1MSPS (16M 时钟下)；
- 单端输入和差分对输入方式；
- 单次转换和连续转换模式；
- 触发转换源：外部 IO 输入信号、TIMER2/3 和 LPTIMER 定时；
- 外部触发转换模式：上升沿触发、下降沿触发、双沿触发；
- VREF 模块，支持内部 2.4V 参考电压，也可输出至片外供其他器件使用；
- 转换结束时可以产生中断；
- 内置校准单元。

3.8 定时器 (Timers)

3.8.1 基本定时器 (Timer0/1)

芯片有 2 个独立的、向上计数的基本定时器：TIMER0 和 TIMER1。每个定时器都可以用来作为时基发生器，具有溢出中断功能。

- 最大 16 位递增定时器；
- TIMER0 有 4 种工作模式：13 位定时器、16 位定时器、8 位自动重载定时器、拆成两个 8 位定时器；
- TIMER1 有 3 种工作模式：13 位定时器、16 位定时器、8 位自动重载定时器；
- 在计数溢出时产生中断。

3.8.2 通用定时器 (Timer2)

芯片有 1 个带有可编程分频器、向上计数的 16 位通用定时器：TIMER2。

- 16 位向上计数和自动重载计数器
- 2 种工作模式：
 - 基本定时模式
 - 门控定时模式
- 可更改的计数分频 (系统时钟的 12 分频/24 分频)
- 如下事件发生时可产生中断：
 - 向上计数溢出
 - 外部重载

3.8.3 高级定时器 (Timer3)

芯片有 1 个 16 位高级定时器：TIMER3。适用于多个用途，包括基本的定时、测量输入信号脉冲宽度、产生输出波形（输出比较，PWM），以及对应不同事件（溢出、捕获、比较、刹车）的中断。

- 16 位的向上、向下和向上/向下交替计数自动重载计数器
- 多达 3 个独立通道，可以配置成：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿对齐和中央对齐）
 - 支持互补输出，并且死区时间可编程
- 刹车输入信号可以将定时器输出信号置于已知状态
- 刹车输入信号可进行数字滤波
- 产生中断的事件包括：
 - 溢出：计数器向上、向下溢出
 - 外部重载
 - 捕获输入
 - 输出比较
 - 刹车信号输入

3.8.4 低功耗定时器 (LPTIMER)

芯片有 1 个 16 位的低功耗定时/计数器：LPTIMER。作定时器使用时，每个低速时钟周期，计数器加 1；作计数器使用时，检测到外部管脚 P06 的沿事件，计数器加 1。

- 16 位递增自动重载定时/计数器；
- 工作时钟为低速时钟：片外 32.768K 低速晶振、内部 32K RC 低速振荡器；
- 作为计数器使用时，计数事件可选上升沿、下降沿或者双沿；
- 具有 halt 模式下唤醒功能；
- 中断在 UEV (Update Event) 事件时产生：计数器往上从 0 计数到自动重载值，重新从 0 开始并产生一个计数溢出事件。

3.9 看门狗定时器 (WDT)

看门狗定时器 (WDT) 采用 15 位的递增计数器，从可编程的加载值计数到溢出值。当计数

器计数到溢出值时，如果看门狗动作设为复位，则看门狗模块输出复位信号，复位系统；如果看门狗动作设为中断，则触发看门狗中断，如果在中断中未及时进行喂狗操作（重新设置加载值），则产生复位信号复位系统。用户可以通过设置看门狗使能位来停止/启动计数器。

- 15 位的递增计数器；
- 可选择的计数时钟周期；
- 可编程装载值；
- 看门狗中断和复位请求都有相应的屏蔽位，默认是关闭（即不能产生中断和复位请求）。

3.10 通信接口

3.10.1 SPI 接口

芯片有 1 路 SPI 主/从接口，用于与 SPI 外设之间进行全双工、全同步、串行通讯。SPI 接口可以工作在查询或中断方式下。

- 可选择主/从模式；
- 可配置的传输速率，支持主时钟的 1、2、4、8、16、32、64、128 分频；
- 主机支持 Mode0/1/2 /3 四种传输协议；
- 从机仅支持 Mode0；
- 支持 SPI 四线传输；
- 支持 8 位的串行传输，高位先出；

3.10.2 I2C 接口

芯片有 1 路 I2C 主/从接口，通过数据引脚 SDA 和时钟引脚 SCL 与 I2C 外设进行通信。

- I2C 主/从设备功能；
- 可编程的 I2C 从设备地址；
- 可编程的 ACK/NACK 应答；
- 主机模式支持 100Kbps、400Kbps 两种速率；
- 从机模式支持 100Kbps 速率；
- 支持 7bit 设备地址；
- 独立的发送 FIFO 和接收 FIFO，深度均为 4 字节；

3.10.3 UART

芯片有 2 路 UART 接口：UART0 和 UART1。UART 是一种通用串行数据总线，用于异步

通信。该总线双向通信，可以实现全双工传输。UART 接口可以工作在查询或中断方式下。

- 16 位的波特率分频因子；
- 两种工作模式：模式 1、模式 3；
- 可编程数据位宽（8/9bit）；
- 模式 3 下支持多机通信；
- 模式 3 下支持校验控制；
- 支持接收与发送中断；

3.10.4 LPUART

芯片有 1 路 LPUART 接口。LPUART 是一种低功耗的通用异步收发器，允许以低功耗进行半双工通信。在低速时钟下，允许最高的通信速率为 9600 波特率。切换到高速时钟，可进行全双工和实现更高的波特率通信。

- 工作频率可选（高速时钟：系统时钟的 1/2/4/16 分频；低速时钟：片外 32.768K 晶振、片内 32K RC 振荡器）；
- 高速时钟下支持全双工通信，低速时钟下支持半双工通信；
- 32 位的可编程波特率；
- 可产生接收完成中断；
- 具有 halt 模式下唤醒功能；
- 奇偶校验可选。

3.10.5 通用 I/O 口

芯片有 3 组 GPIO 通用输入/输出接口：GPIO0、GPIO1 和 GPIO2。GPIO 引脚多达 17 个，视具体封装而定，每个引脚都可以被独立编程作为数字输入或数字输出口。另外部分端口还可以作为模拟输入、外部中断、片上外设的输入/输出等复用功能。在同一时刻仅有一个复用功能可以映射到引脚上。复用功能可通过相关寄存器进行控制。此外，每个端口都可作为外部中断信号输入。

每个端口都分配有一个输出/输入数据寄存器，一个数据方向寄存器。

- GPIO 端口的各个位可以被单独配置：上拉/下拉、输入/输出；
- 片上外设的 IO 功能复用；
- 外部中断可以单独使能和关闭（支持边沿触发和电平触发）；
- 管脚输出驱动能力：4.5mA(3.3V)/6mA(5V)。

3.11 安全特性及物理防护

3.11.1 随机数发生器（RNG）

内嵌一组 8 位真随机数发生器，以满足某些应用中的安全交易流程需要；

- 随机数发生器是数字振荡环方式真随机数发生器（DTRNG）；
- 符合国际 FIPS-140-2 和 NIST SP800-22 测试标准；
- 符合国密局《随机数检测规范》测试标准；

3.11.2 物理防护

提供芯片级 ESD 防护水平和高可靠性安全防护算法，有效防止抄板，以及代码反向分析。

- 芯片级安全系统级防护策略；
- 片内 FLASH、RAM 等存储单元数据高强度加密及串扰防护。

3.12 乘除法器（MDU）

芯片集成一个算术协处理器，使高性能的 8051 执行额外的扩展算术运算。

- 支持 32 位/16 位除法、16 位/16 位除法；
- 支持 16 位*16 位乘法；
- 移位和标准化操作。

4 引脚定义

4.1 引脚定义图：TSSOP20



图 4-1 TSSOP20 引脚封装

4.2 引脚定义图：QFN20

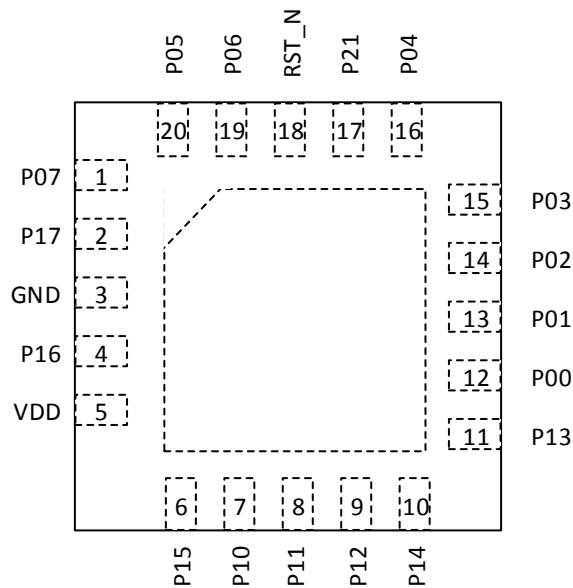


图 4-2 QFN20 引脚封装

4.3 引脚定义图：SOP16

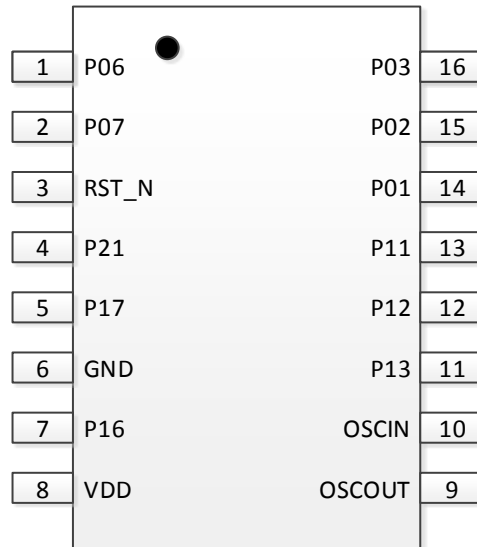


图 4-3 SOP16 引脚封装

4.4 引脚定义图：SOP14

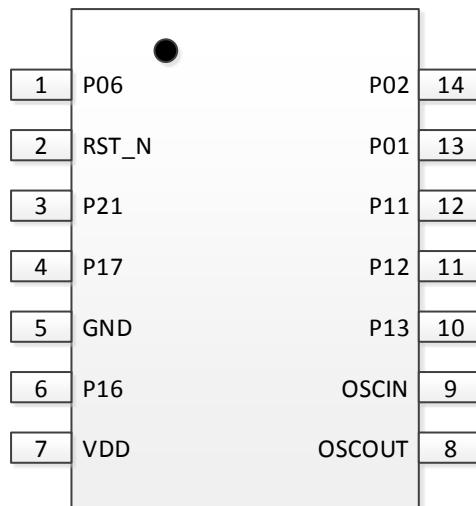


图 4-4 SOP14 引脚封装

4.5 引脚描述

表 4-1 RJM8L003 引脚描述

TSSOP20	QFN20	SOP16	SOP14	引脚名称	复用功能寄存器配置						
					模拟/数字功能选择 (AD_SEL): 1: 管脚模拟功能 (AF); 0: 管脚数字功能 (DF0-DF3);						
					数字功能复用控制 (DF_SEL): 0: DF0; 1: DF1; 2: DF2; 3: DF3;						
					DF0	DF1	DF2	DF3	AF	AD_SEL	DF_SEL
1	20			P05	GPIO05	TIM2_ETR 事件触发通道	TIM3_CAP7	TIM3_CC1 比较通道 1	ADC_IN4	adc_sel[4]	iocfg_ctr1[3:2]
2	19	1	1	P06	GPIO06	LPTIM_ETR 事件触发通道	UART0_TX	SPI_CLK	ADC_IN3	adc_sel[3]	iocfg_ctr1[5:4]
3	1	2		P07	GPIO07		UART0_RX	SPI_MISO	ADC_IN2	adc_sel[2]	iocfg_ctr1[7:6]
4	18	3	2	RST_N							
5	17	4	3	P21	GPIO21	clk_16m_in 高速有源晶振	LP_UART_TX	SPI_MOSI	ADC_IN1	adc_sel[1]	iocfg_ctr4[1:0]
6	2	5	4	P17	GPIO17	TIM3_ETR 事件触发通道	LP_UART_RX	SPI_CS	ADC_IN0	adc_sel[0]	iocfg_ctr3[7:6]
7	3	6	5	GND							
8	4	7	6	P16	RJ_SDA	GPIO16	UART1_TX	IIC_SDA			iocfg_ctr3[5:4]
9	5	8	7	VDD							
10	6			P15	GPIO15	SPI_CS	TIM3_CAP8	TIM3_CC2 比较通道 2			iocfg_ctr3[3:2]
				32K_0							
				32K_I							
		9	8	16M_0							
		10	9	16M_I							
11	10			P14	GPIO14	IIC_SDA	TIM3_CC0N 比较互补通道 0	TIMER3_BKIN			iocfg_ctr3[1:0]
12	11	11	10	P13	GPIO13	IIC_SCL	ADC_ETR 外部触发通道	TIM3_ERT 外部重载触发			iocfg_ctr2[7:6]
13	9	12	11	P12	GPIO12	TIM3_CC0 比较通道 0	TIM3_CAP0	TIM2_ERT 外部重载触发			iocfg_ctr2[5:4]
14	8	13	12	P11	GPIO11	TIM3_CC0N 比较互补通道 0	TIM3_CAP1	osc_32k_out			iocfg_ctr2[3:2]
15	7			P10	GPIO10	TIM3_CC1 比较通道 1	TIM3_CAP2	SPI_CLK			iocfg_ctr2[1:0]
16	12			P00	GPIO00	TIM3_CC1N 比较互补通道 1	TIM3_CAP3	SPI_MOSI	ADC_REF N	adc_sel[8]	iocfg_ctr0[1:0]
17	13	14	13	P01	GPIO01	TIM3_CC2 比较通道 2	TIM3_CAP4	SPI_MISO	ADC_REF P	adc_sel[7]	iocfg_ctr0[3:2]

18	14	15	14	P02	RJ_SCK	GPIO02	UART1_RX	IIC_SCL			iocfg_ctr0[5:4]
19	15	16		P03	GPIO03	TIM3_CC2N 比较互补通道 2	TIM3_CAP5	16m_test_out	ADC_IN6	adc_sel[6]	iocfg_ctr0[7:6]
20	16			P04	GPIO04	TIM3_CC0 比较通道 0	TIM3_CAP6	ADC_ETR 外部触发通道	ADC_IN5	adc_sel[5]	iocfg_ctr1[1:0]

5 存储映射

5.1 地址映射

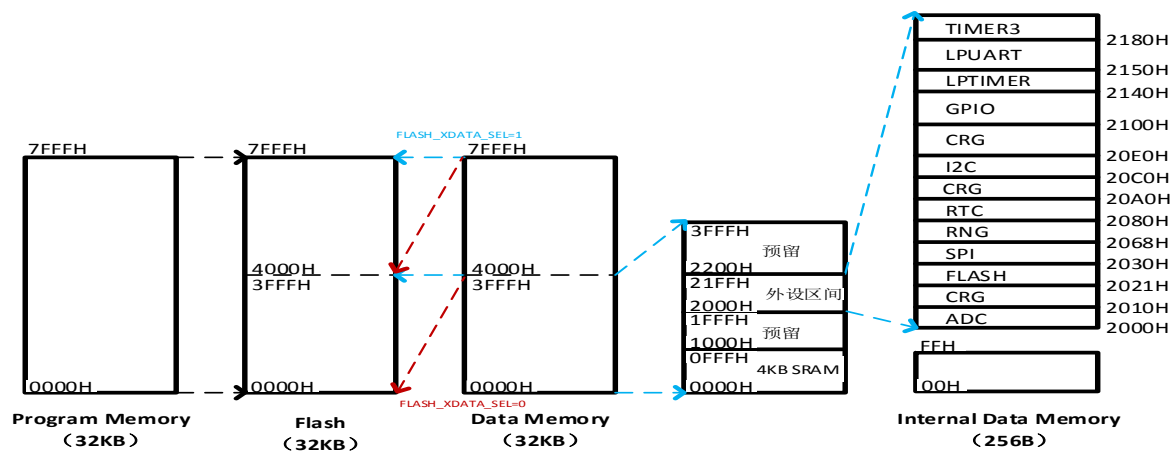


图 5-1 存储器地址映射

5.2 存储器保护

芯片支持 memory 存储器保护功能。使能存储器保护功能后 (PROTECT_MOD)，芯片上电启动后会进入保护模式，根据保护数据来使能保护级别，分三级（高级别保护优先）：

- 一级：无保护；
- 二级：可以连接仿真器和在 BOOT_RAM 运行，但是禁止仿真器和 BOOT_RAM 读 Flash；
- 三级：禁止仿真器连接和 BOOT_RAM 模式运行；

Memory 保护机制如下：在 memory 保护模式下，Flash 数据不可读；若想通过改变保护权限来读取 Flash 数据，则在改写 Memory 保护权限时，硬件会擦除主 Flash 区（main 区），再擦除 OTP 区（PROTECT_MOD 所在的 NVR 区），这样确保在 Memory 保护模式下，Flash 数据不被读出。

存储器保护位 PROTECT_MOD 需要使用提供的写函数写入，在下次上电时生效。

6 中断服务单元

中断服务程序单元(ISR)是 8051 的一个重要组成部分,它与 CPU 处理器内核紧密耦合,实现低中断延迟以及对新到中断的有效处理,外部中断信号连接到 ISR,ISR 将对这些中断进行优先级排序。

- 支持 30 路向量中断;
- 4 级可编程中断优先级;
- 支持中断嵌套;
- 中断可屏蔽。

6.1 中断源

每个中断源都有自己的请求标志,它位于中断源的设备中,没有中断请求标志是直接位于 ISR 中的。所有中断请求都是通过相应高电平输入到 ISR。通过相应的使能标志位(在“ien0”、“ien1”和“ien2”“ien3”“ien4”SFR 寄存器中),每个中断源都可以单独启用或禁用。此外,所有的中断可以在全局范围内启用或禁用“EAL”的标志位(在“ien0”SFR 寄存器中)。

所有中断源被分成 6 个中断组,每个中断组可以有 1 到 4 个中断优先级分配。中断优先级的定义是由位于“IP0”和“IP1”SFR 寄存器的标志决定。

表 6-1 中断源

中断号	中断源	备注	使能位	中断入口地址
Int0	PVD	PVD	IEN0.0	03
Int1	TIMER0	定时器 0 中断	IEN0.1	0b
Int2	GPIO0	GPIO0	IEN0.2	13
Int3	TIMER1	定时器 1 中断	IEN0.3	1b
Int4	UART0	串口 0 模块中断	IEN0.4	23
Int5	TIMER2	定时器 2 中断	IEN0.5	2b
Int6	Reserved			33
Int7	GPIO1	GPIO1	IEN1.1	3b
Int8	GPIO2	GPIO2	IEN1.2	43
Int9	Reserved			4b
Int10	Reserved			53
Int11	Reserved			5b
Int12	UART1	串口 1 模块中断	IEN2.0	63
Int13	SPI0	SPI0	IEN2.1	6b


Int14	Reserved			73
Int15	Reserved			7b
Int16	Reserved			83
Int17	I2C0	I2C0 主机/从机中断	IEN2.5	8b
Int18	RTC	RTC 模块中断	IEN3.0	93
Int19	WDT	看门狗模块中断	IEN3.1	9b
Int20	Reserved			a3
Int21	ADC	ADC 模块中断	IEN3.3	ab
Int22	Reserved			b3
Int23	LPTIMER	LPTIMER 中断	IEN3.5	bb
Int24	TIMER3	定时器 3 中断	IEN4.0	c3
Int25	Reserved			cb
Int26	LPUART	LPUART 模块中断	IEN4.2	d3
Int27	Reserved			db
Int28	Reserved			e3
Int29	Reserved			eb

6.2 中断优先级

表 6-2 中断优先级组（自然优先级）

中断组	组间自然优先级	最高优先级	较高优先级	中间优先级	次低优先级	最低优先级
Group0	最高优先级  最低优先级	Int0	Int6	Int12	Int18	Int24
Group1		Int1	Int7	Int13	Int19	Int25
Group2		Int2	Int8	Int14	Int20	Int26
Group3		Int3	Int9	Int15	Int21	Int27
Group4		Int4	Int10	Int16	Int22	Int28
Group5		Int5	Int11	Int17	Int23	Int29

表 6-3 可配置组间中断优先级

可配置优先级组	组间优先级	IP1.x bit	IP0.x bit
Level3	最高优先级 	1	1
Level2		1	0
Level1		0	1

Level0		0	0
--------	--	---	---

注：1.上表中 x 的值为 0,1,2,3,4,5，分别代表 Group0，Group1，Group2，Group3，Group4，Group5；例如，将 Group2 的中断优先级设为最高，则 IP1=0x04,IP0=0x04；

2. 当请求多个中断时，所有优先级类型都考虑在内。最重要的是由“IP0”和“IP1”寄存器决定的优先级，然后组间自然优先，最后在每个组组内的优先级；

3. 优先级高的中断可以打断优先级低的中断，反之则不行，同一时间最多有 4 个中断服务。

7 电气参数

7.1 测试条件

除非特别说明，所有电压的均参照 V_{SS} 。

7.1.1 最小和最大数值

除非特别说明，在生产线上通过对 100% 的产品在环境温度 $T_A=25^\circ\text{C}$ 和 $T_A=T_{Amax}$ 下执行的测试(T_{Amax} 与选定的温度范围匹配)，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

7.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}(2.0\text{V} \leq V_{DD} \leq 5\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

7.1.3 典型曲线图

除非另有规定，所有典型曲线只作为设计指导而未经测试。

7.2 最大额定参数

表 7-2-1：电压特性、表 7-2-2：电流特性和表 7-2-3：热特性中列出的绝对最大额定值以上的应力可能对设备造成永久性损坏。这些只是压力等级，不建议在这些条件下对设备进行功能操作。长时间暴露在最大额定值条件下可能会影响设备的可靠性。

表 7-2-1 电压特性

符号	指标	最小	最大	单位
$V_{DD}-V_{SS}$	外部供电（包括 ADC 参考电压引脚）	-0.3	5.5	V
V_{IN}	引脚输入电压容忍值	-0.3	5.5	V
V_{ESD}	静电放电电压（HBM）	± 6000	-	V
	静电放电电压（MM）	± 200	-	V

	静电放电电压 (CDM)	±1000	-	V
--	--------------	-------	---	---

表 7-2-2 电流特性

符号	指标	最小	最大	单位
I _{VDD}	V _{DD} 电源线总电流 (source)	-	50	mA
I _{VSS}	V _{SS} 地线总电流 (sink)	-	50	mA
I _{IO}	芯片单个引脚输出电流	-	6	mA

表 7-2-3 热特性

符号	指标	值	单位
T _{STG}	保存温度范围	-45 ~150	°C
T _J	最大结温	125	

7.3 操作条件

表 7-3-1 通用操作条件

符号	参数	条件	最小	最大	单位
f _{SYCLK}	系统时钟频率	2.0V ≤ V _{DD} ≤ 5.0V	0	16	MHz
V _{DD}	标准操作电压	-	2.0	5.0	V
T _A	温度范围	2.0V ≤ V _{DD} ≤ 5.0V	-40	85	°C
T _J	结温范围	-40°C ≤ T _A ≤ 85°C	-40	125	°C

7.4 通用 IO 特性参数

表 7-4-1 IO 电气特性

符号	参数	条件	最小	典型	最大	单位
V _{IL}	输入低电平的电压	V _{SS} ≤ V _{IN} ≤ V _{DD}	0	-	0.3V _{DD}	V
V _{IH}	输入高电平的电压		0.7V _{DD}	-	V _{DD}	
V _{OL}	输出低电平的电压	2.0 ≤ V _{IN} ≤ V _{DD}	0	-	-	V

V_{OH}	输出高电平的电压		-	-	VDD	
R_{PU}	上拉等效电阻	$V_{IN} = V_{SS}$	22	30	50	K Ω
R_{Pd}	下拉等效电阻	$V_{IN} = V_{DD}$	20	50	100	

7.5 ADC 特性参数

表 7-5-1 ADC 电气特性

符号	参数	条件	最小	典型值	最大	单位
供电及参考电压						
VDD	模块供电		2.0		5.0	V
VREFPE	外部正参考电压		1.5		5.0	V
VREFNE	外部负参考电压		0		0.5	
CLOAD	数字输出负载电容				0.1	pF
TA	环境温度		-40	25	105	$^{\circ}\text{C}$
模拟输入						
V_{AIN}	转换电压范围	单通道操作	V_{REF-}		V_{REF+}	V
C_{ADC}	内部采样和保持电容			2.6		pF
R_{AIN}	外部输入电阻				2000	Ω
R_{ADC}	采样切换电阻	$0V \leq V_{AIN} \leq V_{REF+}$		300		Ω
ADC 时间参数						
Fmclk	转换时钟频率				16	MHz
Fsamp	采样速率				2	MHz
Tmclk	转换时钟周期		31.25			ns
Tsamp	采样和保持时间		3.5		10.5	Tmclk
Tconv	转换时间			12.5		Tmclk
Tsp	单个采样和转换时间		16			Tmclk
Ton	ADC 上电时间		5			Tmclk
Teoc	转换结束时间			1		Tmclk
Tcal	校准时间			4096		Tmclk

ADC 直流精度						
RES	分辨率	校准后的测量		12		bits
ED	微分线性误差	校准后的测量, 使用直			± 1	LSB
EI	积分线性误差	方图方法得到			± 2	LSB
EO	偏移误差	校准后的测量, 利用最		± 1.5		LSB
EG	增益误差	佳拟合曲线得到		± 1.5		LSB
ET	未经调整总误差	校准后的测量		± 2		LSB
ADC 动态参数						
SNDR	信噪失真比	校准后的测量, 100K Hz	65			dB
THD	总谐波失真	正弦波输入, 低于满量		-75		dB
SFDR	无杂散动态范围	程 0 至 1db, 2MSps		80		dB

注: 以下ADC 参数由综合评估以及设计保证, 不在生产测试。

7.6 上电特性

表 7-6-1 上电特性参数

符号	参数	条件	最小	典型	最大	单位
tr	上升时间	$0 < V_I \leq 300\text{mV}$ @ $t = t_1$	0	-	500	ms
twait	等待时间		12	-	-	us
VI	输入电压	V_I on pin VDD @ $t = t_1$	0	-	300	mV

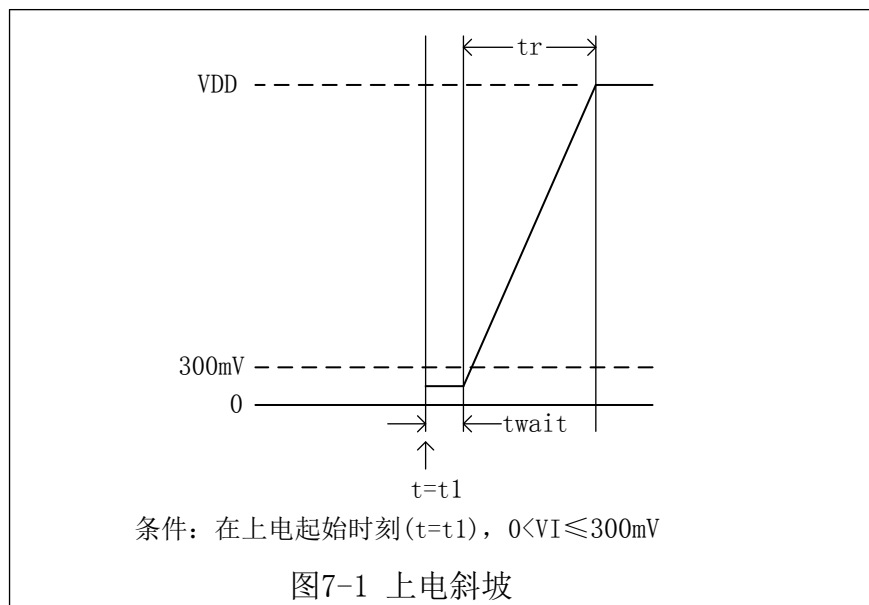
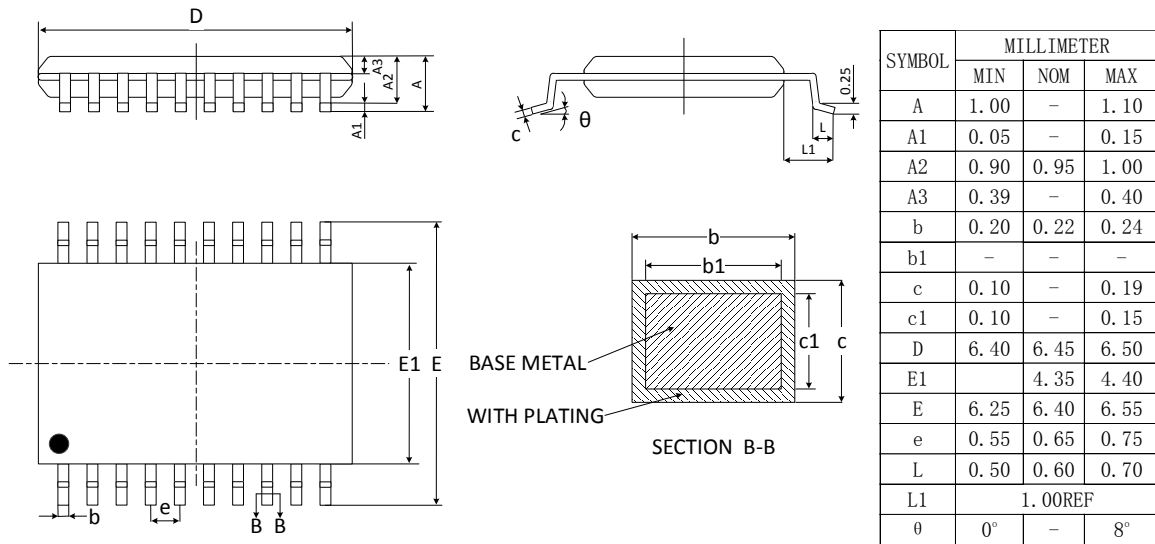


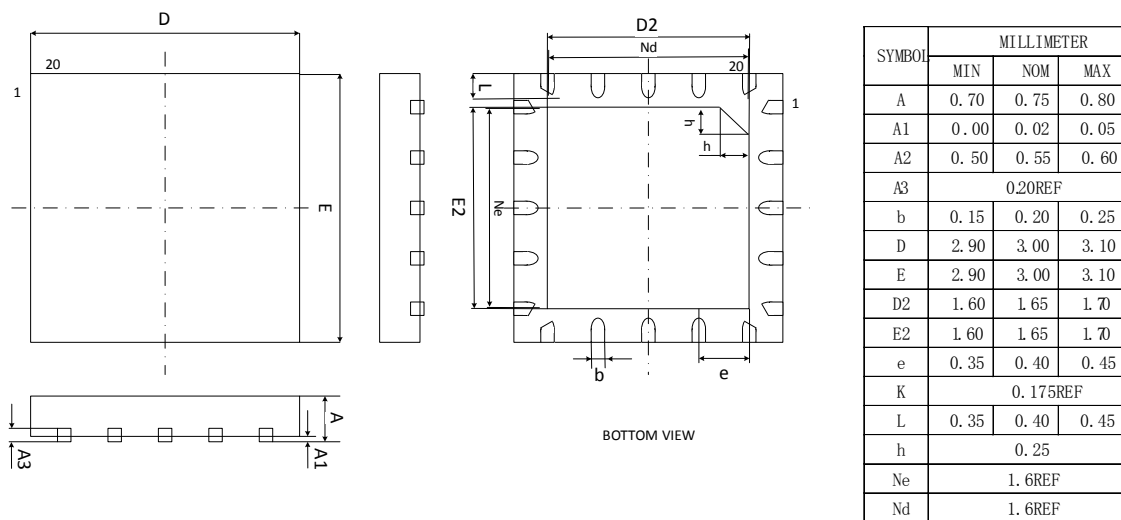
图7-1 上电斜坡

8 芯片封装信息

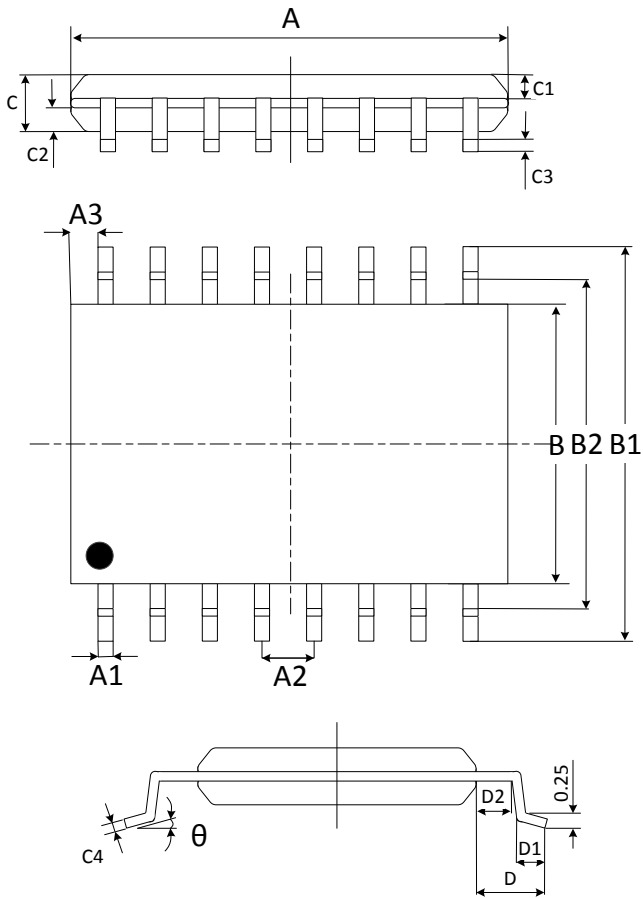
8.1 封装形式：TSSOP20



8.2 封装形式：QFN20

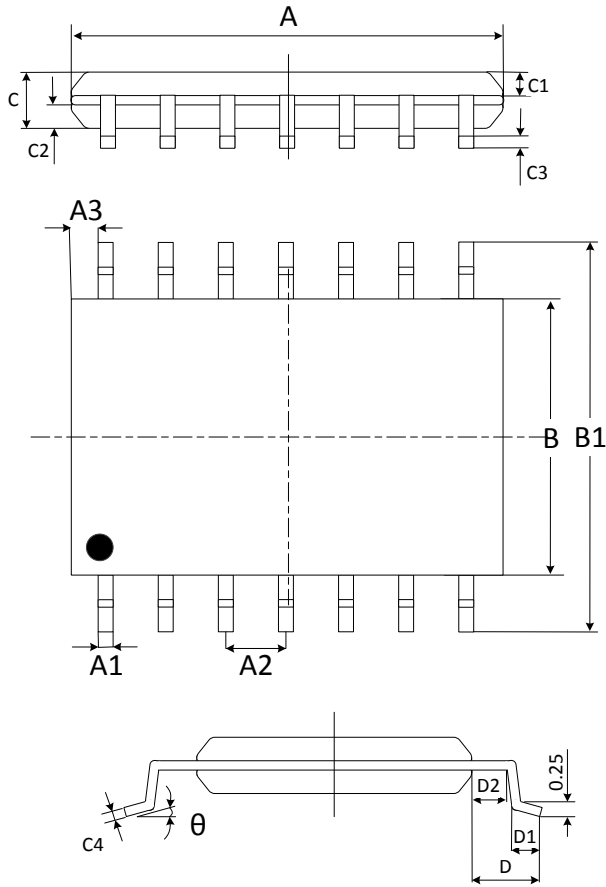


8.3 封装形式：SOP16



SYMBOL	MILLIMETER	
	MIN	MAX
A	9.80	10.00
A1	0.356	0.456
A2	1.27TYP	
A3	0.302TYP	
B	3.85	3.95
B1	5.84	6.24
B2	5.00TYP	
C	1.40	1.60
C1	0.61	0.71
C2	0.54	0.64
C3	0.05	0.25
C4	0.203	0.233
D	1.05TYP	
D1	0.40	0.70
D2	0.15	0.25
θ	0°	8°

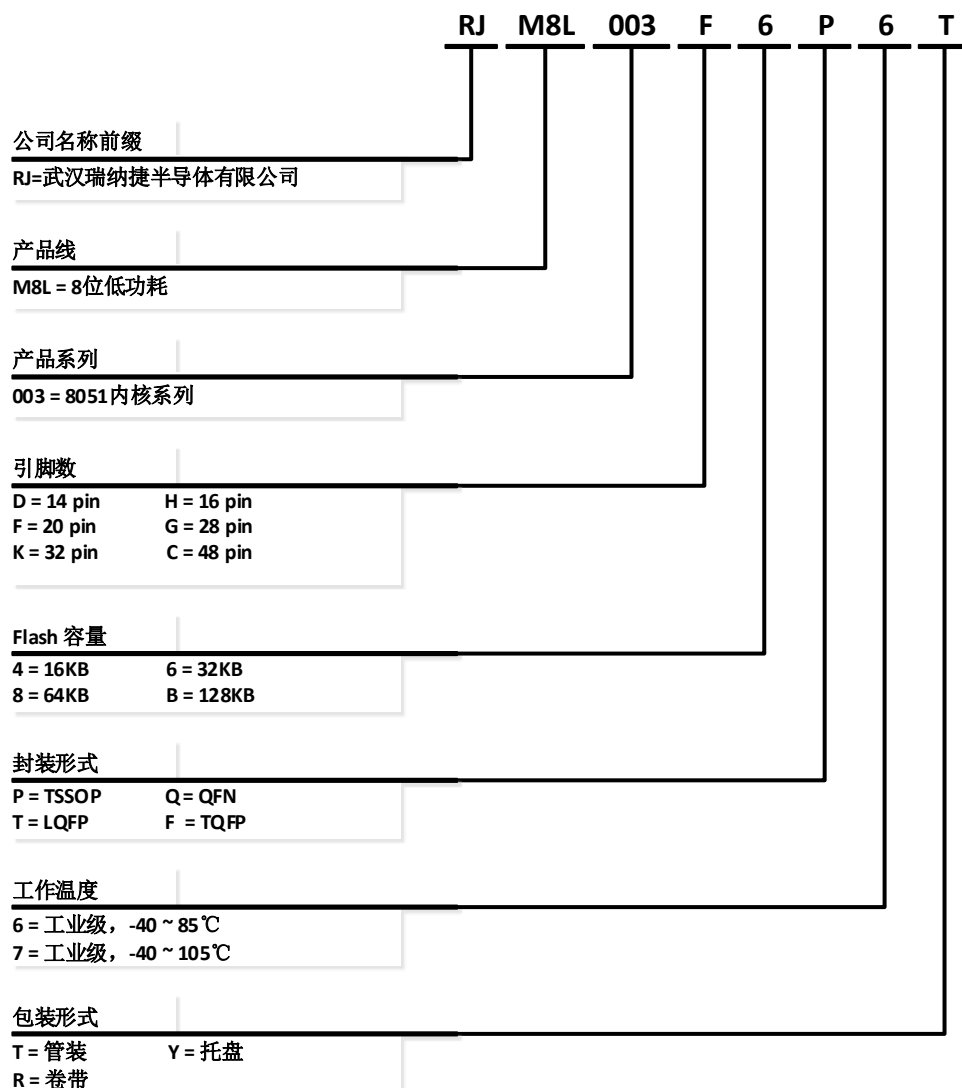
8.4 封装形式：SOP14



SYMBOL	MILLIMETER	
	MIN	MAX
A	8.55	8.75
A1	0.356	0.456
A2	1.27TYP	
A3	0.312TYP	
B	3.80	4.00
B1	5.80	6.20
C	1.40	1.60
C1	0.60	0.70
C2	0.55	0.65
C3	0.05	0.25
C4	0.193	0.213
D	0.95	1.15
D1	0.40	0.70
D2	0.20TYP	
θ	0°	8°

9 订货信息

器件型号	Flash	SRAM	封装形式	耐温
RJM8L003F6P6T	32KB	4KB	TSSOP20	-40°C ~ 85°C
RJM8L003F6P6R	32KB	4KB	TSSOP20	-40°C ~ 85°C
RJM8L003F6Q6R	32KB	4KB	QFN20	-40°C ~ 85°C
RJM8L003H6P6T	32KB	4KB	SOP16	-40°C ~ 85°C
RJM8L003D6P6T	32KB	4KB	SOP14	-40°C ~ 85°C



10 版本修订

版本	日期	作者	描述
V1.0	2022.02.21	邓勇	初始版本