



智能卡接口芯

片 HCM8035

功能特性简述

- 所有智能卡端口均具有短路保护功能
- Vcc 电压源：
 - a、外接 $2 \times 220\text{nF}$ 低 ESR 电容, 提供 5V, 3V, $1.8\text{V} \pm 5\%$ 电压
 - b、可提供 120mA 输出电流 (过流保护)
- 当智能卡或系统出现异常 (短路、取卡、过温、基准及电源掉电) 时, 通过硬件或软件控制自动停止 (恢复) 工作。
- 在卡接口处具有 $>8\text{KV}$ 的 ESD 耐受能力。
- 电源上掉电保护
 - a、内部阈值修正 (For VDDP)
 - b、外部电阻桥 (For VDD (INTF))
- 兼容银联标准卡
 - a、兼容 5V、3V、1.8V 智能卡电压
 - b、集成 DCDC 供电模块, 电压范围支持 2.7V~5.5V
 - c、深度睡眠模式中只有极小的功耗
- 提供三个具有 Buffer 的双向半双工 I/O 接口保护 (C4、C7、C8)
- 可使用最高 26Mhz 的外部时钟
- 通过 CLKDIV1、CLKDIV2 分频设定智能卡时钟最高可达 20MHz
- 通过 RSTIN 引脚同步控制 RST 信号
- 在于智能卡建立通讯中消除抖动
- OFFN 复用状态信号
- 通过片选信号可并联使用
- 采用 QFN32L 封装

概述

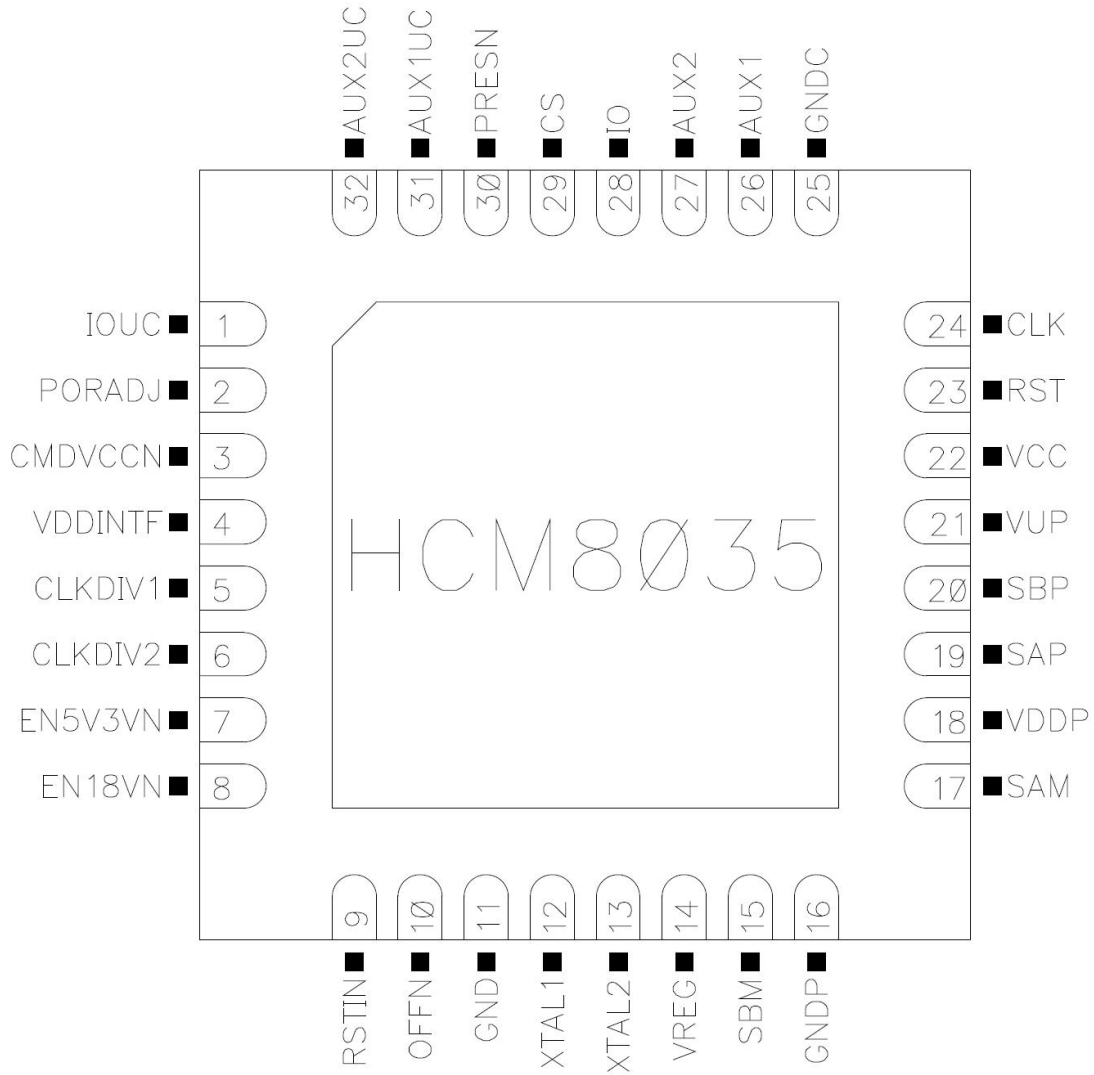
HCM8035 是一款简洁且低成本智能 IC 卡模拟接口芯片。内嵌升压模块, 支持 5V、3V、1.8V 全电压读写。具有全面的安全保护机制, 包括: ESD 保护、端口短路保护、电源上掉电保护。外围简洁, 元件数目少, 采用 QFN32L 封装。

应用

- IC 银行卡支付
- 电子支付
- 身份证
- 电视支付
- SIM 卡接口

管脚定义 (QFN32L

封装)

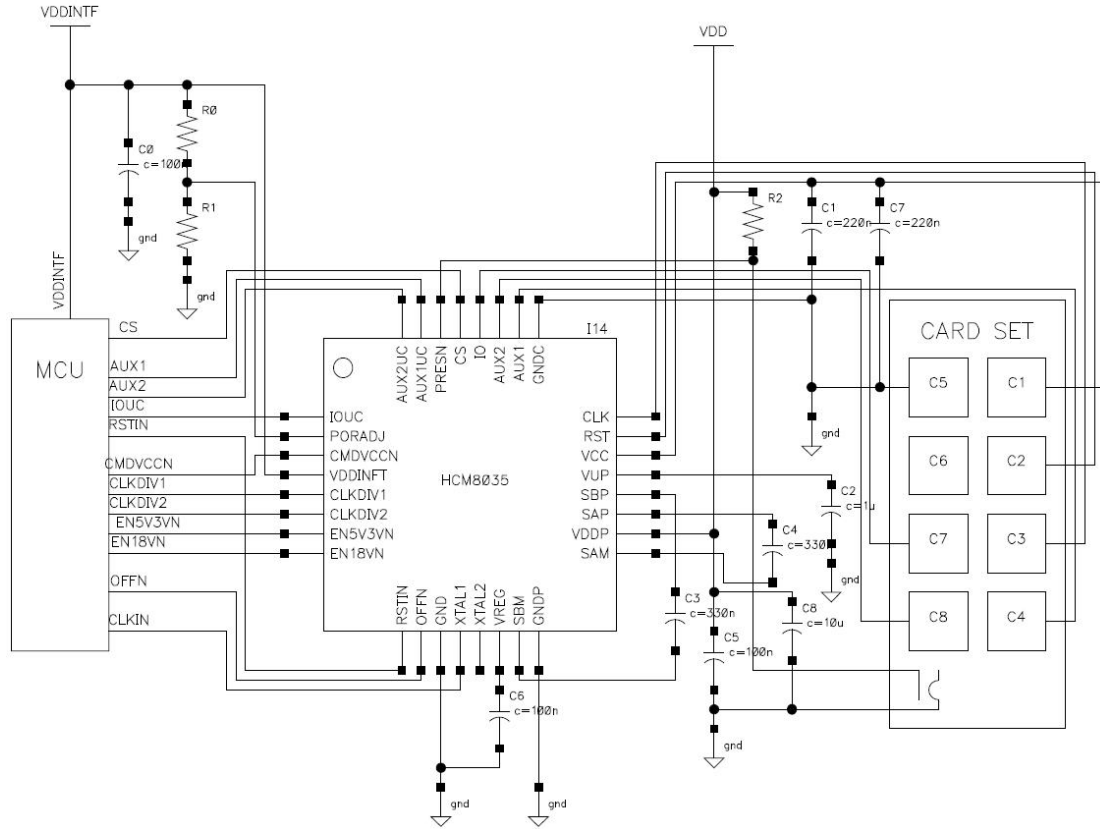


名称	序号	电源	类型	备注
IOUC	1	接口电源	I/O	主机数据 I/O 接口（内置电阻 10 kΩ 上拉至接口电源）
PORADJ	2	接口电源	I	接口电源保护监测输入；PORADJ 保护电压通过外接电阻桥设定阈值
CMDVCCN	3	接口电源	I	主机控制激活（低电平有效）
VDDINTF	4	接口电源	supply	与主机端的接口电源
CLKDIV1	5	接口电源	I	与 CLKDIV2 协同选择 CLK 输出频率
CLKDIV2	6	接口电源	I	与 CLKDIV1 协同选择 CLK 输出频率
EN_5V/3VN	7	接口电源	I	输出电压选择；=1（VCC=5V），=0（VCC=3V）
EN_1.8 VN	8	接口电源	I	输出电压选择；=0（VCC=1.8V），=1（VCC=5V/3V）
RSTIN	9	接口电源	I	RST 的控制端，高有效
名称	序号	电源	类型	备注



OFFN	10	接口电源	O	错误状态输出, NMOS 开漏内部 10K 上拉电阻。
GND	11	-	supply	芯片地
XTAL1	12	接口电源	I	晶振及外部时钟输入
XTAL2	13	接口电源	O	晶振输出
VREG	14	芯片电源	supply	内部基准 1.8V
SBM	15	芯片电源	I/O	DCDC 电容, 接在 SBM 与 SBP 之间, 330n 或 100n, ESR 小于 100m Ω
GNDP	16	-	supply	DCDC 功率地
SAM	17	芯片电源	I/O	DCDC 电容, 接在 SAM 与 SAP 之间, 330n 或 100n, ESR 小于 100m Ω
VDDP	18	芯片电源	supply	芯片供电电源
SAP	19	芯片电源	I/O	DCDC 电容, 接在 SAM 与 SAP 之间, 330n 或 100n, ESR 小于 100m Ω
SBP	20	芯片电源	I/O	DCDC 电容, 接在 SBM 与 SMP 之间, 330n 或 100n, ESR 小于 100m Ω
VUP	21	芯片电源	I/O	DCDC 输出电容, VUP 至 VDDP 之间, 1 μ , ESR 小于 100m Ω
VCC	22	卡端电源	O	卡端供电电源接 C1, VCC 与 GNDC 之间, 并联 2 个 220n, ESR 小于 100m Ω
RST	23	卡端电源	O	卡端复位接 C2
CLK	24	卡端电源	O	卡端时钟接 C3
GNDC	25	-	supply	卡端地接 C5
AUX1	26	卡端电源	I/O	卡端备用信号接 C4, 内含 10K 上拉电阻
AUX2	27	卡端电源	I/O	卡端备用信号接 C8, 内含 10K 上拉电阻
I/O	28	卡端电源	I/O	卡端信号接 C7, 内含 10K 上拉电阻
CS	29	接口电源	I	片选信号, 高有效
PRESN	30	接口电源	I	插卡检测, 低有效
AUX1UC	31	接口电源	I/O	主机备用信号接口, 内含 10K 上拉电阻至接口电源
AUX2UC	32	接口电源	I/O	主机备用信号接口, 内含 10K 上拉电阻至接口电源

典型应用电路





最大工作范围

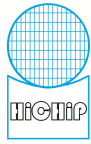
*长时间工作在最大范围条件下可能导致 IC 永久性损坏。

名称	参数	条件	最小值	最大值	单位
VDDP	芯片工作电源		-0.3	6	V
VDDINTF	接口电源		-0.3	6	V
V _{IH}	逻辑输入	CS, PRESN, CMDVCCN, CLKDIV2, CLKDIV1, EN1.8VN, EN5V3VN, RSTIN, OFFN, PORADJ, XTAL1, IOUC, AUX1UC, AUX2UC, VDDP, VDDINTF	-0.3	6	V
		IO, RST, AUX1, AUX2 and CLK	-0.3	5.75	V
T _{amb}	工作环境温度		-25	+85	°C
T _{stg}	芯片储存温度		-55	+150	°C
T _j	芯片结温			+125	°C
P _{tot}	总耗散功率			0.45	W
V _{ESD}	静电放电电压	HBM 模型接卡的引脚 I/O, RST, V _{CC} , AUX1, CLK, AUX2, PRESN	-10	+10	kV
		HBM 其他引脚	-2	+2	kV
		MM 模型全部引脚	-200	+200	V
		FCDM 模型全部引脚	-500	+500	V

特征参数

VDDP=3.3V; VDDINTF=3.3V; f_{XTAL}=10MHz;

名称	参数	条件	最小	典型	最大	单位
供电电源						
VDDP	芯片供电电源		2.7	3.3	5.5	V
VDDINTF	接口电源		1.6	3.3	5.5	V
IDDP	电源电流	深度休眠模式; f _{XTAL} = 停止	-	0.1	3	μA
		待机模式; f _{XTAL} = 停止	-	300	500	μA
		激活模式; CLK = f _{XTAL} /2; V _{CC} = +5 V; 空载	-	-	5	mA
		激活模式; CLK = f _{XTAL} /2; V _{CC} = +5 V; I _{CC} = 65 mA	-	-	220	mA
		激活模式; CLK = f _{XTAL} /2; V _{CC} = +3 V; I _{CC} = 65 mA	-	-	160	mA
		激活模式; CLK = f _{XTAL} /2; V _{CC} = +1.8 V;	-	-	120	mA



		$I_{CC} = 35 \text{ mA}$				
IDDINTF	接口电源电流	深度休眠模式 $f_{XTAL} = \text{停止}$; 插入卡状态	-	-	1	μA
		待机模式 $f_{XTAL} = \text{停止}$; 插入卡状态	-	-	1	μA
Vth(VREG)	VREG 阈值电压	内部基准电压跌落阈值	1.38	1.45	1.52	V
Vhys(VREG)	VREG 阈值迟滞)		90	100	110	mV
Vth(VDDP)	VDDP 阈值电压	VDDP 引脚跌落阈值电压	2.15	2.25	2.35	V
Vhys(VDDP)	VDDP 阈值迟滞)		90	100	110	mV
tw	脉宽		3.0	6.5	8.9	ms
Vth(L) (PORADJ)	PORADJ 阈值电压	外部电阻设定 PORADJ	0.81	0.85	0.89	V
Vhys(PORADJ)	PORADJ 阈值迟滞)		30	60	90	mV
IL	电流能力	PORADJ 引脚	-1	-	+1	μA
VREG						
V_o	输出电压		1.62	1.80	1.98	V
tr	上升时间	退出深度睡眠状态	-	-	200	μs
VUP (DCDC 转换)						
VOH	输出高电平	VDDP=3.3V, VCC = 5 V, ICC < 65 mA DC	5.10	5.60	7.00	V
		VDDP=3.3V, VCC = 3 V, ICC < 65 mA DC	3.50	3.95	5.00	V
		VDDP=3.3V, VCC = 1.8 V, ICC < 35 mA DC	5.10	5.60	7.00	V
		VDDP=5V, VCC = 5 V, ICC < 65 mA DC	5.10	5.80	7.00	V
		VDDP=5V, VCC = 3 V, ICC < 65 mA DC	-	5.00	-	V
		VDDP=5V, VCC = 1.8 V, ICC < 35 mA DC	5.10	5.80	7.00	V
SAP (DCDC 变换)						
VOH	输出高电平	VDDP=3.3V, VCC = 5 V, ICC < 65 mA DC	-	-	8.20	V
		VDDP=3.3V, VCC = 3 V,	-	-	6.00	V



		ICC < 65 mA DC				
		VDDP=3.3V, VCC = 1.8 V, ICC < 35 mA DC	-	-	8.20	V
		VDDP=5V, VCC = 5 V, ICC < 65 mA DC	-	-	8.20	V
		VDDP=5V, VCC = 3 V, ICC < 65 mA DC	-	5.00	-	V
		VDDP=5V, VCC = 1.8 V, ICC < 35 mA DC	-	-	8.20	V
DCDC 转换电容						
CSAPSAM	DCDC 转换电熔	连接 SAP 与 SAM (330 nF ^[4]) , VDDP=3.3v	231	-	429	nF
		连接 SAP 与 SAM (100 nF ^[4]) , VDDP=5v	70	-	130	nF
CSBPSBM	DCDC 转换电熔	连接 SBP 与 SBM (330 nF ^[4]) , VDDP=3.3v	231	-	429	nF
		连接 SBP 与 SBM (100 nF ^[4]) , VDDP=5v	70	-	130	nF
CVUP	DCDC 转换电熔	连接 VUP(1uF ^[4])	700	-	1300	nF
卡端电源(V _{cc}) ^[4]						
Cdec	去耦电容	接 V _{cc} (220 nF + 220 nF 10 %)	396	-	484	nF
V _o	输出电压	非激活模式; 无负载	-0.1	-	+0.1	V
		非激活模式; I _o = 1 mA	-0.1	-	+0.3	V
I _o	输出电流	激活模式 VCC 到地	-	-	-1	mA
VCC	供电电压	激活模式; 5 V card; ICC < 65 mA DC	4.75	5.0	5.25	V
		激活模式; 3 V card; ICC < 65 mA DC	2.85	3.05	3.15	V
		激活模式; 1.8 V card; ICC < 35 mA DC	1.71	1.83	1.89	V
		激活模式; 脉冲电流 40 nA/s, ICC < 200 mA, t < 400 ns; 5 V card	4.65	5.0	5.25	V
		激活模式; 脉冲电流 40 nA/s, ICC < 200 mA, t < 400 ns; 3 V card	2.76	-	3.20	V
		激活模式; 脉冲电流 5 nA/s, ICC < 200 mA, t < 400 ns; 1.8 V card	1.66	-	1.94	V
V _{ripple(p-p)}	纹波峰峰值	20 kHz 至 200 MHz	-	-	350	mV
ICC	供电电流	VCC = 0 V to 5 V, 3 V	-	-	65	mA
		VCC = 0 V to 1.8 V	-	-	35	mA



SR	斜率	5 V card	0.055	0.18	0.8	V/μs
		3 V card	0.040	0.18	0.8	V/μs
		1.8 V card	0.025	0.18	0.8	V/μs
晶体振荡器 (XTAL1 与 XTAL2)						
Cext	外挂电容	连接至 XTAL1/XTAL2	-	-	33	pF
fxtal	晶体频率		2	-	27	MHz
fxtal (XTAL1)	振荡器输入频率	56 pF 电容耦合	0	-	27	MHz
数据传输 (I/O, I/OUC, AUX1, AUX2, AUX1UC, AUX2UC)						
td	延迟时间	I/O 低电平传输延迟	-	-	200	ns
tw (pu)	上拉最小脉宽		200		400	ns
fmax	最高频率	数据线上的最高频率	-	-	1	MHz
C _i	输入电容	数据线上的等效输入电容	-	-	10	pF
卡端数据接口 (I/O, AUX1, AUX2); (内置 10KΩ 上拉电阻至 V _{CC})						
V _o	输出电压	非激活模式, 无负载	0	-	0.1	V
		非激活模式, I _o =1mA	0	-	0.3	V
I _o	输出电流	非激活模式, I _o 拉低	-	-	-1	mA
VOL	输出低电平	I _{OL} = 1 mA	0	-	0.3	V
		I _{OL} ≥ 15 mA	V _{CC} 0.4	-	V _{CC}	V
VOH	输出高电平	无负载	0.9 V _{CC}	-	V _{CC} + 0.1	V
		I _{OH} < -40 μA 5 V or 3 V	0.75 V _{CC}		V _{CC} + 0.1	V
		I _{OH} < -20 μA 1.8 V	0.75 V _{CC}		V _{CC} + 0.1	V
		I _{OH} ≥ -15 mA	0	-	0.4	V
VIL	输入低电平		-0.3	-	+0.2 V _{CC}	V
VIH	输入高电平	V _{CC} = +5 V	0.6 V _{CC}	-	V _{CC} + 0.3	V
		V _{CC} = +3 V or 1.8 V	0.7 V _{CC}	-	V _{CC} + 0.3	V
V _{hys}	迟滞窗口	on I/O	30	75	120	mV
IIL	低电平输入电流	on I/O; VIL = 0	-	-	600	μA
ILH	高电平输出电流	on I/O; V _{IH} = V _{CC}	-	-	10	μA



tr(i)	输入上升时间	从 V_{IL} 最大值至 V_{IH} 最小值	-	-	1.2	μs
tf(i)	输入下降时间	从 V_{IL} 最大值至 V_{IH} 最小值	-	-	1.2	μs
tr(o)	输出上升时间	$C_L < = 80 pF$; 10 % to 90 % from 0 to V_{CC}	-	-	0.1	μs
tf(o)	输出下降时间	$C_L < = 80 pF$; 10 % to 90 % from 0 to V_{CC}	-	-	0.1	μs
Rpu	输入电阻	connected to VCC	8	10	12	k Ω
Ipu	输入电流	$V_{OH} = 0.9 V_{CC}$, $C = 80 pF$	-8	-6	-4	mA
系统数据下接口 (I/OUC, AUX1UC, AUX2UC); (内置上拉电阻至 $V_{DD(INTF)}$)						
VOL	输出低电平	$I_{OL} = 1 mA$	0	-	0.3	V
VOH	输出高电平	无负载	0.9 VDD(IN TF)	-	$V_{DD(INTF)} +$ 0.1	V
		$I_{OH} \leq 40 \mu A$; $V_{DD(INTF)} > 2 V$	0.75 VDD(IN TF)	-	$V_{DD(INTF)} +$ 0.1	V
		$I_{OH} \leq 20 \mu A$; $V_{DD(INTF)} < 2 V$	0.75 VDD(IN TF)	-	$V_{DD(INTF)} +$ 0.1	V
VIL	输入低电平		0.3	-	0.2 VDD(IN TF)	V
VIH	输入高电平		0.7 VDD(IN TF)		$V_{DD(INTF)} +$ 0.3	V
Vhys	迟滞窗口	IOUC 引脚	0.05 VDD(IN TF)	-	0.25 VDD(IN TF)	V
ILH	高电平输出电流	$V_{IH} = V_{DD(INTF)}$			10	μA
IIL	低电平输入电流	$V_{IL} = 0$			600	μA
Rpu	上拉电阻	上拉至 $V_{DD(INTF)}$	8	10	12	k Ω
tr(i)	输入上升时间	从 V_{IL} 最大值至 V_{IH} 最小值	-	-	1.2	μs
tf(i)	输入下降时间	从 V_{IL} 最大值至 V_{IH} 最小值	-	-	1.2	μs
tr(o)	输出上升时间	$C_L \leq 30 pF$; 10 % to 90 % from 0 to $V_{DD(INTF)}$	-	-	0.1	μs
tf(o)	输出下降时间	$C_L \leq 30 pF$; 10 % to 90 % from 0 to $V_{DD(INTF)}$	-	-	0.1	μs
Ipu	输出电流	$V_{OH} = 0.9 V_{DD}$, $C = 30 pF$	-1	-	-	mA
内部振荡器						
fosc(int)	内部振荡器频率	内部低频时钟			180	kHz



		内部高频时钟		2		MHz
卡端复位输出 (RST)						
V _o	输出电压	非激活, 无负载	0	-	0.1	V
		激活模式, I _o = 1 mA	0	-	0.3	V
I _o	输出电流	激活模式 RST 接地	-	-	-1	mA
T _d	延迟时间	RST 开启状态下, RSTIN 传递至 RST	-	-	200	ns
VOL	输出低电平	I _{OL} = 200 μA, V _{CC} = +5 V	0	-	0.3	V
		I _{OL} = 200 μA, V _{CC} = +3 V or 1.8 V	0	-	0.2	V
		I _{OL} = 20 mA (限流)	V _{CC} 0.4	-	VCC	V
VOH	输出高电平	I _{OH} = -200 μA	0.9 V _{CC}	-	VCC	V
		I _{OH} = -20 mA (限流)	0	-	0.4	V
Tr	上升时间	C _L = 100 pF V _{CC} = +5 V and +3 V	-	-	0.1	μs
		C _L = 100 pF V _{CC} = +18 V	-	-	0.2	μs
t _r	下降时间	C _L = 100 pF V _{CC} = +5 V and +3 V	-	-	0.1	μs
		C _L = 100 pF V _{CC} = +18 V	-	-	0.2	μs
卡端时钟输出 (CLK)						
V _o	输出电压	非激活, 无负载	0	-	0.1	V
		激活模式, I _o = 1 mA	0	-	0.3	V
I _o	输出电流	激活模式 CLK 接地	-	-	-1	mA
VOL	输出低电平	I _{OL} = 200 μA	0	-	0.3	V
		I _{OL} = 70 mA (限流)	V _{CC} 0.4	-	VCC	V
VOH	输出高电平	I _{OH} = -200 μA	0.9 V _{CC}	-	VCC	V
		I _{OH} = -70 mA (限流)	0	-	0.4	V
Tr	上升时间	CL = 30 pF [2]	-	-	16	ns
t _r	下降时间	CL = 30 pF [2]	-	-	16	ns
fCLK	输出频率	选择范围	0	-	20	MHz
	占空比	CL = 30 pF [2]	45	-	55	%
SR	上升速率	升降速度; C _L = 30 pF; V _{CC} = +5 V	0.2	-	-	V/ns
		升降速度; C _L = 30 pF; V _{CC} = +3 V	0.12	-	-	V/ns



		升降速度; $C_L = 30 \text{ pF}$; $V_{CC} = +1.8 \text{ V}$	0.072	-	-	V/ns
控制信号输入 (CS, CMDVCCN, CLKDIV1, CLKDIV2, RSTIN, EN5V3VN, EN18VN)						
VIL	输入低电平		-0.3	-	+0.3	V VDD(IN TF)
VIH	输入高电平		0.7 VDD(IN TF)	-	$V_{DD(INTF)} + 0.3$	V
Vhys	迟滞窗口	控制输入端	0.05 VDD(IN TF)	-	0.25 VDD(IN TF)	V
ILL	低电平输入电流	$V_{IL} = 0$	-	-	1	μA
ILH	高电平输出电流	$V_{IH} = V_{DD(INTF)}$	-	-	1	μA
卡片输入检测 (PRESN); PRESN 需外接上拉电阻						
VIL	输入低电平		0.3	-	+0.3	V VDD(IN TF)
VIH	输入高电平		0.7 VDD(IN TF)	-	VDD(IN TF)+ 0.3	V
Vhys	迟滞窗口		0.05 VDD(IN TF)	-	0.10 VDD(IN TF)	V
ILL	低电平输入电流	$V_{IL} = 0$	-	-	1	μA
ILH	高电平输出电流	$V_{IH} = V_{DD(INTF)}$	-	-	5	μA
OFFN 输出 (OFFN 为 NMOS 开漏输出电阻上拉至 $V_{DD(INTF)}$)						
VOL	输出低电平	$I_{OL} = 2 \text{ mA}$	0	-	0.3	V
VOH	输出高电平	$I_{OH} = -15 \mu\text{A}$	0.75 VDD(IN TF)	-		V
Rpu	上拉电阻		8	10	12	k Ω
极限与防护						
Tsd	过温保护	芯片内部	-	150	-	$^{\circ}\text{C}$
Iolim	输出电流保护	on pin I/O	-15	-	+15	mA
		on pin CLK	-70	-	+70	mA
		on pin RST	-20	-	+20	mA
		on pin VCC = 5 V or 1.8 V	90	125	160	mA
		on pin VCC = 3 V	90	160	260	mA
Isd	停机过流保护	on pin VCC = 5 V or 1.8 V	80	115	150	mA

		on pin VCC = 3 V	80	150	250	mA
--	--	------------------	----	-----	-----	----

功能模块

供电模块

VDDP 为芯片供电电源 (2.7~5V)

控制接口电源 VDD (INTF) 所有控制端的 I/O 电源均上拉至 VDD (INTF)

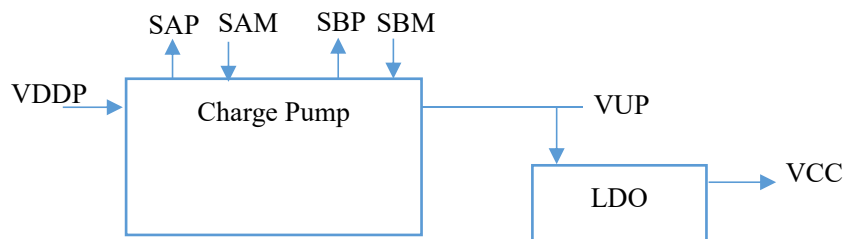
内部产生参考电压 VREG (1.8)

上电时, OFFN 保持低电平, 直到 CMDVCCN 变高且 PRESN 变低为止。

掉电时, OFFN 会在 VDDP 跌过阈值电压后才变低。

智能卡未激活时, CMDVCCN 拉高, 将使用内部振荡器, 工作在低频模式省电。

电源部分包含 DCDC 电压转换器用于给智能卡提供电源 VCC (5、3、1.8)



供电模块将 VDDP 电源 Charge Pump 至 VUP, 通过 LDO 产生智能卡所需 VCC (5V、3V、1.8V)

VCC 电压	VDDP 是否高于 3.5V	Charge Pump 状态
5V	是	X 1
5V	否	X 2
3V	是	X 0
3V	否	X 1
1.8V	是	X 0
1.8V	否	X 0

电压监控模块

电压监控模块用于电源上电复位以及读卡器件电源掉电。监管芯片内部 VDDP 与 VREG, 接口电源电压 VDD (INTF) 通过 PORADJ 引脚分压来检测。

VDDP、VREG、VDD (INTF) 电压监控信号会发送给逻辑控制部分参与控制芯片复位



时钟电路模块

智能卡时钟 CLK，可以使用外部时钟通过 XTAL1 送入，也可以使用晶振通过 XTAL1 和 XTAL2 送入，如果 XTAL1 有外部时钟会优先采用，无需控制。

有 CMDVCCN 下降沿启动时钟自动选择机制，在内部时钟运行的状态下，首先判断是否有外部时钟，如果有外部时钟则采用外部时钟，如没有则启动晶振。使用外部时钟时，应当在 CMDVCCN 下降沿前启动外部时钟。

通过 CLKDIV1 与 CLKDIV2 选择使用频率为 fXTAL、fXTAL/2、fXTAL/4、fXTAL/8 时钟操作为同步的，不会有小于 45% 最小时钟周期的脉冲出现，这样可以确保开始和最后一个时钟的正确性。

CLK 时钟占空比在 45%~55% 之间

CLKDIV1	CLKDIV2	CLK
1	0	fXTAL
1	1	fXTAL/2
0	1	fXTAL/4
0	0	fXTAL/8

I/O 电路

三条数据接口 I/O、AUX1、AUX2 是相同的

内置上拉电阻 10KΩ 上拉至各自的电源

允许两边电源不相同

最先收到下降沿的那边为主端

经过 200ns 延迟后主端将 0 信号传送至从端

当主端回到逻辑 1，从端传送逻辑 1 等待 200ns 后，两端再次进入对等状态

80pF 负载拉高到 0.9 VCC 电压时将提供大于 1mA 的电流，保证上拉信号在传输过程中足够快速。

I/O 引脚电流限制为 15mA

最大频率 1.5MHz

片选控制模块

CS 为片选控制信号，当 CS 为高，芯片响应控制；当 CS 为低，CMDVCCN、RSTIN、CLKDIV1、CLKDIV2、EN_5V/3VN、EN_1.8VN 锁定

I/OUC、AUX1UC、AUX2UC 设置为弱上拉模式停止信号从卡端传送。OFFN 三态输出。

休眠及深度休眠模式

上电后如果 CMDVCCN 拉高 则进入休眠模式，只有少量逻辑来激活唤醒。

- 1、所有与卡的连接失效（约与地呈 200 欧电阻）
- 2、I/OUC、AUX1UC、AUX2UC 呈弱上拉（10KΩ 上拉至 VDD（INTF））
- 3、电压产生器不工作
- 4、电压监管模块仍生效

5、内部时钟处于低频工

作模式

深度休眠模式启动需要

CMDVCCN 拉高同时

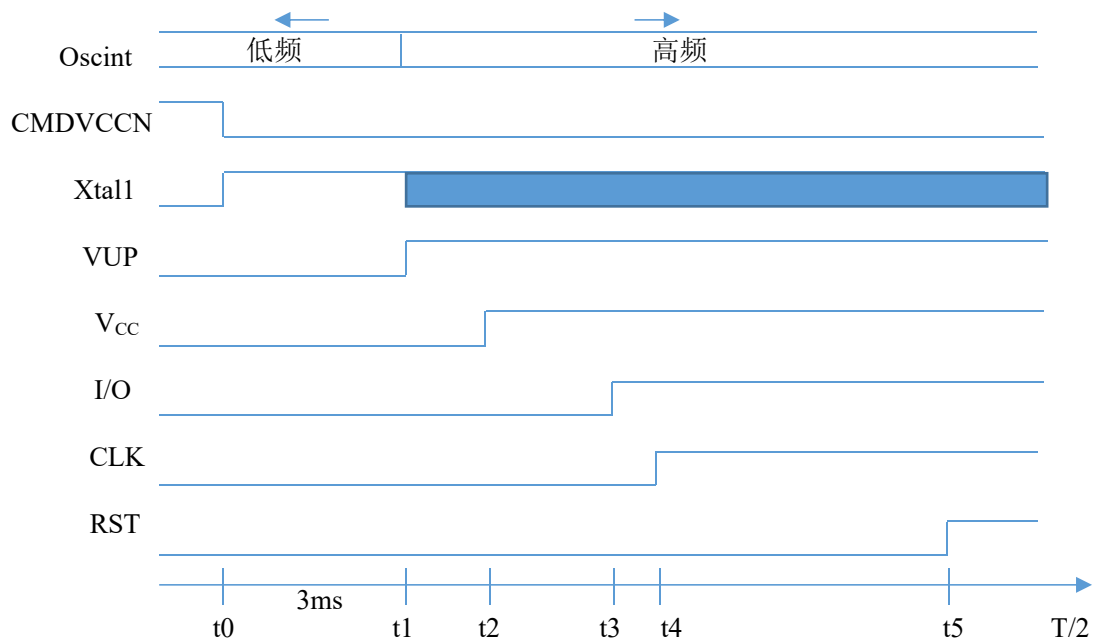
EN5V3VN 与 EN18VN 拉低时生效。深度休眠模式必须在读卡不需要进行是才可进入。在深度休眠模式中所有的电路单元都将关闭。OFFN 将跟随 PRESN 的状态。变更三个控制信号的状态将退出深度休眠模式

启动流程

以下是采用晶振时钟的激活流程

$T=64XToscint$ (高频)

- 1、CMDVCCN 拉低 (t_0)
- 2、晶振启动 (t_0)
- 3、时钟切换为高频启动 DCDC ($t_1=t_0+768XTOSC$ (freq low))
- 4、VCC 选择供电电压从 0 到 VCC (5、3、1.8) ($t_2=t_1+3T/2$)
- 5、启动 I/O (启动前均拉低) ($t_3=t_1+10T$)
- 6、CLK 激活与 C3 的连接 ($t_4=t_3+x$, $200ns < x < 10X1/fXtal$)
- 7、RST 启动 ($t_5=t_1+13T$)



终止流程

当通信完毕，MCU 将 CMDVCCN 至高，则电路将自动进入终止流程，返回待机。

- 1、RES 拉低 ($t_{11}=t_{10}+3T/64$)
- 2、CLK 停止拉低 ($t_{12}=t_{11}+T/2$)
- 3、I/O 拉低 ($t_{13}=t_{11}+T$)
- 4、VCC 关闭降到 0 ($t_{14}=t_{11}+3T/2$)
- 5、VUP 拉低 ($t_{15}=t_{11}+7T/2$)

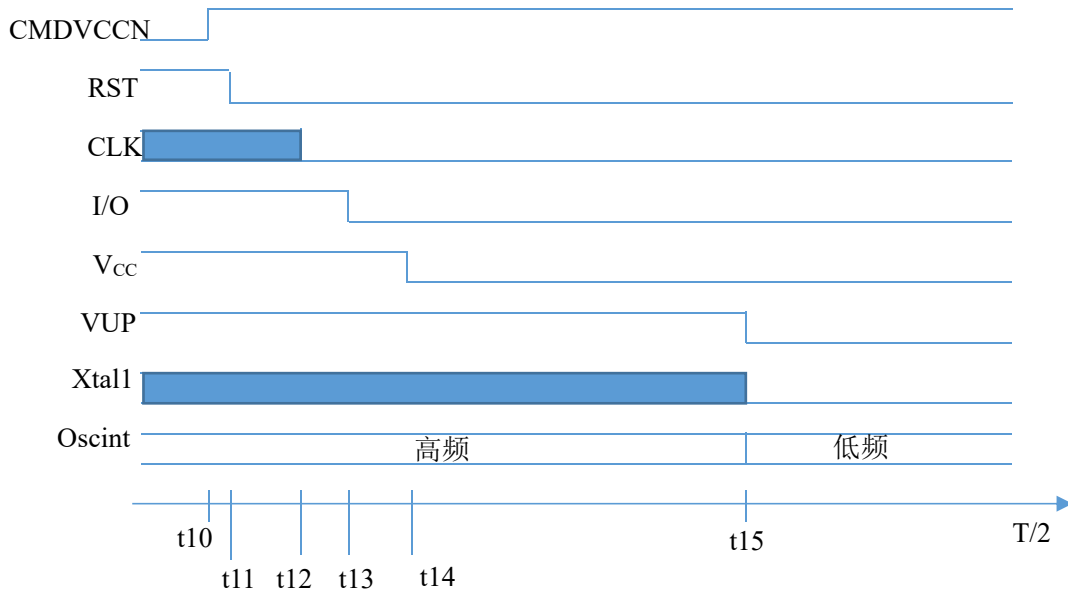


6、VCC<0.4

($t_{de}=t_{11}+3T/2+VCC$ 关闭时间)

7、所有与卡的接口低阻拉到地, I/OUC、AUX1UC、AUX2UC 通过 10KΩ 电阻上拉至 VDD (INTF)

8、内部振荡器回到低频模式



VCC 电压源

VCC 电压源可以提供 65mA/35mA 缓冲电流 (5V&3V/1.8V)

VCC 电源 125mA 过流保护

在上电过程中在 4ms 内 (打开 I/O 之前) 允许 200mA

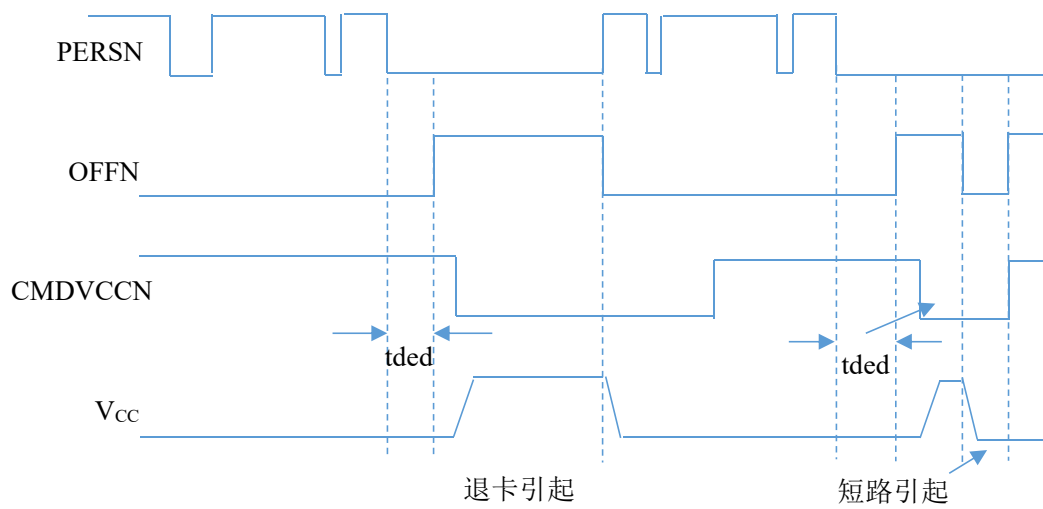
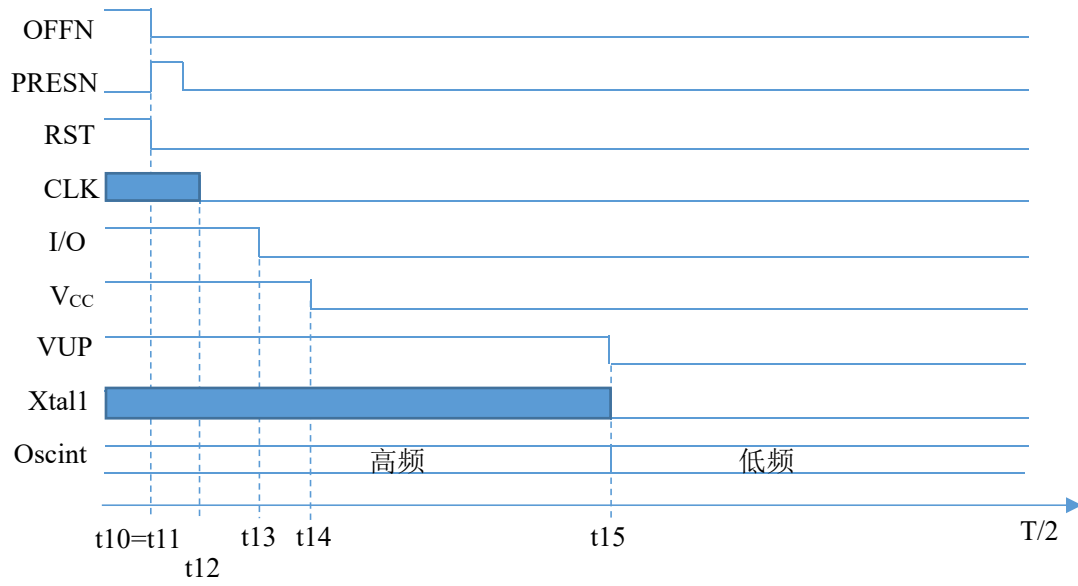
错误机制

发生以下错误则保护:

- VCC 发生短路或过流
- 读取过程中卡被拔出
- VDDP、VDD (INTF) 或 Vreg 发生拉低
- 过热

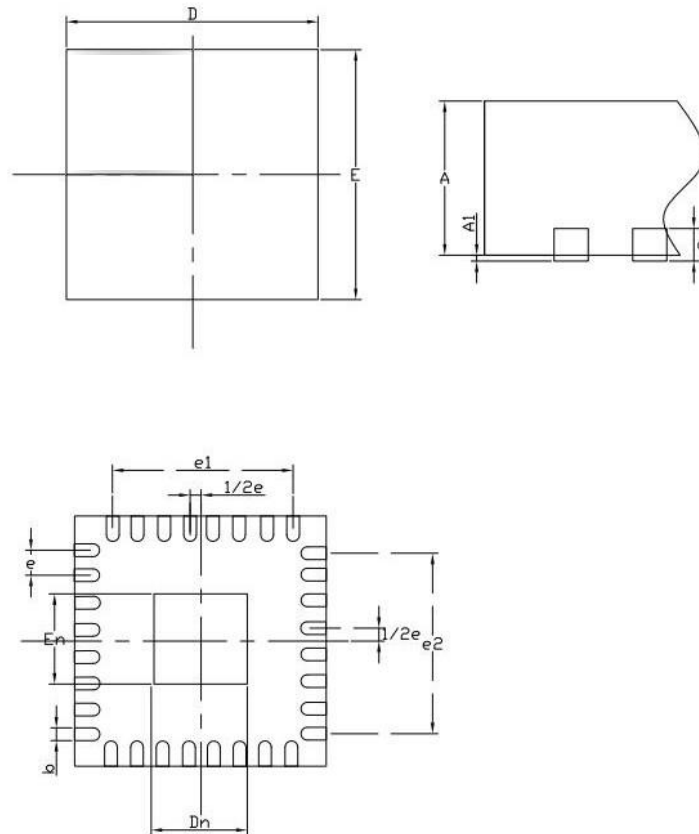
有两种情况:

- 1、CMDVCCN 处于高的状态 (未在读卡周期): OFFN 在读卡时为高, 不在读卡时为低, 电源监控模块会拉低 VDDP 重新进入复位, 但是不会对 OFFN 进行上拉操作。未开启卡供电, 接口无短路, 无过热。
- 2、CMDVCCN 处于低的状态 (正在读卡周期): OFFN 立即拉低, 退出激活, 直到 CMDVCCN 返回高。当没有错误发生后, OFFN 返回高。



封装和包装尺寸

QFN 32 (5x5x0.75_0.5)



Dimensions

	A	A1	b	c	D	Dn	e	e1	e2	E	En	Unit
max	1.00	0.05	0.30		5.1	2.2				5.1	2.2	mm
typ	0.85	0.02	0.21	0.2	5.0	2.1	0.5	3.5	3.5	5.0	2.1	
min	0.80	0.00	0.18		4.9	2.0				4.9	2.0	