



**BL602/604**

数据手册

版本: 2.1

版权 @ 2021

[www.bouffalolab.com](http://www.bouffalolab.com)

1 概述 . . . . .	7
1.1 无线 . . . . .	8
1.2 MCU 子系统 . . . . .	8
1.3 存储 . . . . .	8
1.4 安全机制 . . . . .	8
1.5 外设 . . . . .	9
1.6 电源管理模式 . . . . .	9
1.7 时钟架构 . . . . .	9
2 功能描述 . . . . .	10
2.1 CPU . . . . .	11
2.2 缓存 . . . . .	11
2.3 内存 . . . . .	11
2.4 DMA 控制器 . . . . .	11
2.5 总线结构 . . . . .	11
2.6 中断 . . . . .	13
2.7 启动选项 . . . . .	13
2.8 电源管理单元 . . . . .	13
2.9 时钟架构 . . . . .	13
2.10 外设 . . . . .	14
3 管脚定义 . . . . .	15
3.1 GPIO 初始状态 . . . . .	22
4 电气特性 . . . . .	24
4.1 绝对最大额定值 . . . . .	24
4.2 运行条件 . . . . .	24
4.2.1 电源特性 . . . . .	25
4.2.2 上电时序 . . . . .	25

4.2.3	温度特性 . . . . .	26
4.2.4	通用工作条件 . . . . .	26
4.2.5	GPADC 特性 . . . . .	26
5	产品使用 . . . . .	29
5.1	湿敏等级 (MSL) . . . . .	29
5.2	静电放电 (ESD) . . . . .	30
5.3	回流焊接曲线 (Reflow Profile) . . . . .	30
6	参考设计 . . . . .	32
7	封装信息 QFN32 . . . . .	33
8	封装信息 QFN40 . . . . .	35
9	标志定义 . . . . .	37
10	订购信息 . . . . .	38
11	版本信息 . . . . .	40

## List of Figures

1.1 功能框图	7
2.1 系统框图	10
2.2 时钟框图	14
3.1 BL602 管脚布局	15
3.2 BL604 管脚布局	16
4.1 上电时序	25
5.1 Classification Profile (Not to scale)	30
6.1 参考设计	32
7.1 QFN32 封装图	33
8.1 QFN40 封装图	35
9.1 标志定义	37
10.1 型号命名	38

## List of Tables

2.1	总线连接	11
2.2	地址映像	11
2.2	地址映像	12
3.1	管脚定义	17
3.1	管脚定义	18
3.2	GPIO Muxed Pins	19
3.2	GPIO Muxed Pins	20
3.3	UART 信号映射表 (Default)	21
3.4	UART 信号映射表 (Example)	21
3.5	BL602 GPIO 初始状态	22
3.6	BL604 GPIO 初始状态	22
3.6	BL604 GPIO 初始状态	23
4.1	电源的绝对最大额定值	24
4.2	建议电源值范围	25
4.3	上电时序参数说明	26
4.4	建议温度值范围	26
4.5	一般操作条件	26
4.6	GPADC 特性	27
4.7	ADC electrical characteristic	28
5.1	Reference Conditions for Drying Mounted or Unmounted SMD Packages (User Bake: Floor life begins counting at time = 0 after bake)	29
5.2	Classification Reflow Profiles	31
7.1	尺寸说明 (测量单位: 毫米)	33
7.1	尺寸说明 (测量单位: 毫米)	34

8.1 尺寸说明 (测量单位: 毫米) . . . . .	35
8.1 尺寸说明 (测量单位: 毫米) . . . . .	36
10.1 订购选项 . . . . .	38
10.1 订购选项 . . . . .	39
11.1 修改记录 . . . . .	40

BL602/BL604 是一款 Wi-Fi + BLE 组合的芯片组，用于低功耗和高性能应用开发。无线子系统包含 2.4G 无线电，Wi-Fi 802.11b/g/n 和 BLE 5.0 基带/MAC 设计。微控制器子系统包含一个低功耗的 32 位 RISC CPU，高速缓存和存储器。电源管理单元控制低功耗模式。此外，还支持各种安全性能。

外围接口包括 SDIO，SPI，UART，I2C，IR remote，PWM，ADC，DAC，PIR 和 GPIO。

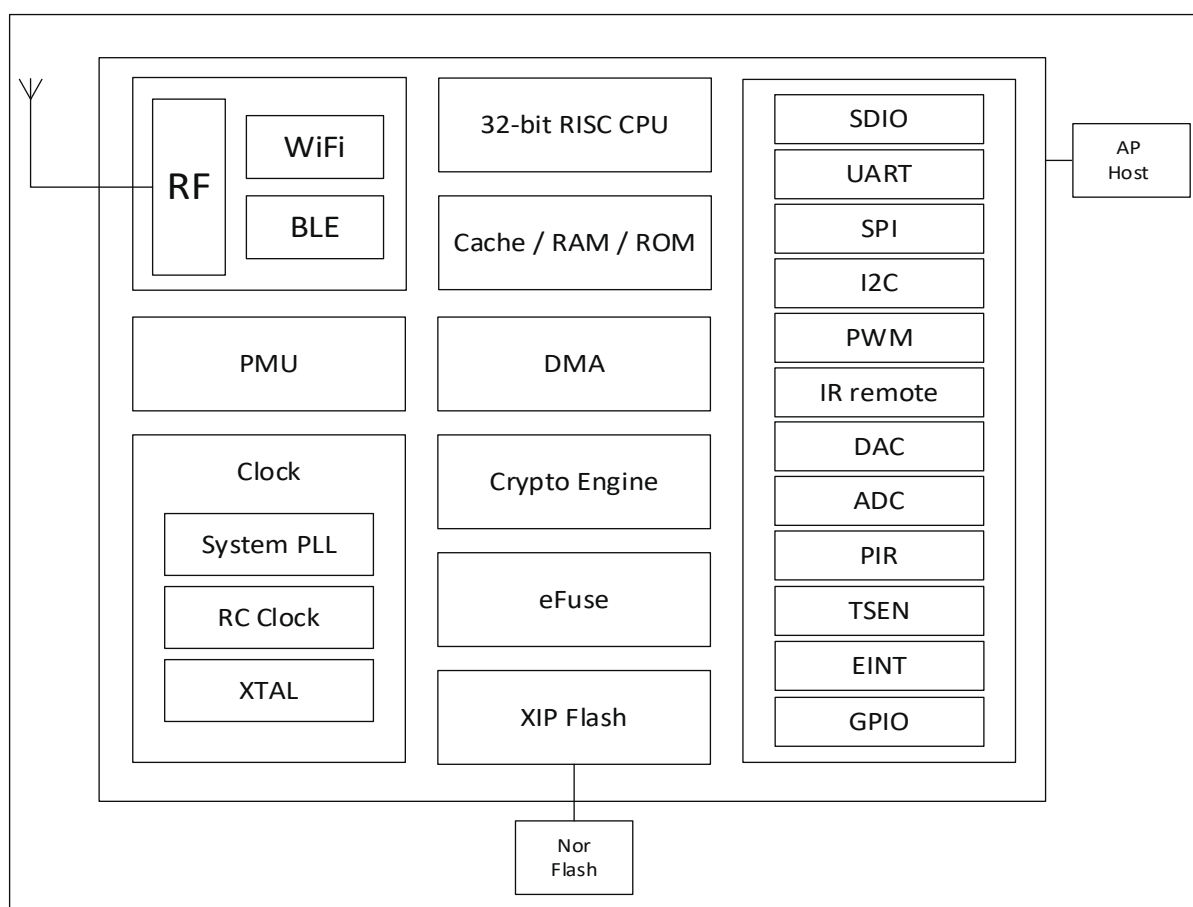


图 1.1: 功能框图

## 1.1 无线

- 支持 IEEE 802.11 b/g/n 协议
- 2.4 GHz 频带 1T1R 模式，支持 20 MHz，数据速率高达 72.2 Mbps
- Wi-Fi 安全 WPS/WEP/WPA/WPA2 Personal/WPA2 Enterprise/WPA3
- 无线多媒体 (WMM)
- 帧聚合 (AMPDU,AMSDU)
- 立即块回复 (Immediate Block ACK)
- 分片和重组 (Fragmentation and defragmentation)
- Beacon 自动接收 (硬件 TSF)
- 硬件支持 6 × 虚拟 Wi-Fi 接口
- 支持 Station + BLE 模式、Station + SoftAP + BLE 模式
- 支持多个云同时接入
- 集成 balun, PA/LNA
- Bluetooth 低功耗 5.0, Bluetooth Mesh
- BLE 协助实现 Wi-Fi 快速连接
- Wi-Fi 和 BLE 共存
- 支持 BLE 5.0 通道选择 # 2
- 不支持 2M PHY /编码 PHY / ADV 扩展

## 1.2 MCU 子系统

- 带 FPU (浮点单元) 的 32 位 RISC CPU
- 一级缓存
- 1 个 RTC 计时器，最长计数周期为 1 年
- 两个 32 位通用定时器
- 四个 DMA 通道
- DFS (动态频率缩放) 从 1MHz 到 192MHz
- 支持 JTAG 开发调试
- 支持 XIP QSPI Flash 启动，内置镜像解密单元

## 1.3 存储

- 276KB RAM
- 128KB ROM
- 1Kb eFuse
- 嵌入式 Flash 闪存 (选配)

## 1.4 安全机制

- 安全启动，支持使用 ECC-256 签名的镜像
- 安全调试端口
- 支持 QSPI/SPI Flash 即时 AES 解密 (OTFAD)，支持 AES128 CTR 模式
- 支持 AES 128/192/256 位加密引擎
- 支持 SHA-1/224/256
- 真实随机数发生器 (TRNG)
- 公钥加速器 (PKA)，支持大数基本运算，软件提供签名，验证等应用程序接口



## 1.5 外设

- 1 路 SDIO2.0 从机
- 1 路 SPI 主/从机，最高速度可达 40Mbps
- 2 路 UART，最高波特率可达 10Mbps, 支持 RTS/CTS 流控
- 1 路 I2C 主机，最高速度可达 3Mbps
- 5 路 PWM 通道，最高输出频率可达 40MHz
- 2 路 10-bit 通用 DAC，最高转换速度可达 512Ksps
- 12 路 12-bit 通用 ADC，最高转换速度可达 2Msps
- 2 路通用模拟比较器 (ACOMP)，可作为 CPU 睡眠唤醒源
- 1 路 PIR (被动红外) 检测，可作为 CPU 睡眠唤醒源
- 1 路 Infrared Remote 红外遥控，支持 NEC RC5 协议
- 16 或 23 个 GPIO

## 1.6 电源管理模式

- 关闭
- 休眠 (多种模式可配)
- 掉电睡眠 (多种模式可配)
- 正常运作

## 1.7 时钟架构

- 支持外部晶振频率 24/32/38.4/40MHz
- 内置 RC 32kHz 振荡器
- 内置 RC 32MHz 振荡器
- 内置系统 PLL
- 支持外部 XTAL 32kHz 晶振

BL602/BL604 主要功能描述如下:

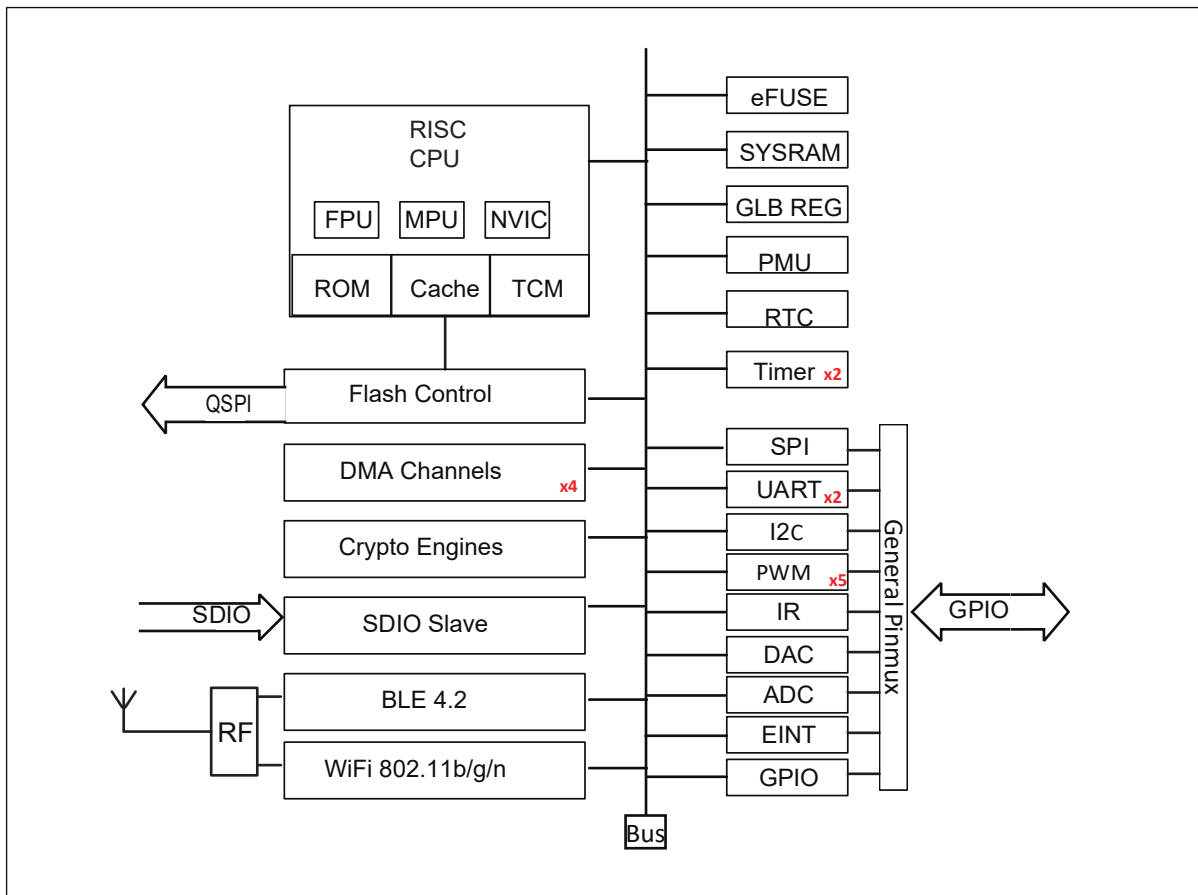


图 2.1: 系统框图

## 2.1 CPU

BL602/BL604 32-bit RISC CPU 包含用于 32 位单精度算术的 FPU（浮点单元），三级流水线（IF，EXE，WB），压缩的 16 位和 32 位指令集，包含 4 个硬件可编程断点的标准 JTAG 调试器端口，包含 64 个中断和 16 个中断级别/优先级的中断控制器，用于低延迟中断处理。时钟频率高达 192MHz，可以动态配置用来更改时钟频率，进入省电模式以实现低功耗。

WiFi/BLE 堆栈和应用程序均在单个 32-bit RISC CPU 上运行，用来实现简单和超低功耗的应用程序。CPU 性能约 1.46 DMIPS / MHz；3.1 CoreMark / MHz。

## 2.2 缓存

BL602/BL604 的缓存提高了 CPU 访问外部存储器的效能。高速缓存可以部分或全部配置为 TCM（紧密耦合内存）。

## 2.3 内存

BL602/BL604 存储器包括：片上零延迟 SRAM 存储器，只读存储器，一次写入存储器，嵌入式闪存（可选）。

## 2.4 DMA 控制器

BL602/BL604 DMA（直接存储器访问）控制器具有四个专用通道，用于管理外设和存储器之间的数据传输，以提高 CPU / 总线效率。DMA 有三种主要的传输类型，内存到内存，内存到外设以及外设到内存三种模式。DMA 还支持 LLI（链接列表项）功能，该链表由一系列链接列表预定义了多个传输，然后硬件会根据每个 LLI 的大小和地址自动完成所有传输。

DMA 支持的外设包括 UART，I2C，SPI，ADC 和 DAC。

## 2.5 总线结构

BL602/BL604 总线连接与地址访问总结如下：

表 2.1: 总线连接

从/主	CPU	SDIO	DMA	加密引擎	调试接口
内存	V	V	V	V	V
外设	V	V	V	-	V
WiFi/BLE	V	V	V	-	V

表 2.2: 地址映像

目标	地址	大小	描述
WRAM	0x42030000	112KB	无线 SRAM 存储器

表 2.2: 地址映像

目标	地址	大小	描述
RETRAM	0x40010000	4KB	深度睡眠内存 (保留 RAM)
HBN	0x4000F000	4KB	深度睡眠控制 (休眠)
PDS	0x4000E000	4KB	睡眠控制 (掉电睡眠)
SDU	0x4000D000	4KB	SDIO 控制
DMA	0x4000C000	4KB	DMA 控制
QSPI	0x4000B000	4KB	Flash 闪存控制
IRR	0x4000A600	256B	红外遥控器
TIMER	0x4000A500	256B	计时器控制
PWM	0x4000A400	256B	脉冲宽度调制控制
I2C	0x4000A300	256B	I2C 控制
SPI	0x4000A200	256B	SPI 主/从控制
UART1	0x4000A100	256B	UART 控制
UART0	0x4000A000	256B	UART 控制
L1C	0x40009000	4KB	缓存控制
eFuse	0x40007000	4KB	eFuse 存储器控制
TZ2	0x40006000	4KB	信任区隔离
TZ1	0x40005000	4KB	信任区隔离
SEC	0x40004000	4KB	安全引擎
GPIP	0x40002000	4KB	通用 DAC / ADC / ACOMP 接口控制
MIX	0x40001000	4KB	混合信号寄存器
GLB	0x40000000	4KB	全局寄存器
RAM	0x22020000 /0x42020000	64KB	片上存储器, 如果用作数据存储器, 则使用 0x42020000 地址访问; 如果用作程序存储器, 则使用 0x22020000 地址访问
XIP	0x23000000	16MB	XIP 闪存
TCM1	0x22014000 /0x42014000	48KB	紧耦合内存, 如果用作数据存储器, 则使用 0x42014000 地址访问; 如果用作程序存储器, 则使用 0x22014000 地址访问
TCM0	0x22008000 /0x42008000	48KB	紧耦合内存, 如果用作数据存储器, 则使用 0x42008000 地址访问; 如果用作程序存储器, 则使用 0x22008000 地址访问
ROM	0x21000000	128KB	只读存储器

## 2.6 中断

BL602/BL604 支持内部 RTC 时钟唤醒、外部中断唤醒，以达到低功耗睡眠唤醒机制。

CPU 中断控制器支持堆栈或嵌套、可选电平或脉冲、高或低电平有效。

## 2.7 启动选项

BL602/BL604 支持多种启动，可选择从 UART、SDIO、Flash 闪存。

## 2.8 电源管理单元

电源管理单元（PMU）管理整个芯片的电源，可分为运行、空闲、睡眠和休眠电源模式。软件配置成进入睡眠模式时，通过 RTC 定时器或 EINT 来唤醒，以达到低功耗电源管理。

掉电睡眠模式非常灵活，可以使应用配置为最低功耗。

## 2.9 时钟架构

时钟控制单元为核心 MCU 和外围 SOC 设备生成时钟。时钟源可以是 XTAL，PLL 或 RC 振荡器。通过适当的配置（例如 sel, div, en 等）来动态节省功耗。PMU 以 32kHz 时钟运行，使系统在睡眠模式下保持低功耗。

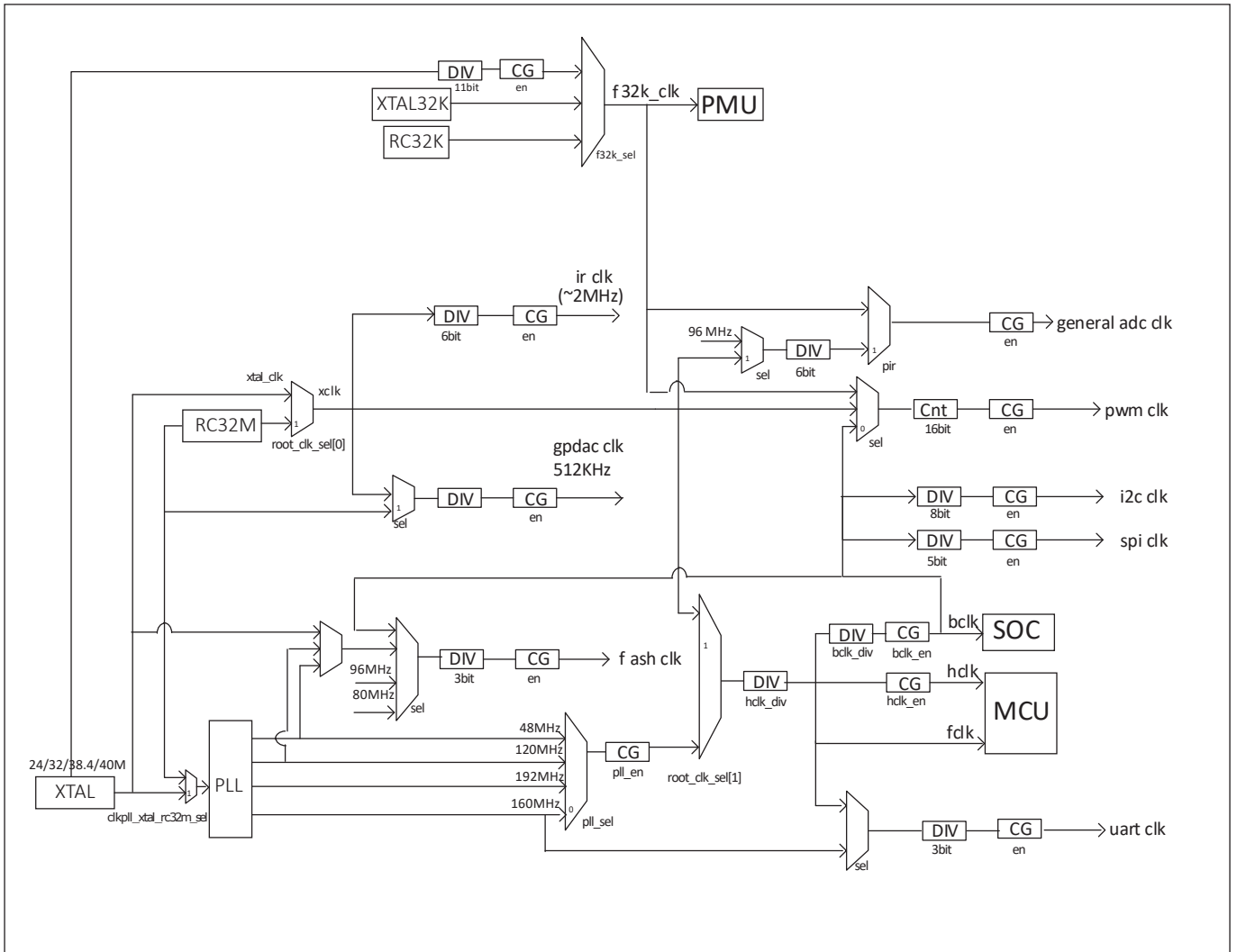


图 2.2: 时钟框图

## 2.10 外设

外设包括 SDIO, SPI, UART, I2C, IR remote, PWM, ADC, DAC, PIR。可以通过灵活的配置将每个外设分配给不同的 GPIO 组。每个 GPIO 都可用作通用输入和输出功能。

BL602 32-pin 封装包括固定电源接口 10 个、固定模拟接口 6 个、以及富含弹性的 GPIO 接口 16 个供应用选择。

		32	31	30	29	28	27	26	25		
		VDDIO_1	PAD_GPIO_22	PAD_GPIO_21	PAD_GPIO_20	PAD_GPIO_17	PAD_GPIO_16	VDDCORE	DCDC_OUT		
1	PAD_GPIO_0	VDDIO_1	1.8V/3.3V	GPIO0-6/GPIO16-GPIO22/Embedded flash				SW_DCDC		24	
		VDD33_DCDC	3.3V	GPIO9-15							
		AVDD33	3.3V	PAD_GPIO_7-8							
2	PAD_GPIO_1								VDD33_DCDC	23	
3	PAD_GPIO_2								PAD_GPIO_14	22	
4	PAD_GPIO_3								PAD_GPIO_12	21	
5	PAD_GPIO_4								PAD_GPIO_11	20	
6	PAD_GPIO_5								XTAL_OUT	19	
7	AVDD33_1								XTAL_IN	18	
8	AVDD33_2								PAD_GPIO_8	17	
		ANT	VDD15	AVDD18	CHIP_EN	XTAL32K_IN	XTAL32K_OUT	AVDD33	PAD_GPIO_7		
		9	10	11	12	13	14	15	16		

**BL602C/E  
QFN32**

图 3.1: BL602 管脚布局

BL604 40-pin 封装包括固定电源接口 10 个、固定模拟接口 6 个、固定外部复位接口 1 个、以及富含弹性的 GPIO 接口 23 个供应用选择。

		40	39	38	37	36	35	34	33	32	31		
		PAD_GPIO_22	PAD_GPIO_21	PAD_GPIO_20	PAD_GPIO_19	PAD_GPIO_18	PAD_GPIO_17	PAD_GPIO_16	VDDCORE	DCDC_OUT	SW_DCDC		
1	VDDIO_1	VDDIO_1	1.8V/3.3V	GPIO0-6/GPIO16-GPIO22/Embedded flash								VDD33_DCDC	30
		VDD33_DCDC	3.3V	GPIO9-15									
2	PAD_GPIO_0	AVDD33	3.3V	PAD_EXT_RST_N/PAD_GPIO_7-8								PAD_GPIO_15	29
3	PAD_GPIO_1	<b>BL604C/E</b> <b>QFN40</b>										PAD_GPIO_14	28
4	PAD_GPIO_2											PAD_GPIO_13	27
5	PAD_GPIO_3											PAD_GPIO_12	26
6	PAD_GPIO_4											PAD_GPIO_11	25
7	PAD_GPIO_5											PAD_GPIO_10	24
8	PAD_GPIO_6											PAD_GPIO_9	23
9	AVDD33_1											XTAL_OUT	22
10	AVDD33_2											XTAL_IN	21
												ANT	VDD15
		11	12	13	14	15	16	17	18	19	20		

图 3.2: BL604 管脚布局



表 3.1: 管脚定义

No	Voltage Domain	BL602	BL604	I/O Type	Pin Name	Description
1	VDDIO_1	1	2	DI/DO	PAD_GPIO_0	-
2	VDDIO_1	2	3	DI/DO	PAD_GPIO_1	-
3	VDDIO_1	3	4	DI/DO	PAD_GPIO_2	-
4	VDDIO_1	4	5	DI/DO	PAD_GPIO_3	-
5	VDDIO_1	5	6	DI/DO	PAD_GPIO_4	-
6	VDDIO_1	6	7	DI/DO	PAD_GPIO_5	-
7	VDDIO_1	-	8	DI/DO	PAD_GPIO_6	-
8	AVDD33	16	19	DI/DO	PAD_GPIO_7	-
9	AVDD33	17	20	DI/DO	PAD_GPIO_8	-
10	VDD33_DCDC	-	23	DI/DO	PAD_GPIO_9	-
11	VDD33_DCDC	-	24	DI/DO	PAD_GPIO_10	-
12	VDD33_DCDC	20	25	DI/DO	PAD_GPIO_11	-
13	VDD33_DCDC	21	26	DI/DO	PAD_GPIO_12	-
14	VDD33_DCDC	-	27	DI/DO	PAD_GPIO_13	-
15	VDD33_DCDC	22	28	DI/DO	PAD_GPIO_14	-
16	VDD33_DCDC	-	29	DI/DO	PAD_GPIO_15	-
17	VDDIO_1	27	34	DI/DO	PAD_GPIO_16	-
18	VDDIO_1	28	35	DI/DO	PAD_GPIO_17	-
19	VDDIO_1	-	36	DI/DO	PAD_GPIO_18	-
20	VDDIO_1	-	37	DI/DO	PAD_GPIO_19	-
21	VDDIO_1	29	38	DI/DO	PAD_GPIO_20	-
22	VDDIO_1	30	39	DI/DO	PAD_GPIO_21	-
23	VDDIO_1	31	40	DI/DO	PAD_GPIO_22	-
24	VDDIO_1	-	-	DI/DO	PAD_GPIO_23	-
25	VDDIO_1	-	-	DI/DO	PAD_GPIO_24	-
26	VDDIO_1	-	-	DI/DO	PAD_GPIO_25	-

表 3.1: 管脚定义

No	Voltage Domain	BL602	BL604	I/O Type	Pin Name	Description
27	VDDIO_1	-	-	DI/DO	PAD_GPIO_26	-
28	VDDIO_1	-	-	DI/DO	PAD_GPIO_27	-
29	VDDIO_1	-	-	DI/DO	PAD_GPIO_28	-
30	AVDD33	12	14	Analog	CHIP_EN	Chip enable
31	AVDD33	-	18	DI	PAD_EXT_RST_N	External reset
32	AVDD33	13	15	Analog	XTAL32K_IN	Crystal oscillator 32.768kHz input
33	AVDD33	14	16	Analog	XTAL32K_OUT	Crystal oscillator 32.768kHz output
34	AVDD33	18	21	Analog	XTAL_IN	External crystal input, support 24/32/38.4/40MHz
35	AVDD33	19	22	Analog	XTAL_OUT	External crystal output, support 24/32/38.4/40MHz
36	VDD15	9	11	Analog	ANT	RF input and output (single pin)
37	-	32	1	Power	VDDIO_1	Externally powered 3.3V or 1.8V
38	-	23	30	Power	VDD33_DCDC	DCDC
39	-	24	31	Power	SW_DCDC	DCDC
40	-	25	32	Power	DCDC_OUT	DCDC
41	-	7	9	Power	AVDD33_1	Externally powered 3.3V
42	-	8	10	Power	AVDD33_2	Externally powered 3.3V
43	-	15	17	Power	AVDD33	Externally powered 3.3V
44	-	10	12	Power	VDD15	Power 1.5V
45	-	11	13	Power	AVDD18	Power 1.8V
46	-	26	33	Power	VDDCORE	Core power

表 3.2: GPIO Muxed Pins

Pin Name	Flash <sup>1</sup>	SDIO	SPI (Default /SWAP=1)	UART <sup>2</sup> (Default /SWAP=1)	I2C Master	PWM	Analog	External_PA	JTAG (Default /SWAP=1)	IR
PAD_GPIO_0	SF2_D1	CLK	MOSI /MISO	SIG0 /SIG4	SCL	PWM_CH0	-	FEM0	TMS/TCK	-
PAD_GPIO_1	SF2_D2	CMD	MISO /MOSI	SIG1 /SIG5	SDA	PWM_CH1	-	FEM1	TDI/TDO	-
PAD_GPIO_2	SF2_D3	DAT0	SS	SIG2 /SIG6	SCL	PWM_CH2	-	FEM2	TCK/TMS	-
PAD_GPIO_3	-	DAT1	SCLK	SIG3 /SIG7	SDA	PWM_CH3	-	FEM3	TDO/TDI	-
PAD_GPIO_4	-	DAT2	MOSI /MISO	SIG4 /SIG0	SCL	PWM_CH4	ADC_CH1	FEM0	TMS/TCK	-
PAD_GPIO_5	-	DAT3	MISO /MOSI	SIG5 /SIG1	SDA	PWM_CH0	ADC_CH4	FEM1	TDI/TDO	-
PAD_GPIO_6	-	-	SS	SIG6 /SIG2	SCL	PWM_CH1	ADC_CH5	FEM2	TCK/TMS	-
PAD_GPIO_7	-	-	SCLK	SIG7 /SIG3	SDA	PWM_CH2	-	FEM3	TDO/TDI	-
PAD_GPIO_8	-	-	MOSI /MISO	SIG0 /SIG4	SCL	PWM_CH3	-	FEM0	TMS/TCK	-
PAD_GPIO_9	-	-	MISO /MOSI	SIG1 /SIG5	SDA	PWM_CH4	ADC_CH6/7	FEM1	TDI/TDO	-
PAD_GPIO_10	-	-	SS	SIG2 /SIG6	SCL	PWM_CH0	MICBIAS /ADC_CH8/9	FEM2	TCK/TMS	-
PAD_GPIO_11	-	-	SCLK	SIG3 /SIG7	SDA	PWM_CH1	ADC_CH10 /IRTX	FEM3	TDO/TDI	IRRX (ir_rx_gpio_sel=1)
PAD_GPIO_12	-	-	MOSI /MISO	SIG4 /SIG0	SCL	PWM_CH2	ADC_CH0	FEM0	TMS/TCK	IRRX (ir_rx_gpio_sel=2)
PAD_GPIO_13	-	-	MISO /MOSI	SIG5 /SIG1	SDA	PWM_CH3	ADC_CH3 /DAC_A	FEM1	TDI/TDO	IRRX (ir_rx_gpio_sel=3)
PAD_GPIO_14	-	-	SS	SIG6 /SIG2	SCL	PWM_CH4	ADC_CH2 /DAC_B	FEM2	TCK/TMS	-
PAD_GPIO_15	-	-	SCLK	SIG7 /SIG3	SDA	PWM_CH0	psw_irrcv_out /ADC_CH11	FEM3	TDO/TDI	-
PAD_GPIO_16	-	-	MOSI /MISO	SIG0 /SIG4	SCL	PWM_CH1	-	FEM0	TMS/TCK	-
PAD_GPIO_17	SF1_D3	-	MISO /MOSI	SIG1 /SIG5	SDA	PWM_CH2	-	FEM1	TDI/TDO	-
PAD_GPIO_18	SF1_D2	-	SS	SIG2 /SIG6	SCL	PWM_CH3	-	FEM2	TCK/TMS	-
PAD_GPIO_19	SF1_D1	-	SCLK	SIG3 /SIG7	SDA	PWM_CH4	-	FEM3	TDO/TDI	-

表 3.2: GPIO Muxed Pins

Pin Name	Flash <sup>1</sup>	SDIO	SPI (Default /SWAP=1)	UART <sup>2</sup> (Default /SWAP=1)	I2C Master	PWM	Analog	External_PA	JTAG (Default /SWAP=1)	IR
PAD_GPIO_20	SF1_D0 /SF2_D0	-	MOSI /MISO	SIG4 /SIG0	SCL	PWM_CH0	-	FEM0	TMS/TCK	-
PAD_GPIO_21	SF1_CS /SF2_CS	-	MISO /MOSI	SIG5 /SIG1	SDA	PWM_CH1	-	FEM1	TDI/TDO	-
PAD_GPIO_22	SF1_CLK /SF2_CLK	-	SS	SIG6 /SIG2	SCL	PWM_CH2	-	FEM2	TCK/TMS	-
PAD_GPIO_23	SF0_CLK	-	-	-	-	-	-	-	-	-
PAD_GPIO_24	SF0_CS	-	-	-	-	-	-	-	-	-
PAD_GPIO_25	SF0_D0	-	-	-	-	-	-	-	-	-
PAD_GPIO_26	SF0_D1	-	-	-	-	-	-	-	-	-
PAD_GPIO_27	SF0_D2	-	-	-	-	-	-	-	-	-
PAD_GPIO_28	SF0_D3	-	-	-	-	-	-	-	-	-

<sup>1</sup> Flash 一共有 3 组，最小的选择单元是组，即使用时按组配置。

<sup>2</sup> 默认的 UART 信号映射表如下所示。

表 3.3: UART 信号映射表 (Default)

UART Signal	uart_sig_x_sel	Mapping Signal
UART_SIG0	uart_sig_0_sel=0	UART0_RTS
UART_SIG1	uart_sig_1_sel=1	UART0_CTS
UART_SIG2	uart_sig_2_sel=2	UART0_TXD
UART_SIG3	uart_sig_3_sel=3	UART0_RXD
UART_SIG4	uart_sig_4_sel=4	UART1_RTS
UART_SIG5	uart_sig_5_sel=5	UART1_CTS
UART_SIG6	uart_sig_6_sel=6	UART1_TXD
UART_SIG7	uart_sig_7_sel=7	UART1_RXD

注解: UART\_SIG0-UART\_SIG7 都可配置为 8 种 Mapping Signal 中的任意一种。例如: UART\_SIG0 也可以配置为 UART\_RXD, 具体信号映射示例如下表所示。

表 3.4: UART 信号映射表 (Example)

UART Signal	uart_sig_x_sel	Mapping Signal
UART_SIG0	uart_sig_0_sel=7	UART1_RXD
UART_SIG1	uart_sig_1_sel=6	UART1_TXD
UART_SIG2	uart_sig_2_sel=5	UART1_CTS
UART_SIG3	uart_sig_3_sel=4	UART1_RTS
UART_SIG4	uart_sig_4_sel=3	UART0_RXD
UART_SIG5	uart_sig_5_sel=2	UART0_TXD
UART_SIG6	uart_sig_6_sel=1	UART0_CTS
UART_SIG7	uart_sig_7_sel=0	UART0_RTS

### 3.1 GPIO 初始状态

表格 3.5 和 3.6 分别列出了 BL602 和 BL604 的各 GPIO 在上电时（也包括释放复位或者从休眠状态退出）的行为和初始状态，包含默认功能、方向、上下拉、逻辑电平等信息。

表 3.5: BL602 GPIO 初始状态

Pin Name	Default Function	Input/Output/Hi-Z	Pull up/down	Logic Level
PAD_GPIO_0	GPIO	Input	pull up	High
PAD_GPIO_1	GPIO	Input	pull up	High
PAD_GPIO_2	GPIO	Input	pull up	High
PAD_GPIO_3	SDIO DATA1			
PAD_GPIO_4	SDIO DATA2			
PAD_GPIO_5	SDIO DATA3			High/Low <sup>1</sup>
PAD_GPIO_7	Programming UART RXD <sup>2</sup>			High/Low
PAD_GPIO_8	Bootstrap			Floating
PAD_GPIO_11	JTAG TDO			High/Low
PAD_GPIO_12	JTAG TMS			Floating
PAD_GPIO_14	JTAG TCK			High/Low
PAD_GPIO_16	Programming UART TXD <sup>2</sup>			Floating
PAD_GPIO_17	JTAG TDI			Floating
PAD_GPIO_20	GPIO	Input	pull up	High
PAD_GPIO_21	GPIO	Input	pull up	High
PAD_GPIO_22	GPIO	Input	pull up	High

<sup>1</sup> 'High/Low' 表示上电过程中 GPIO 的状态会有高低电平间的转换。

<sup>2</sup> 在 Bootstrap GPIO8 为高电平时，GPIO7 和 GPIO16 上电默认功能是烧录 UART。

表 3.6: BL604 GPIO 初始状态

Pin Name	Default Function	Input/Output/Hi-Z	Pull up/down	Logic Level
PAD_GPIO_0	GPIO	Input	pull up	High
PAD_GPIO_1	GPIO	Input	pull up	High
PAD_GPIO_2	GPIO	Input	pull up	High
PAD_GPIO_3	SDIO DATA1			

表 3.6: BL604 GPIO 初始状态

Pin Name	Default Function	Input/Output/Hi-Z	Pull up/down	Logic Level
PAD_GPIO_4	SDIO DATA2			
PAD_GPIO_5	SDIO DATA3			High/Low <sup>1</sup>
PAD_GPIO_6	GPIO	Input	no pull	Floating
PAD_GPIO_7	Programming UART RXD <sup>2</sup>			High/Low
PAD_GPIO_8	Bootstrap			Floating
PAD_GPIO_9	GPIO	Input	no pull	Floating
PAD_GPIO_10	GPIO	Input	no pull	Floating
PAD_GPIO_11	JTAG TDO			High/Low
PAD_GPIO_12	JTAG TMS			Floating
PAD_GPIO_13	JTAG TDI			Floating
PAD_GPIO_14	JTAG TCK			High/Low
PAD_GPIO_15	GPIO	Input	no pull	Floating
PAD_GPIO_16	Programming UART TXD <sup>2</sup>			Floating
PAD_GPIO_17	GPIO	Input	no pull	Floating
PAD_GPIO_18	GPIO	Input	no pull	Floating
PAD_GPIO_19	GPIO	Input	no pull	Floating
PAD_GPIO_20	GPIO	Input	pull up	High
PAD_GPIO_21	GPIO	Input	pull up	High
PAD_GPIO_22	GPIO	Input	pull up	High

<sup>1</sup> 'High/Low' 表示上电过程中 GPIO 的状态会有高低电平间的转换。

<sup>2</sup> 在 Bootstrap GPIO8 为高电平时，GPIO7 和 GPIO16 上电默认功能是烧录 UART。

注解：PWM 灯控应用中，产生 PWM 的 IO 在上电过程中需要保持确定状态（一般为低电平），以避免出现闪烁的情况。

- 1、在上电过程之中或之后，GPIO0~2、5、7、14、20~22 会有弱上拉导致的高电平，可通过增加 4.7k 电阻下拉，保持低电平。
- 2、GPIO11 默认功能是 JTAG TDO，上电过程中可能会输出高电平，不建议用作 PWM 灯控。
- 3、其它 GPIO 用作 PWM 灯控，也建议增加 4.7k 电阻下拉，避免 floating 状态。

## 4.1 绝对最大额定值

表 4.1: 电源的绝对最大额定值

管脚名称	最小值	最大值	单位
AVDD33_1	-0.3	3.63	V
AVDD33_2	-0.3	3.63	V
AVDD33	-0.3	3.63	V
DVDD33_DCDC	-0.3	3.63	V
DVDDIO_1	-0.3	3.63	V
ESD Protection (HBM)		2000	V
Storage Temperature	-45	135	°C

## 4.2 运行条件



## 4.2.1 电源特性

表 4.2: 建议电源值范围

管脚名称	最小值 <sup>1</sup>	典型值	最大值	单位
AVDD33_1	2.1	3.3	3.63	V
AVDD33_2	2.1	3.3	3.63	V
AVDD33	2.1	3.3	3.63	V
DVDD33_DCDC	2.1	3.3	3.63	V
DVDDIO_1	2.1 / 1.62	3.3 / 1.8	3.63 / 1.98	V

<sup>1</sup> 单电源供电时，内置 Flash 型号，电压  $\geq 2.7V$ ；MCU only 应用，电压  $\geq 2.1V$ 。

## 4.2.2 上电时序

为确保正常的上电启动，电源、复位、Bootstrap 引脚需要满足相应的时序要求。

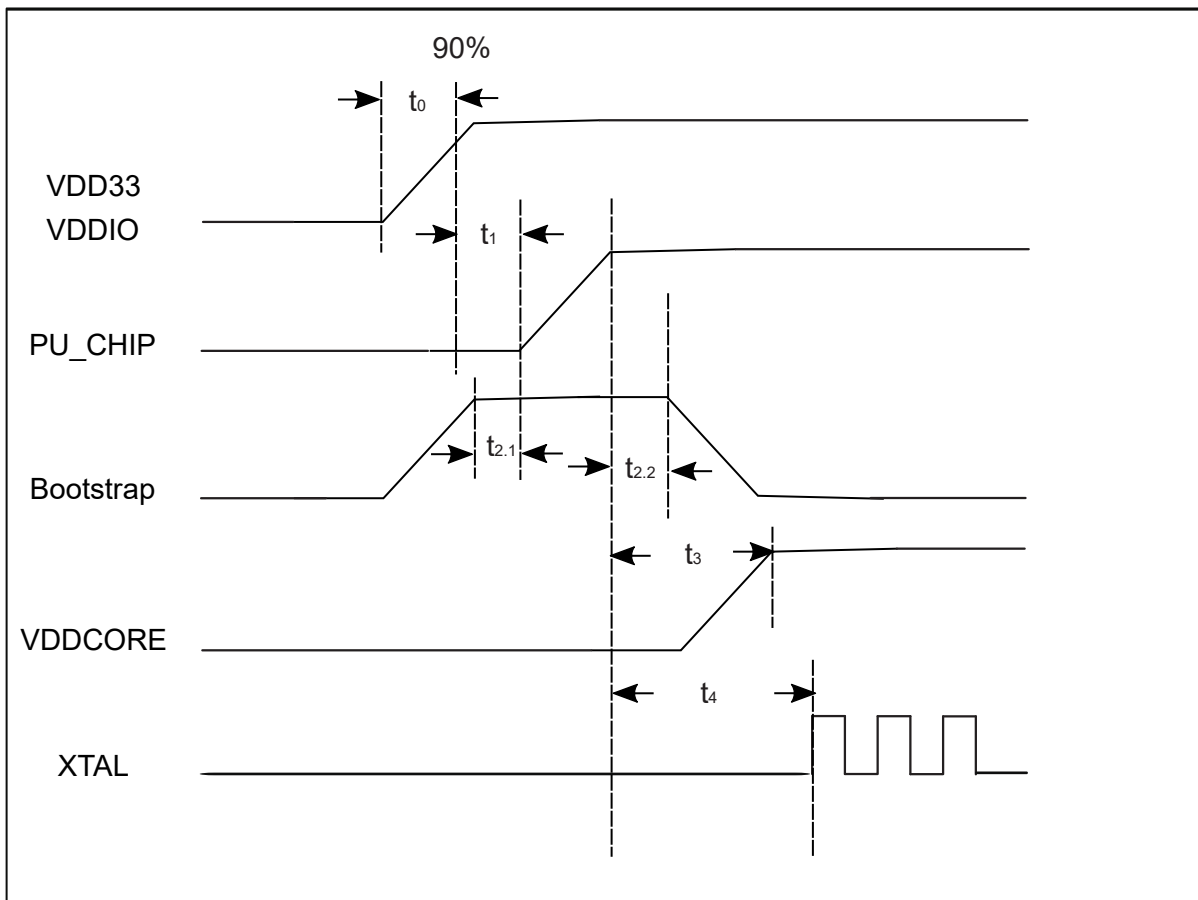


图 4.1: 上电时序

表 4.3: 上电时序参数说明

参数	说明	最小值 (ms)	典型值 (ms)	最大值 (ms)
$t_0$	电源电压到达 90% 的上升时间			2
$t_1$	电源上升完成到 PU_CHIP 拉高前延时	0.1		
$t_{2.1}$	Bootstrap 引脚 <sup>1</sup> 电平在 PU_CHIP 拉高前的建立时间	0		
$t_{2.2}$	Bootstrap 引脚电平在 PU_CHIP 拉高后的保持时间	2		
$t_3$	PU_CHIP 拉高到 VDDCORE 输出		2	
$t_4$	PU_CHIP 拉高到 XTAL 起振		2	

<sup>1</sup> Bootstrap 引脚是 GPIO8。

### 4.2.3 温度特性

表 4.4: 建议温度值范围

项目		最小值	最大值	单位
温度	主芯片	-30	105	°C
	合封多芯片	-30	85	°C

### 4.2.4 通用工作条件

表 4.5: 一般操作条件

项目	描述	最小值	典型值	最大值	单位
FCPU	CPU/TCM/Cache 时钟频率	1	160	192	MHz
FSYS	系统时钟频率	1	80	96	MHz

### 4.2.5 GPADC 特性

表 4.6: GPADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDD33	Vbat supply voltage		2.3		3.6	V
T	Working temperture		-40		125	°C
$I_{vdd33}$	Current consumption of ADC on VDD33	PGA1&2 off (2M clock)		150		$\mu$ A
		PGA1&2 on(2M clock)		350		
Fclk	ADC input top clock frequency	Clock from SOC	1.5		32	MHz
Fsample	Sampling rate	2.048M(12bit mode) 32K-128K(14bit mode) 8K-16K(16bit mode)			2	MHz
Vin	Input conversion voltage range	Differential mode			6.4	V(vpp)
		Single-ended mode			3.2	
Rin	Total input channel resistance				2	K $\Omega$
Tcal	Calibration time	Fsample=2M (16bit mode)			140	$\mu$ S
Tpu	Power up time				1	$\mu$ S
Tconv	Total conversion time	12bit mode			1	1/Fsample
		14bit mode <sup>1</sup>			16	
		14bit mode <sup>2</sup>			64	
		16bit mode <sup>3</sup>			128	
		16bit mode <sup>4</sup>			256	

<sup>1</sup> 14-bit mode with 16 times average

<sup>2</sup> 14-bit mode with 64 times average

<sup>3</sup> 16-bit mode with 128 times average

<sup>4</sup> 16-bit mode with 256 times average

注解：如果没有特殊说明，表中给出的参数是在-40°C~ 125°C 的条件下进行测试得出的，电源为 AVDD = 3.3V, DVDD = 1.1V。

表 4.7: ADC electrical characteristic

符号	参数	条件	最小值	典型值	最大值	单位
DNL <sup>1</sup>	Differential linearity error				+/-1	LSB
INL <sup>1</sup>	Integral linearity error				+/-2	LSB
Offset	Input offset				+/-2	LSB
Ge <sup>1&amp;2</sup>	Gain error				+/-1	%
ENOB	Effective number of bits	12bit mode(201KHz input)	9.7	10.5		bit
		14bit mode(2.5KHz input)	10.8	11.4		
		16bit mode(1KHz input)	11.5	12.3		
SNDR	Signal-to-noise-distortion (PGA on)	12bit mode(201KHz input)	59	65		dB
		14bit mode(2.5KHz input)	66	72.4		
		16bit mode(1KHz input)	71	76.8		
SNDR	Signal-to-noise-distortion (PGA gain=4)	12bit mode(201KHz input)	58	64		dB
		14bit mode(2.5KHz input)	64	69.5		
		16bit mode(1KHz input)	70	74		

<sup>1</sup> more test needed

<sup>2</sup> after calibration

## 5.1 湿敏等级 (MSL)

芯片的湿敏等级为：MSL3。真空包装打开后，在  $\leq 30^{\circ}\text{C}/60\%\text{RH}$  下，需要在 168 小时（7 天）内使用完毕，否则需要烘烤后上线。烘烤温度和时间可参考 IPC/JEDECJ-STD-033B01。

表 5.1: Reference Conditions for Drying Mounted or Unmounted SMD Packages  
(User Bake: Floor life begins counting at time = 0 after bake)

Package Body	Level	Bake @ 125°C		Bake @ 90°C $\leq 5\% \text{ RH}$		Bake @ 40°C $\leq 5\% \text{ RH}$	
		Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h	Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h	Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h
Thickness $\leq 1.4$ mm	2	5 hours	3 hours	17 hours	11 hours	8 days	5 days
	2a	7 hours	5 hours	23 hours	13 hours	9 days	7 days
	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days
	4	11 hours	7 hours	37 hours	23 hours	15 days	9 days
	5	12 hours	7 hours	41 hours	24 hours	17 days	10 days
	5a	16 hours	10 hours	54 hours	24 hours	22 days	10 days

## 5.2 静电放电 (ESD)

- 人体放电模式 (HBM): 2000V
- 组件充电模式 (CDM): 500V

## 5.3 回流焊接曲线 (Reflow Profile)

具体可参考 IPC/JEDEC J-STD-020E。

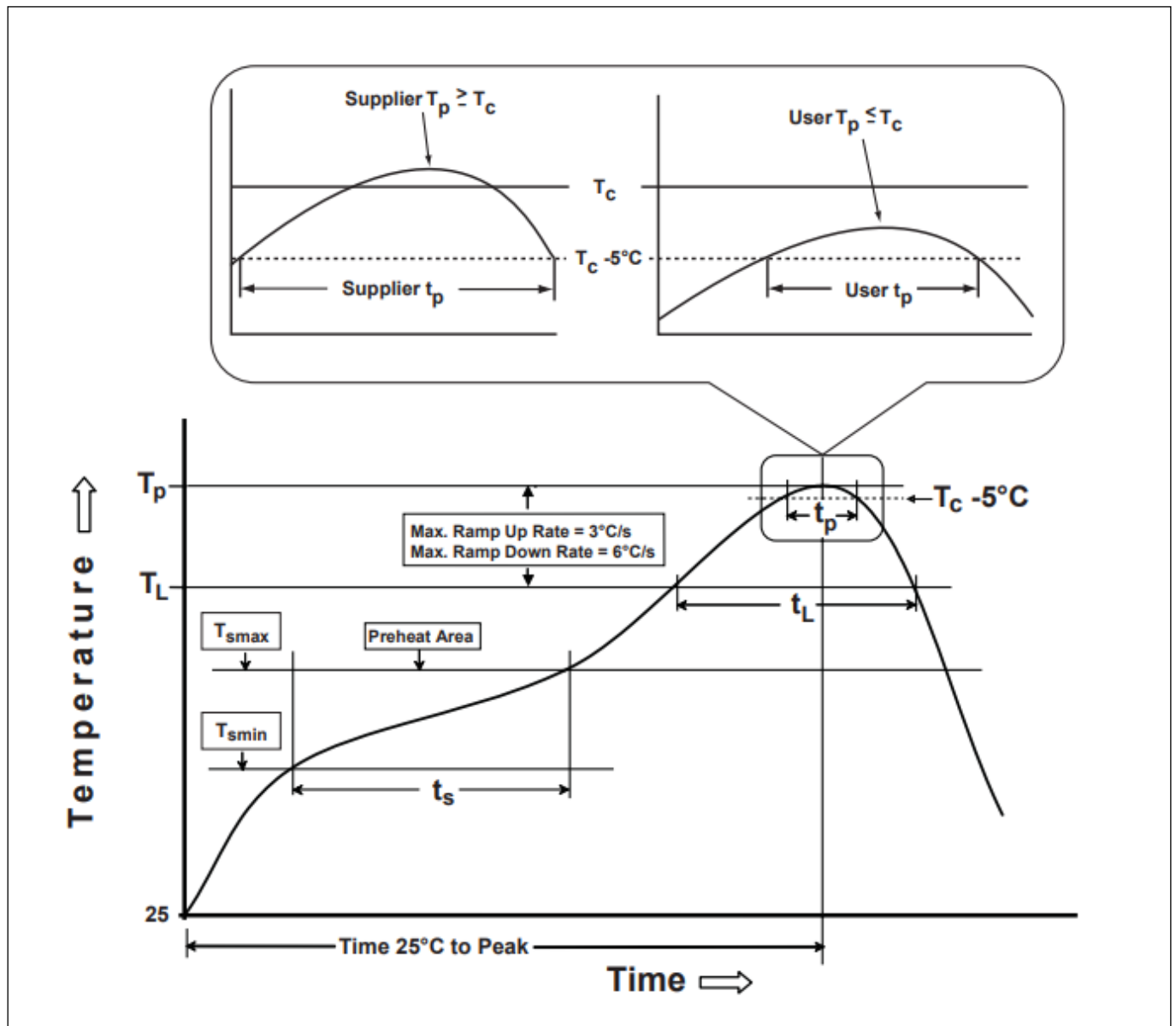


图 5.1: Classification Profile (Not to scale)

表 5.2: Classification Reflow Profiles

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat/Soak		
Temperature Min ( $T_{smin}$ )	100 °C	150 °C
Temperature Max ( $T_{smax}$ )	150 °C	200 °C
Time ( $t_s$ ) from ( $T_{smin}$ to $T_{smax}$ )	60-120 seconds	60-120 seconds
Ramp-up rate ( $T_L$ to $T_p$ )	3 °C/second max.	3 °C/second max.
Liquidous temperature ( $T_L$ )	183 °C	217 °C
Time ( $t_L$ ) maintained above $T_L$	60-150 seconds	60-150 seconds
Peak package body temperature ( $T_p$ )	240 °C+0/-5 °C	250 °C+0/-5 °C
Time ( $t_p$ )* within 5 °C of the specified classification temperature ( $T_c$ )	10-30 seconds	20-40 seconds
Ramp-down rate ( $T_p$ to $T_L$ )	6 °C/second max	6 °C/second max
Time 25 °C to peak temperature	6 minutes max	8 minutes max
- Tolerance for peak profile temperature ( $T_p$ ) is defined as a supplier minimum and a user maximum.		

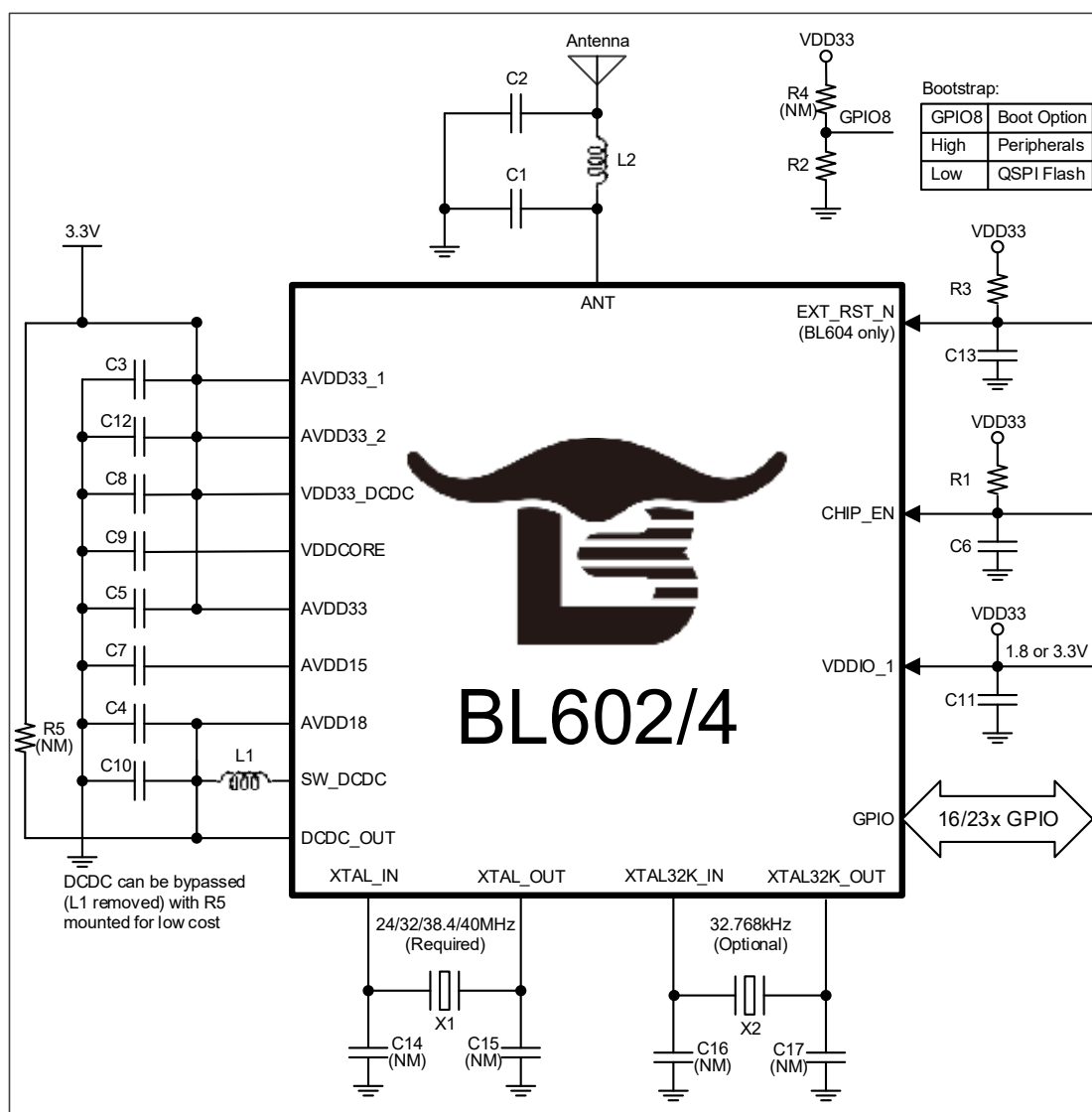


图 6.1: 参考设计



## 封装信息 QFN32

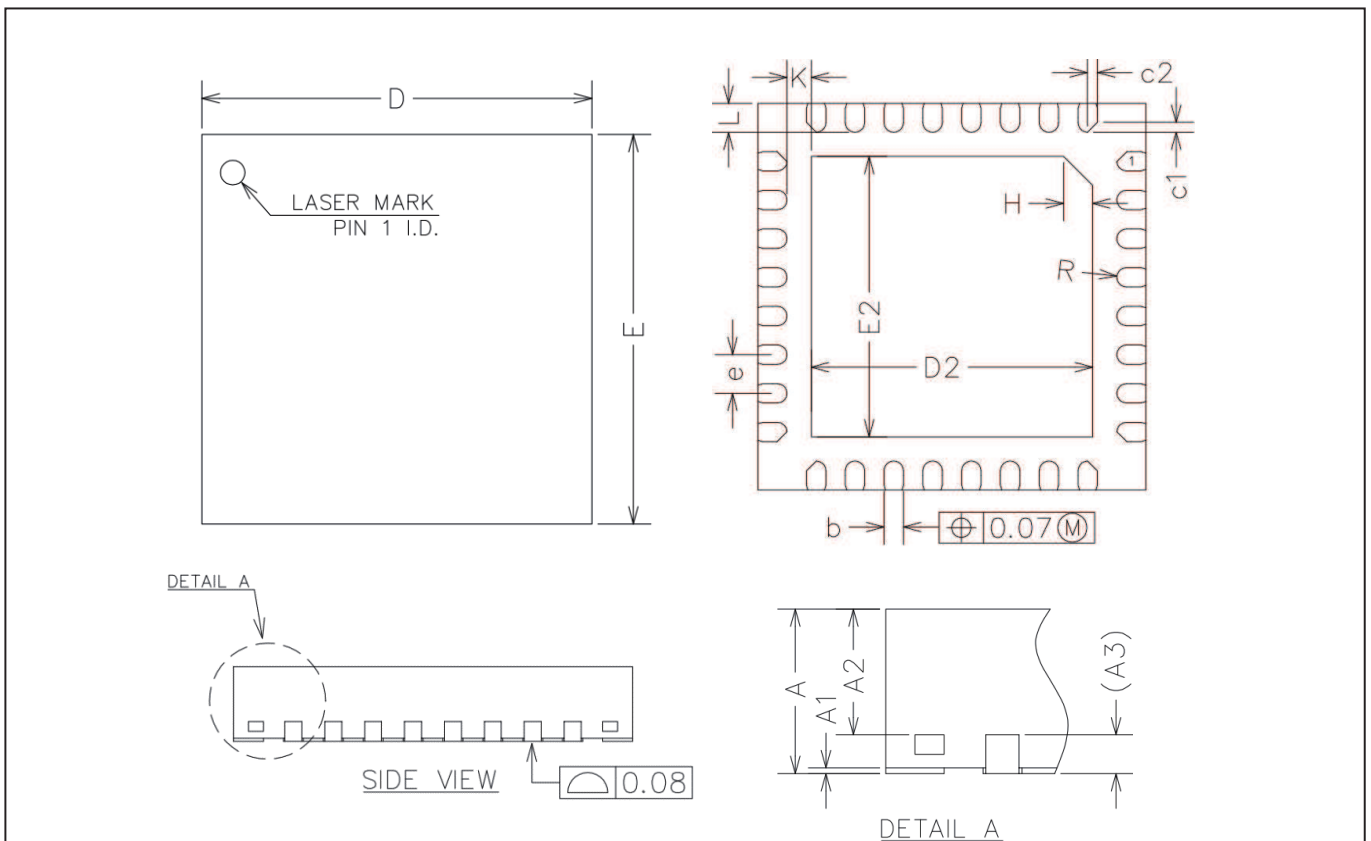


图 7.1: QFN32 封装图

表 7.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05

表 7.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.80	2.90	3.00
E2	2.80	2.90	3.00
e	0.30	0.40	0.50
H	0.30REF		
K	0.25REF		
L	0.25	0.30	0.35
R	0.09	-	-
c1	-	0.10	-
c2	-	0.10	-

## 封装信息 QFN40

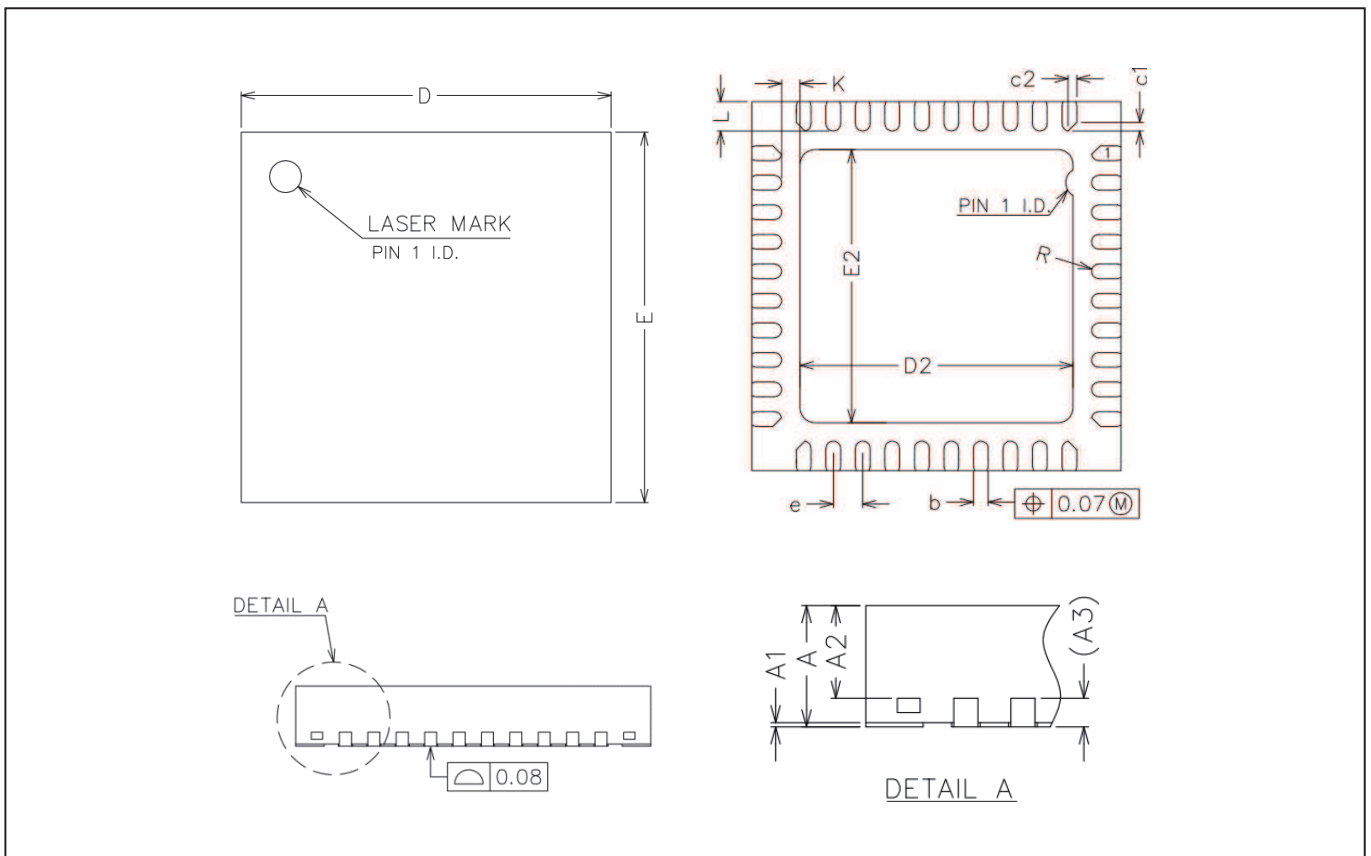


图 8.1: QFN40 封装图

表 8.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05

表 8.1: 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A2	0.60	0.65	0.70
A3	0.20REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.60	3.70	3.80
E2	3.60	3.70	3.80
e	0.35	0.40	0.45
K	0.20	-	-
L	0.35	0.40	0.45
R	0.075	-	-
C1	-	0.12	-
C2	-	0.12	-

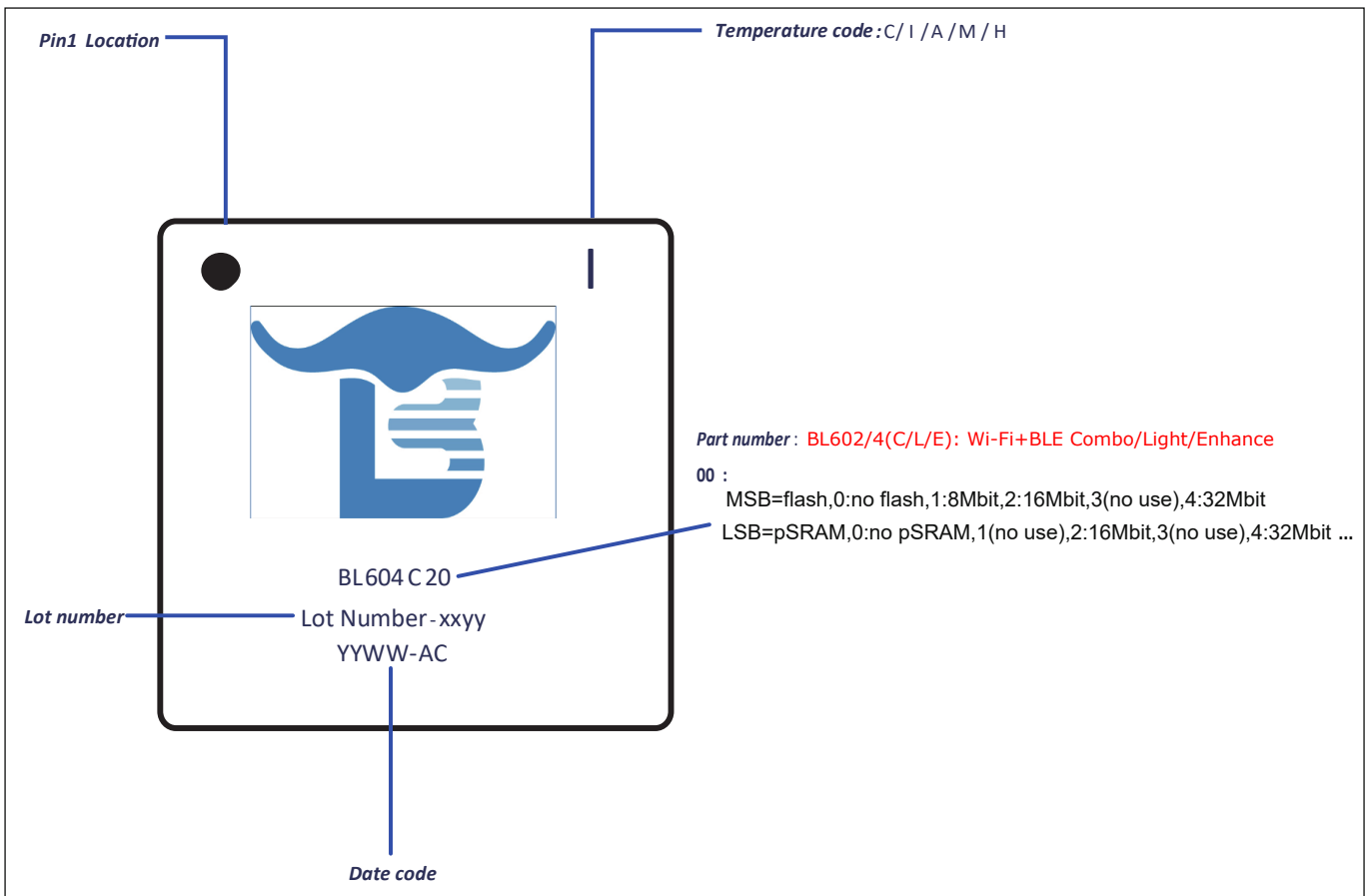


图 9.1: 标志定义

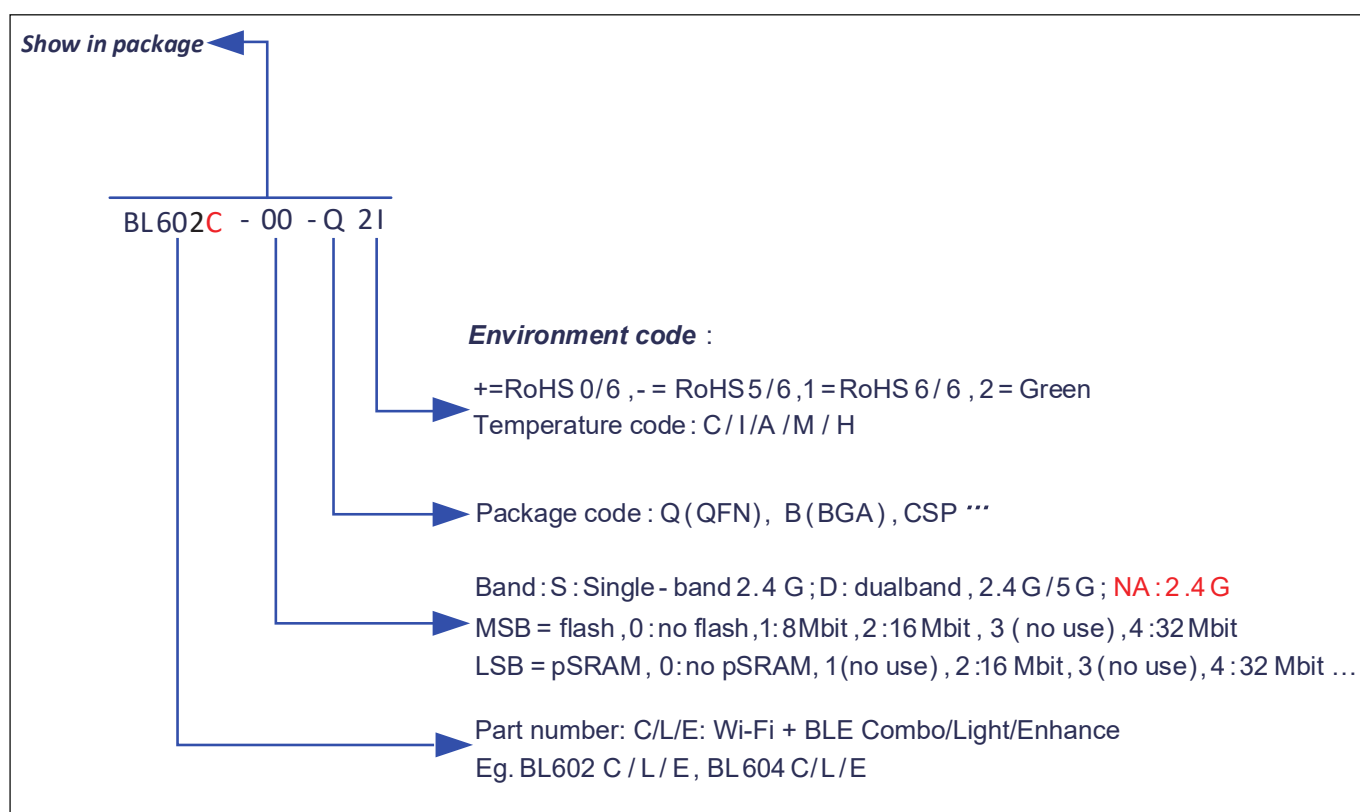


图 10.1: 型号命名

表 10.1: 订购选项

产品编号	描述
BL602C-00-Q2I	Wi-Fi+BLE Combo, QFN32
BL602C-20-Q2I	Wi-Fi+BLE Combo, QFN32, flash 16Mb
BL602L-20-Q2H	Wi-Fi+BLE Light, QFN32, flash 16Mb

表 10.1: 订购选项

产品编号	描述
BL602L-10-Q2H	Wi-Fi+BLE Light, QFN32, flash 8Mb
BL604E-20-Q2I	Wi-Fi+BLE Enhance, QFN40, flash 16Mb

表 11.1: 修改记录

日期	版本	修改内容
2020/2/13	0.9	初版
2020/4/20	1.0	添加标记定义
2020/5/28	1.1	修改时钟频率最大值
2020/7/28	1.2	修改产品编号
2020/12/15	1.4	修改外设特性
2020/12/31	1.5	修改功能描述
2021/1/13	1.6	更新参考设计
2021/3/16	1.7	增加产品使用说明、ADC 特性，修改 SPI 管脚默认功能
2021/4/7	1.8	修改参考设计电路图
2021/5/27	1.9	增加电源特性说明
2021/7/2	2.0	增加上电时序参数说明
2021/7/14	2.1	增加 GPIO 初始状态描述