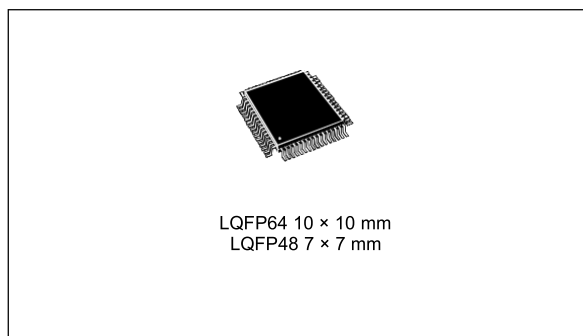


32-bit MCU up to 128 KB Flash, 20 KB SRAM,
8 timers, 2 ADCs, COMP, Op-Amp, PGA, 8 com. interfaces

Features

- Operating voltage 2.5 to 5.5 V
- Operating temperatures -40 to +105 °C
- 32-bit CPU Core
 - 72 MHz maximum frequency
 - Single-cycle multiplication and hardware division
- Memories
 - 64 or 128 Kbytes of Flash memory
 - 20 Kbytes of SRAM
- Clock, reset and supply management
 - 2.0 to 5.5 V application supply and I/Os
 - POR, PDR, and programmable voltage detector (PVD)
 - 4-to-16 MHz crystal oscillator
 - Internal 8 MHz factory-trimmed RC
 - Internal 40 kHz RC
 - PLL for CPU clock
 - 32 kHz oscillator for RTC with calibration
- Low-power
 - Sleep, Stop and Standby modes
 - V_{BAT} supply for RTC and backup registers
- 2 x 12-bit, 1 μs A/D converters (up to 16 channels)
 - Conversion range: 0 to AVCC
 - Dual-sample and hold capability
 - Temperature sensor
- DMA
 - 7-channel DMA controller
 - Peripherals supported: timers, ADC, SPIs, I²Cs and USARTs
- Up to 51 fast I/O ports
 - 26/37/51 I/Os, all mappable on 16 external interrupt vectors and almost all 5 V-tolerant



- Debug mode
 - Serial wire debug (SWD) & JTAG interfaces
- 2 x fast rail-to-rail analog comparators with analog supply from 2.5 to 5.5 V
- 1 x operational amplifiers, all terminals accessible with analog supply from 2.5 to 5.5 V
- 2 x PGA amplifiers, all terminals accessible with analog supply from 2.5 to 5.5 V
- 8 timers
 - 3 x 16-bit timers, each with up to 4 IC/OC/PWM or pulse counter and quadrature (incremental) encoder input
 - 2 x 16-bit, motor control PWM timer with dead-time generation and emergency stop
 - 2 watchdog timers (Independent and Window)
 - SysTick timer 24-bit downcounter
- Up to 8 communication interfaces
 - Up to 2 x I²C interfaces (SMBus/PMBus)
 - Up to 3 USARTs (ISO 7816 interface, LIN, IrDA capability, modem control)
 - Up to 2 SPIs (18 Mbit/s)
 - CAN interface (2.0B Active)
- CRC calculation unit, 96-bit unique ID
- Packages are RoHS

Device summary

Reference	Part number
RX32F103x8	RX32F103C8, RX32F103R8
RX32F103xB	RX32F103CB, RX32F103RB

版本更新说明

版本号	修改内容
V1.0	初版
V1.1	修改量产封装型式 LQFP64、LQFP48、QFN36
V1.2	完善功能模块细部资料
V1.3	調整芯片操作溫度 105 度，增加 FLASH 規格
V1.4	移除 QFN36 封装，整合系統框圖，增加電器特性部分數據
V1.5	TPS 不兼容，增加溫度公式说明
V1.6	补充电气模块资料。
V1.7	完善电气模块资料，增加 CMP、OPA、PGA 的电气特性数据。
V1.8	更新电气参数相关描述

内容

新增修改项	5
1 系统框图	6
2 存储器映像	7
3 供电系统	9
4 RCC	10
RCC 寄存器	11
时钟控制寄存器(RCC_CR).....	11
时钟配置寄存器(RCC_CFGR).....	13
APB2 外设时钟使能寄存器(RCC_APB2ENR).....	16
备份域控制寄存器(RCC_BDCR).....	18
5 管脚定义	20
6 EXTI	25
7 ADC	27
ADC 新增功能.....	27
ADC 寄存器.....	29
ADC 控制寄存器2(ADC_CR2).....	29
ADC 采样时间寄存器1(ADC_SMPR1).....	31
8 TIM1 & TIM8.....	32
TIM1 AND TIM8 寄存器.....	33
TIM1 和 TIM8 控制寄存器 2(TIMx_CR2).....	33
TIM1 和 TIM8 DMA/中断使能寄存器(TIMx_DIER).....	34
TIM1 和 TIM8 状态寄存器(TIMx_SR).....	35
TIM1 和 TIM8 事件产生寄存器(TIMx_EGR).....	37
TIM1 和 TIM8 捕获/比较使能寄存器(TIMx_CCER).....	38
TIM1 和 TIM8 刹车和死区寄存器(TIMx_BDTR).....	39
TIM1 和 TIM8 CCR5(TIMx_CCR5).....	43
TIM1 和 TIM8 CCMR3(TIMx_CCMR3).....	43
9 CMP 比较器.....	44
CMP 简介.....	44
比较器功能描述.....	44
简介 44	
比较器开关控制.....	45
比较器输入和输出.....	45
比较器用法.....	45
比较器锁定机制.....	45
迟滞现象 (未测试).....	45
电流尖峰遮蔽功能 (未测试).....	46
CMP 中断.....	47
CMP 寄存器.....	47
CMP 控制寄存器 1(CMPx_CR1).....	47
CMP 控制寄存器 2(CMPx_CR2).....	48
CMP 调节寄存器(CMPx_CAL).....	50
CMP 数据寄存器(CMPx_DAT).....	50



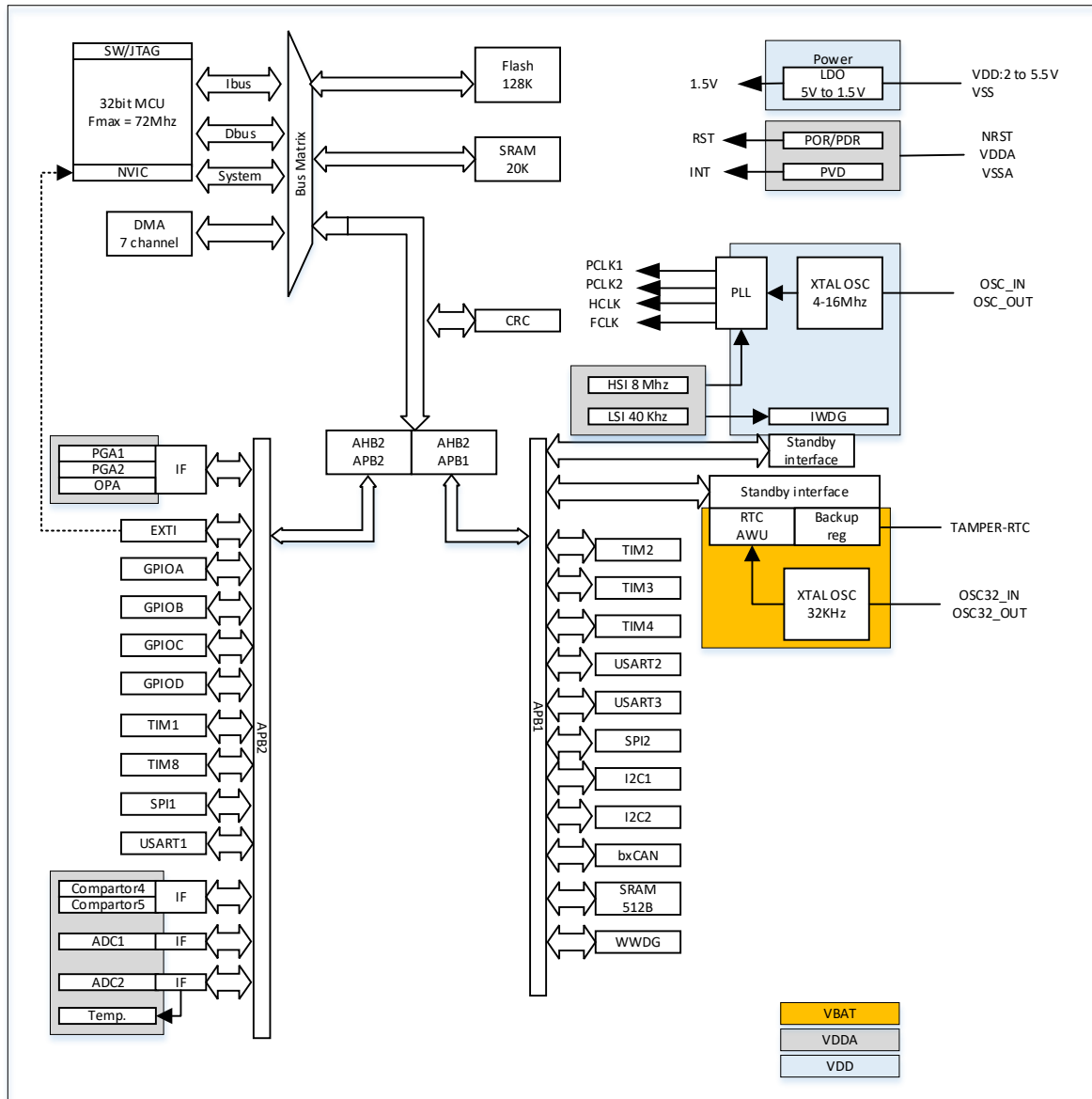
CMP 寄存器地址映像.....	51
10 OPAMP 运算放大器.....	52
运算放大器简介	52
运算放大器主要特征	52
运算放大器寄存器	52
OPA 控制寄存器(OPA_CR).....	52
OPA 控制寄存器 2(OPA_CR2).....	53
OPA 控制寄存器 3(OPA_CR3).....	54
OPA 寄存器地址映像.....	54
11 GPIO.....	55
GPIO alternate function low register (GPIOx_AFRL).....	55
GPIO alternate function high register (GPIOx_AFRH).....	55
GPIO port pull-up/pull-down register (GPIOx_PUPDR).....	56
AFIO remap & pupd option register (AFIO_OPT).....	57
12 AC/DC.....	59
12.1 ABSOLUTE MAXIMUM RATINGS.....	59
12.2 GENERAL OPERATING CONDITIONS	60
12.3 OPERATING CONDITIONS PWR UP_DOW	60
12.4 EMBEDDED RESET AND POWER	61
12.5 EMBEDDED INTERNAL REFERENCE.....	61
12.6 SUPPLY CURRENT.....	62
12.7 EXTERNAL CLOCK	63
12.8 INTERNAL CLOCK SOURCE	65
12.9 PLL CHARACTERISTICS	65
12.10 MEMORY CHARACTERISTICS.....	66
12.11 EMC CHARACTERISTICS	66
12.12 ELECTRICAL SENSITIVITY.....	67
12.13 IO PORT CHARACTERISTICS	67
12.14 NRST	69
12.15 TIM TIMER.....	70
12.16 COMMUNICATIONS INTERFACES.....	70
12.17 CAN.....	71
12.18 ADC.....	71
12.19 TEMPERATURE SENSOR	73
12.20 CMP.....	73
12.21 OPA/PGA.....	75
13 PACKAGES.....	77

新增修改项

RX32F103 新增修改项适用 F103x8、F103xB, 针对新增、移除、修改项目进行说明, 其余规格相同将不再说明。

功能模块	新增修改说明		
FLASH	存储器映像	0x4001 5000 - 0x4001 7FFF	OPA
		0x4001 4000 - 0x4001 4FFF	COMP
PWR	Power	工作電壓：2.0 ~ 5.5V 電壓調節器輸出：1.5V	
RCC	System Clock	HSI作為PLL時鐘源，系統時鐘最大頻率72MHz	
	Clock out	MCO pin add LSI clock	
EXTI	中斷	移除USB相關	
ADC	寄存器	add JEXTSEL2[3:0]	
TIM1&TIM8	新增	TIM8	
		CH5	
		DOE	
	新增煞車源	PVD_OUT	
		CMP4_OUT	
		CMP5_OUT	
	LOCKUP output		
USB	無此功能		
COMP	新增模塊		
OPA	新增模塊		
GPIO	新增AFIO複用	PB10、PB11、PB12無5V tolerant	
Packages	移除封裝	只留下2個封裝 LQFP64、LQFP48	

1 系統框圖



2 存储器映像

寄存器组起始地址

起始地址	外设	总线	寄存器映像	
0x5000 0000 - 0x5003 FFFF	保留	AHB		
0x4003 0000 - 0x4FFF FFFF	保留			
0x4002 8000 - 0x4002 9FFF	保留			
0x4002 3400 - 0x4002 3FFF	保留	AHB		
0x4002 3000 - 0x4002 33FF	CRC			
0x4002 2000 - 0x4002 23FF	闪存存储器接口			
0x4002 1400 - 0x4002 1FFF	保留			
0x4002 1000 - 0x4002 13FF	复位和时钟控制 (RCC)			
0x4002 0800 - 0x4002 0FFF	保留			
0x4002 0400 - 0x4002 07FF	保留			
0x4002 0000 - 0x4002 03FF	DMA1			
0x4001 8400 - 0x4001 7FFF	保留			
0x4001 8000 - 0x4001 83FF	保留			
0x4001 5000 - 0x4001 7FFF	OPA	APB2		
0x4001 4000 - 0x4001 4FFF	COMP			
0x4001 3C00 - 0x4001 3FFF	保留			
0x4001 3800 - 0x4001 3BFF	USART1			
0x4001 3400 - 0x4001 37FF	TIM8定时器			
0x4001 3000 - 0x4001 33FF	SPI1			
0x4001 2C00 - 0x4001 2FFF	TIM1定时器			
0x4001 2800 - 0x4001 2BFF	ADC2			
0x4001 2400 - 0x4001 27FF	ADC1			
0x4001 2000 - 0x4001 23FF	保留			
0x4001 2000 - 0x4001 23FF	保留			
0x4001 1800 - 0x4001 1BFF	NA			
0x4001 1400 - 0x4001 17FF	GPIO端口D			
0x4001 1000 - 0x4001 13FF	GPIO端口C			
0x4001 0C00 - 0x4001 0FFF	GPIO端口B			
0x4001 0800 - 0x4001 0BFF	GPIO端口A			
0x4001 0400 - 0x4001 07FF	EXTI			
0x4001 0000 - 0x4001 03FF	AFIO			
0x4000 7800 - 0x4000FFFF	保留		APB1	
0x4000 7400 - 0x4000 77FF	保留			
0x4000 7000 - 0x4000 73FF	电源控制 (PWR)			
0x4000 6C00 - 0x4000 6FFF	后备寄存器 (BKP)			
0x4000 6800 - 0x4000 6BFF	保留			
0x4000 6400 - 0x4000 67FF	bxCAN1			
0x4000 6000 - 0x4000 63FF	CAN的512字节SRAM			

0x4000 5C00 - 0x4000 5FFF	保留		
0x4000 5800 - 0x4000 5BFF	I2C2		
0x4000 5400 - 0x4000 57FF	I2C1		
0x4000 5000 - 0x4000 53FF	保留		
0x4000 4C00 - 0x4000 4FFF	保留		
0x4000 4800 - 0x4000 4BFF	USART3		
0x4000 4400 - 0x4000 47FF	USART2		
0x4000 4000 - 0x4000 3FFF	保留		
0x4000 3C00 - 0x4000 3FFF	保留		
0x4000 3800 - 0x4000 3BFF	SPI2		
0x4000 3400 - 0x4000 37FF	保留		
0x4000 3000 - 0x4000 33FF	独立看门狗 (IWDG)		
0x4000 2C00 - 0x4000 2FFF	窗口看门狗 (WWDG)		
0x4000 2800 - 0x4000 2BFF	RTC		
0x4000 1800 - 0x4000 27FF	保留		
0x4000 1400 - 0x4000 17FF	保留		
0x4000 1000 - 0x4000 13FF	保留		
0x4000 0C00 - 0x4000 0FFF	保留		
0x4000 0800 - 0x4000 0BFF	TIM4定时器		
0x4000 0400 - 0x4000 07FF	TIM3定时器		
0x4000 0000 - 0x4000 03FF	TIM2定时器		

Flash memory endurance and data retention

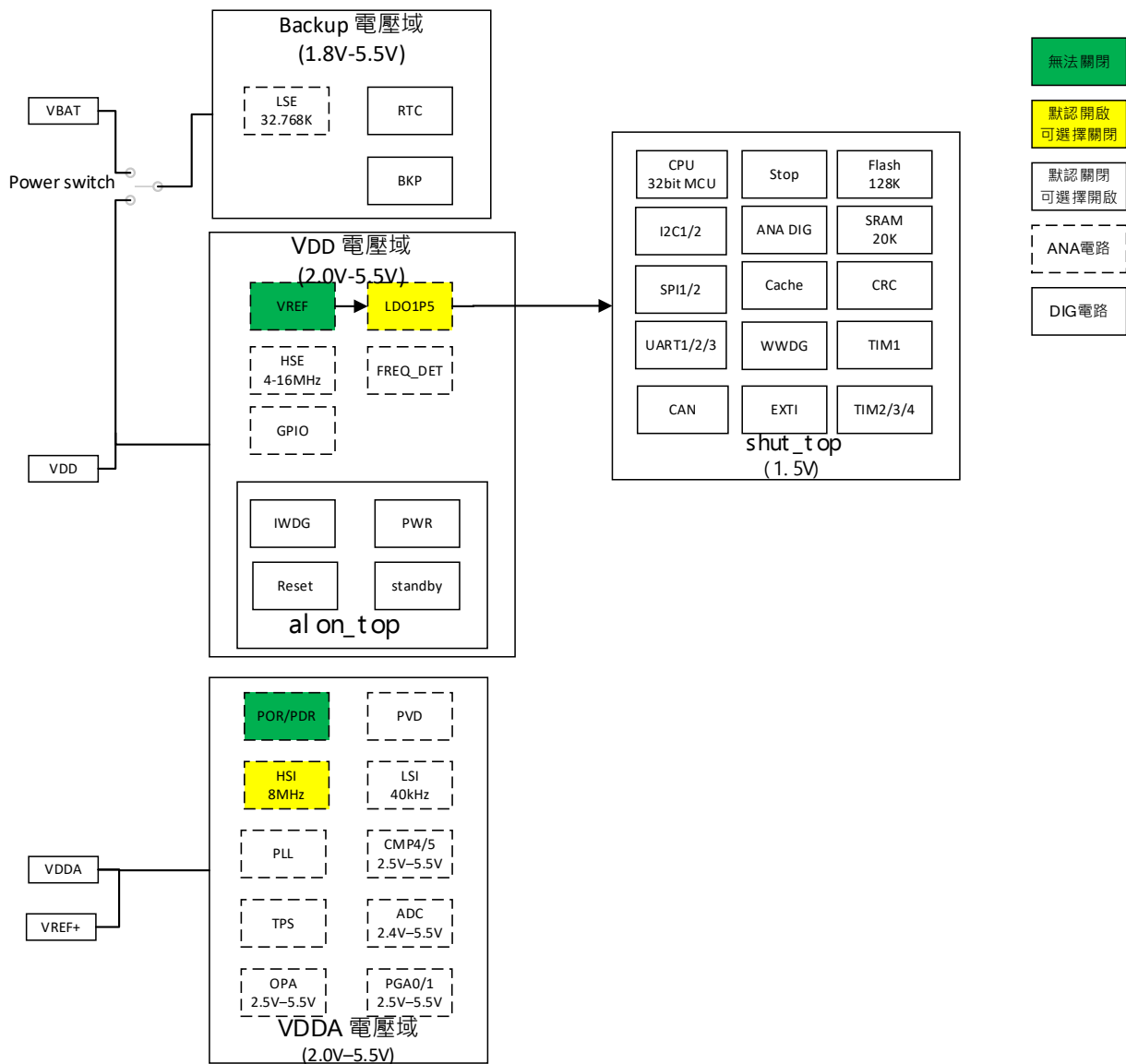
Symbol	Parameter	Conditions	Value			Unit
			Min ⁽¹⁾	Typ	Max	
N _{END}	Endurance	T _A = -40 to +105 °C (7 suffix versions)	20	-	-	kcycles
t _{RET}	Data retention	T _A = 25 °C	100	-	-	Years
		T _A = 85 °C	20	-	-	
		T _A = 125 °C	10	-	-	

Endurance 10Kcycles → 20Kcycles
 Add Data retention 10 Years at T_A = 125 °C

3 供电系统

电源

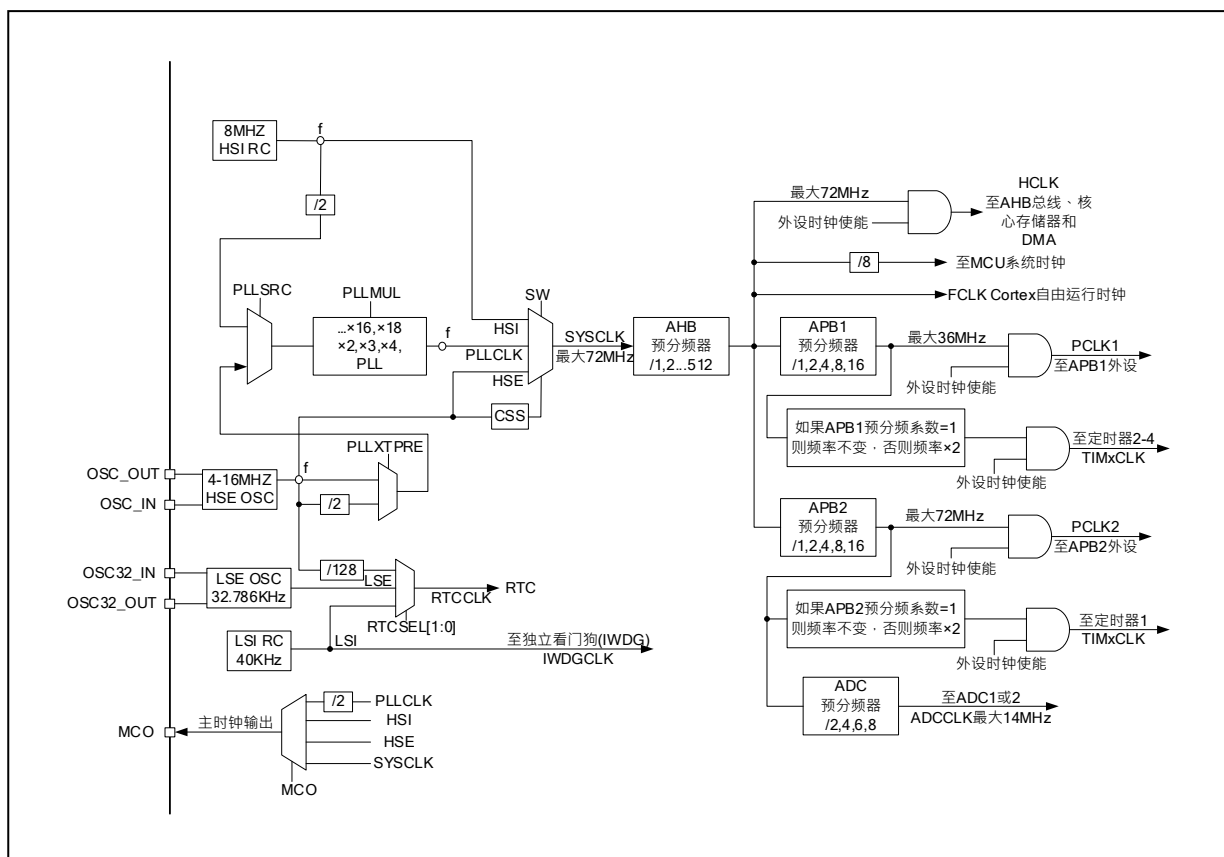
- VDD: 2.5V ~ 5.5V
- VBAT: 1.8V ~ 5.5



4 RCC

- 系统时钟最高频率 72MHz：可选择 HIS 经过 PLL x 18 倍(新增)
- MCO Pin 增加可选 LSI 频率输出

修改 PLLMUL 位，将 1111PLL16 倍频输出，修改为 16 倍/18 倍频输出
增加 CFGR_PLOOPT 位，当 PLLMUL 为 1111 时，选择 PLL 输出 为 16 倍还是 18 倍
增加 HIS 滤波功能
增加 PLL 滤波功能
增加 HSE 滤波功能
寄存器增加 CR_PLL_CTR
寄存器增加 CR_HSI_CTR
寄存器增加 CR_HSE_CTR
将 PLOOPT 位修改成 CMUOPT 位
CMUOPT 位为 1，HIS_CTR/HSE_CTR/PLL_CTR/PLLMUL 寄存器有效



RCC 寄存器

时钟控制寄存器(RCC_CR)

偏移地址: 0x00

复位值: 0x000 XX83, X 代表未定义 访问: 无等待状态, 字, 半字和字节访

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
HSE_CTR		HSI_CTR		PLL_CTR		PLL_RDY	PLLON	保留				HSE_BIAS	CSS_ON	HSE_BYP	HSE_RDY	HSE_ON
rw		rw		rw		r	rw					rw	rw	rw	r	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
HSICAL[7:0]								HSITRIM[4:0]					保留	HIS_RDY	HSION	
r								rw						r	rw	

位31:30	HSE 时钟滤波控制位, CMUOPT=1时该寄存器有效 =00, 0.0ns (Default) =01, 1.5ns =10, 3.0ns =11, 4.5ns
位29:28	HRC 时钟滤波控制位, CMUOPT=1时该寄存器有效 =00, 0.0ns (Default) =01, 1.5ns =10, 3.0ns =11, 4.5ns
位27:26	PLL 时钟滤波控制位,CMUOPT=1时该寄存器有效 =00, 0.0ns (Default) =01, 1.5ns =10, 1.5ns =11, 1.5ns
位25	PLLRDY : PLL时钟就绪标志(PLL clock ready flag) PLL锁定后由硬件置'1'。 0: PLL未锁定; 1: PLL锁定。
位24	PLLON : PLL使能(PLL enable) 由软件置'1'或清零。 当进入待机和停止模式时, 该位由硬件清零。当PLL时钟被用作或被选择将要作为系统时钟时, 该位不能被清零。 0: PLL关闭; 1: PLL使能。
位23:21	保留, 始终读为0。
位20	HSE BIAS 控制位, CMUOPT=1时该寄存器写入有效 1: HSE BIAS 电阻连接 (default) 0: HSE BIAS 电阻断开
位19	CSSON : 时钟安全系统使能(Clock security system enable) 由软件置'1'或清零以使能时钟监测器。 0: 时钟监测器关闭; 1: 如果外部4-16MHz振荡器就绪, 时钟监测器开启。

位18	HSEBYP: 外部高速时钟旁路(External high-speed clock bypass) 在调试模式下由软件置'1'或清零来旁路外部晶体振荡器。只有在外部4-16MHz振荡器关闭的情况下, 才能写入该位。 0: 外部4-16MHz振荡器没有旁路; 1: 外部4-16MHz外部晶体振荡器被旁路。
位17	HSERDY: 外部高速时钟就绪标志(External high-speed clock ready flag) 由硬件置'1'来指示外部4-16MHz振荡器已经稳定。在HSEON位清零后, 该位需要6个外部4-25MHz振荡器周期清零。 0: 外部4-16MHz振荡器没有就绪; 1: 外部4-16MHz振荡器就绪。
位16	HSEON: 外部高速时钟使能(External high-speed clock enable) 由软件置'1'或清零。 当进入待机和停止模式时, 该位由硬件清零, 关闭4-16MHz外部振荡器。当外部4-16MHz振荡器被用作或被选择将要作为系统时钟时, 该位不能被清零。 0: HSE振荡器关闭; 1: HSE振荡器开启。
位15:8	HSICAL[7:0]: 内部高速时钟校准(Internal high-speed clock calibration) 在系统启动时, 这些位被自动初始化
位7:3	HSITRIM[4:0]: 内部高速时钟调整(Internal high-speed clock trimming) 由软件写入来调整内部高速时钟, 它们被叠加在HSICAL[5:0]数值上。这些位在HSICAL[7:0]的基础上, 让用户可以输入一个调整数值, 根据电压和温度的变化调整内部HSI RC振荡器的频率。 默认数值为16, 可以把HSI调整到8MHz±1%; 每步HSICAL的变化调整约40kHz。
位2	保留, 始终读为0。
位1	HSIRDY: 内部高速时钟就绪标志(Internal high-speed clock ready flag) 由硬件置'1'来指示内部8MHz振荡器已经稳定。在HSION位清零后, 该位需要6个内部8MHz振荡器周期清零。 0: 内部8MHz振荡器没有就绪; 1: 内部8MHz振荡器就绪。
位0	HSION: 内部高速时钟使能(Internal high-speed clock enable) 由软件置'1'或清零。 当从待机和停止模式返回或用作系统时钟的外部4-16MHz振荡器发生故障时, 该位由硬件置'1'来启动内部8MHz的RC振荡器。当内部8MHz振荡器被直接或间接地用作或被选择将要作为系统时钟时, 该位不能被清零。 0: 内部8MHz振荡器关闭; 1: 内部8MHz振荡器开启。

时钟配置寄存器(RCC_CFGR)

偏移地址: 0x04

复位值: 0x0000 0000

访问: 0 到 2 个等待周期, 字, 半字和字节访问只有当访问发生在时钟切换时, 才会插入 1 或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CMU OPT	保留			MCO LSI	MCO[2:0]			保留	USB PRE	PLLMUL[3:0]			PLL XTPRE	PLL SRC	
rw				rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCPRE[1:0]		PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]			SWS[1:0]		SW[1:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

位31	CMU option 0: CMU option disable 1: CMU option enable
位30:28	保留。
位27	MCO脚位输出LSI 0: MCO输出由MCO寄存器决定 1: MCO输出LSI 注意:此位必须同时將CMUOPT設定成1才有效
位26:24	MCO: 微控制器时钟输出(Microcontroller clock output) 由软件置'1'或清零。 0xx: 没有时钟输出; 100: 系统时钟(SYSCLK)输出; 101: 内部RC振荡器时钟(HSI)输出; 110: 外部振荡器时钟(HSE)输出; 111: PLL时钟2分频后输出。 注意: - 该时钟输出在启动和切换MCO时钟源时可能会被截断。 - 在系统时钟作为输出至MCO引脚时, 请保证输出时钟频率不超过50MHz (I/O口最高频率)。
位22	USBPRE: USB预分频(USB prescaler) 由软件置'1'或清'0'来产生48MHz的USB时钟。在RCC_APB1ENR寄存器中使能USB时钟之前, 必须保证该位已经有效。如果USB时钟被使能, 该位不能被清零。 0: PLL时钟1.5倍分频作为USB时钟 1: PLL时钟直接作为USB时钟

位21:18	<p>PLLMUL: PLL倍频系数(PLL multiplication factor) 由软件设置来确定PLL倍频系数。只有在PLL关闭的情况下才可被写入。注意: PLL的输出频率不能超过72MHz</p> <table border="0"> <tr> <td>0000: PLL 2倍频输出</td> <td>1000: PLL 10倍频输出</td> </tr> <tr> <td>0001: PLL 3倍频输出</td> <td>1001: PLL 11倍频输出</td> </tr> <tr> <td>0010: PLL 4倍频输出</td> <td>1010: PLL 12倍频输出</td> </tr> <tr> <td>0011: PLL 5倍频输出</td> <td>1011: PLL 13倍频输出</td> </tr> <tr> <td>0100: PLL 6倍频输出</td> <td>1100: PLL 14倍频输出</td> </tr> <tr> <td>0101: PLL 7倍频输出</td> <td>1101: PLL 15倍频输出</td> </tr> <tr> <td>0110: PLL 8倍频输出</td> <td>1110: PLL 16倍频输出</td> </tr> <tr> <td>0111: PLL 9倍频输出</td> <td>1111: PLL 16倍频输出(CMUOPT=0)</td> </tr> <tr> <td></td> <td>1111: PLL 18倍频输出(CMUOPT=1)</td> </tr> </table>	0000: PLL 2倍频输出	1000: PLL 10倍频输出	0001: PLL 3倍频输出	1001: PLL 11倍频输出	0010: PLL 4倍频输出	1010: PLL 12倍频输出	0011: PLL 5倍频输出	1011: PLL 13倍频输出	0100: PLL 6倍频输出	1100: PLL 14倍频输出	0101: PLL 7倍频输出	1101: PLL 15倍频输出	0110: PLL 8倍频输出	1110: PLL 16倍频输出	0111: PLL 9倍频输出	1111: PLL 16倍频输出(CMUOPT=0)		1111: PLL 18倍频输出(CMUOPT=1)
0000: PLL 2倍频输出	1000: PLL 10倍频输出																		
0001: PLL 3倍频输出	1001: PLL 11倍频输出																		
0010: PLL 4倍频输出	1010: PLL 12倍频输出																		
0011: PLL 5倍频输出	1011: PLL 13倍频输出																		
0100: PLL 6倍频输出	1100: PLL 14倍频输出																		
0101: PLL 7倍频输出	1101: PLL 15倍频输出																		
0110: PLL 8倍频输出	1110: PLL 16倍频输出																		
0111: PLL 9倍频输出	1111: PLL 16倍频输出(CMUOPT=0)																		
	1111: PLL 18倍频输出(CMUOPT=1)																		
位17	<p>PLLXTPRE: HSE分频器作为PLL输入(HSE divider for PLL entry) 由软件置'1'或清'0'来分频HSE后作为PLL输入时钟。只能在关闭PLL时才能写入此位。</p> <p>0: HSE不分频 1: HSE 2分频</p>																		
位16	<p>PLLSRC: PLL输入时钟源(PLL entry clock source) 由软件置'1'或清'0'来选择PLL输入时钟源。只能在关闭PLL时才能写入此位。</p> <p>0: HSI振荡器时钟经2分频后作为PLL输入时钟 1: HSE时钟作为PLL输入时钟。</p>																		
位15:14	<p>ADCPRE[1:0]: ADC预分频(ADC prescaler) 由软件置'1'或清'0'来确定ADC时钟频率</p> <p>00: PCLK2 2分频后作为ADC时钟 01: PCLK2 4分频后作为ADC时钟 10: PCLK2 6分频后作为ADC时钟 11: PCLK2 8分频后作为ADC时钟</p>																		
位13:11	<p>PPRE2[2:0]: 高速APB预分频(APB2) (APB high-speed prescaler (APB2)) 由软件置'1'或清'0'来控制高速APB2时钟(PCLK2)的预分频系数。</p> <p>0xx: HCLK不分频 100: HCLK 2分频 101: HCLK 4分频 110: HCLK 8分频 111: HCLK 16分频</p>																		
位10:8	<p>PPRE1[2:0]: 低速APB预分频(APB1) (APB low-speed prescaler (APB1)) 由软件置'1'或清'0'来控制低速APB1时钟(PCLK1)的预分频系数。警告: 软件必须保证APB1时钟频率不超过36MHz。</p> <p>0xx: HCLK不分频 100: HCLK 2分频 101: HCLK 4分频 110: HCLK 8分频 111: HCLK 16分频</p>																		
位7:4	<p>HPRE[3:0]: AHB预分频(AHB Prescaler) 由软件置'1'或清'0'来控制AHB时钟的预分频系数。</p> <table border="0"> <tr> <td>0xxx: SYSCLK不分频</td> <td></td> </tr> <tr> <td>1000: SYSCLK 2分频</td> <td>1100: SYSCLK 64分频</td> </tr> <tr> <td>1001: SYSCLK 4分频</td> <td>1101: SYSCLK 128分频</td> </tr> <tr> <td>1010: SYSCLK 8分频</td> <td>1110: SYSCLK 256分频</td> </tr> <tr> <td>1011: SYSCLK 16分频</td> <td>1111: SYSCLK 512分频</td> </tr> </table> <p>注意: 当AHB时钟的预分频系数大于1时, 必须开启预取缓冲器。详见闪存读取(第2.3.3节)。</p>	0xxx: SYSCLK不分频		1000: SYSCLK 2分频	1100: SYSCLK 64分频	1001: SYSCLK 4分频	1101: SYSCLK 128分频	1010: SYSCLK 8分频	1110: SYSCLK 256分频	1011: SYSCLK 16分频	1111: SYSCLK 512分频								
0xxx: SYSCLK不分频																			
1000: SYSCLK 2分频	1100: SYSCLK 64分频																		
1001: SYSCLK 4分频	1101: SYSCLK 128分频																		
1010: SYSCLK 8分频	1110: SYSCLK 256分频																		
1011: SYSCLK 16分频	1111: SYSCLK 512分频																		

位3:2	SWS[1:0]: 系统时钟切换状态(System clock switch status) 由硬件置'1'或清'0'来指示哪一个时钟源被作为系统时钟。 00: HSI作为系统时钟; 01: HSE作为系统时钟; 10: PLL输出作为系统时钟; 11: 不可用。
位1:0	SW[1:0]: 系统时钟切换(System clock switch) 由软件置'1'或清'0'来选择系统时钟源。 在从停止或待机模式中返回时或直接或间接作为系统时钟的HSE出现故障时, 由硬件强制选择HSI作为系统时钟(如果时钟安全系统已经启动) 00: HSI作为系统时钟; 01: HSE作为系统时钟; 10: PLL输出作为系统时钟; 11: 不可用。

APB2 外设时钟使能寄存器(RCC_APB2ENR)

偏移地址：0x18

复位值：0x0000 0000 访问：字，半字和字节访问通常无访问等待周期。但在 APB2 总线上的外设被访问时，将插入等待状态直到 APB2 的外设访问结束。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						CMP EN	OPA EN	保留							
						rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 EN	USART1 EN	TIM8 EN	SPI1 EN	TIM 1 EN	ADC2 EN	ADC1 EN	IOPG EN	IOPF EN	IOPE EN	IOPD EN	IOPC EN	IOPB EN	IOPA EN	保留	AFI O EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位31:26	保留，始终读为0。
位25	CMPEN : CMP 接口时钟使能 (CMP interface clock enable) 由软件置'1'或清'0' 0: CMP接口时钟关闭; 1: CMP接口时钟开启。
位24	OPAEN : OPA 接口时钟使能 (OPA interface clock enable) 由软件置'1'或清'0' 0: OPA接口时钟关闭; 1: OPA接口时钟开启。
位23:16	保留，始终读为0。
位15	ADC3EN : ADC3接口时钟使能(ADC 3 interface clock enable) 由软件置'1'或清'0' 0: ADC3接口时钟关闭; 1: ADC3接口时钟开启。
位14	USART1EN : USART1时钟使能(USART1 clock enable) 由软件置'1'或清'0' 0: USART1时钟关闭; 1: USART1时钟开启。
位13	TIM8EN : TIM8定时器时钟使能(TIM8 Timer clock enable) 由软件置'1'或清'0' 0: TIM8定时器时钟关闭; 1: TIM8定时器时钟开启。
位12	SPI1EN : SPI1时钟使能(SPI 1 clock enable) 由软件置'1'或清'0' 0: SPI1时钟关闭; 1: SPI1时钟开启。
位11	TIM1EN : TIM1定时器时钟使能(TIM1 Timer clock enable) 由软件置'1'或清'0' 0: TIM1定时器时钟关闭; 1: TIM1定时器时钟开启。

位10	ADC2EN: ADC2接口时钟使能(ADC 2 interface clock enable) 由软件置'1'或清'0' 0: ADC2接口时钟关闭; 1: ADC2接口时钟开启。
位9	ADC1EN: ADC1接口时钟使能(ADC 1 interface clock enable) 由软件置'1'或清'0' 0: ADC1接口时钟关闭; 1: ADC1接口时钟开启。
位8	IOPGEN: IO端口G时钟使能(I/O port G clock enable) 由软件置'1'或清'0' 0: IO端口G时钟关闭; 1: IO端口G时钟开启。
位7	IOPFEN: IO端口F时钟使能(I/O port F clock enable) 由软件置'1'或清'0' 0: IO端口F时钟关闭; 1: IO端口F时钟开启。
位6	IOPEEN: IO端口E时钟使能(I/O port E clock enable) 由软件置'1'或清'0' 0: IO端口E时钟关闭; 1: IO端口E时钟开启。
位5	IOPDEN: IO端口D时钟使能(I/O port D clock enable) 由软件置'1'或清'0' 0: IO端口D时钟关闭; 1: IO端口D时钟开启。
位4	IOPCEN: IO端口C时钟使能(I/O port C clock enable) 由软件置'1'或清'0' 0: IO端口C时钟关闭; 1: IO端口C时钟开启。
位3	IOPBEN: IO端口B时钟使能(I/O port B clock enable) 由软件置'1'或清'0' 0: IO端口B时钟关闭; 1: IO端口B时钟开启。
位2	IOPAEN: IO端口A时钟使能(I/O port A clock enable) 由软件置'1'或清'0' 0: IO端口A时钟关闭; 1: IO端口A时钟开启。
位1	保留, 始终读为0。
位0	AFIOEN: 辅助功能IO时钟使能(Alternate function I/O clock enable) 由软件置'1'或清'0' 0: 辅 助功能IO时钟关闭; 1: 辅助功能IO时钟开启。

备份域控制寄存器(RCC_BDCR)

偏移地址：0x20

复位值：0x0000 0000，只能由备份域复位有效复位 访问：0 到 3 等待周期，字、半字和字节访问 当连续对该寄存器进行访问时，将插入等待状态。

注意： 备份域控制寄存器中(RCC_BDCR)的LSEON、LSEBYP、RTCSEL 和 RTCEN 位处于备份域。因此，这些位在复位后处于写保护状态，只有在电源控制寄存器(PWR_CR)中的DBP位置'1'后才能对这些位进行改动。进一步信息请参考 5.1 节。这些位只能由备份域复位清除(见 6.1.3 节)。任何内部或外部复位都不会影响这些位。

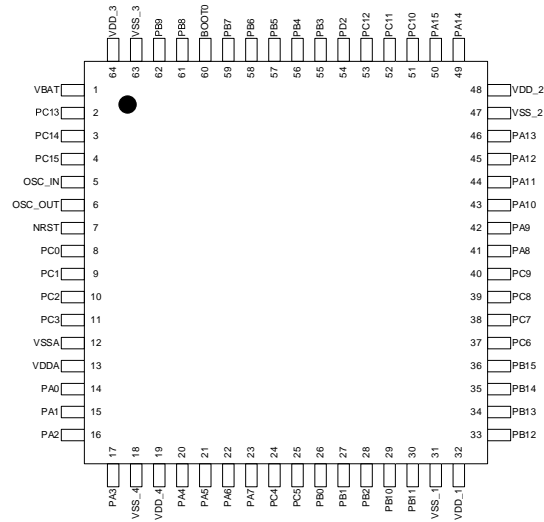
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
LSE BIAS	保留														BDRST		
rw															rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RTC EN	保留					RTCSEL[1:0]		保留					LSE BYP	LSE RDY	LSEON		
rw						rw		rw							rw	r	rw

位31	LSE BIAS控制位, CMUOPT=1时该寄存器写入有效 1: LSE BIAS电阻连接 (default) 0: LSE BIAS电阻断开
位30:17	保留, 始终读为0。
位16	BDRST: 备份域软件复位(Backup domain software reset) 由软件置'1'或清'0' 0: 复位未激活; 1: 复位整个备份域。
位15	RTCEN: RTC时钟使能(RTC clock enable) 由软件置'1'或清'0' 0: RTC时钟关闭; 1: RTC时钟开启。
位14:10	保留, 始终读为0。
位9:8	RTCSEL[1:0]: RTC时钟源选择(RTC clock source selection) 由软件设置来选择RTC时钟源。一旦RTC时钟源被选定, 直到下次后各域被复位, 它不能在改变。可通过设置BDRST位来清除。 00: 无时钟; 01: LSE振荡器作为RTC时钟; 10: LSI振荡器作为RTC时钟; 11: HSE振荡器在128分频后作为RTC时钟。
位7:3	保留, 始终读为0。
位2	LSEBYP: 外部低速时钟振荡器旁路(External low-speed oscillator bypass) 在调试模式下由软件置'1'或清'0'来旁路LSE。只有在外部32kHz振荡器关闭时, 才能写入该位 0: LSE时钟未被旁路; 1: LSE时钟被旁路。

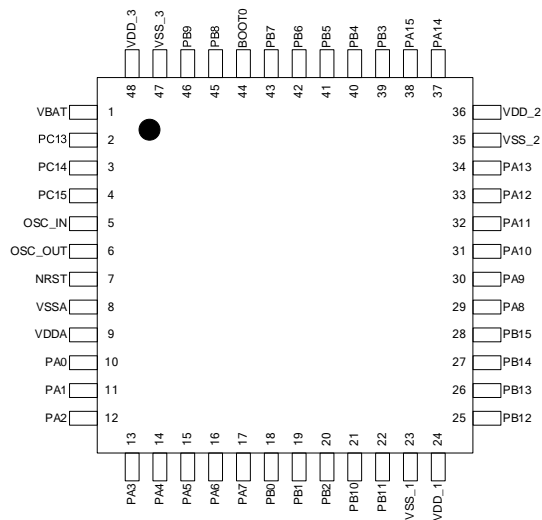
位1	LSERDY: 外部低速LSE就绪(External low-speed oscillator ready) 由硬件置'1'或清'0'来指示是否外部32kHz振荡器就绪。在LSEON被清零后, 该位需要6个外部低速振荡器的周期才被清零。 0: 外部32kHz振荡器未就绪; 1: 外部32kHz振荡器就绪。
位0	LSEON: 外部低速振荡器使能(External low-speed oscillator enable) 由软件置'1'或清'0' 0: 外部32kHz振荡器关闭; 1: 外部32kHz振荡器开启。

5 管脚定义

LQFP64



LQFP48





RX32F103x8 RX32F103xB

Pins		PIN Name	Type	I/O Level	Main function (after reset)	Analog	
LQFP64	LQFP48						
1	1	VBAT	S		VBAT		
2	2	PC13	I/O		PC13	TAMPER-RTC	
3	3	PC14	I/O		PC14	OSC32_IN	
4	4	PC15	I/O		PC15	OSC32_OUT	
5	5	OSC_IN (PD0)	I/O		OSC_IN	OSC_IN	CMP5_P
6	6	OSC_OUT (PD1)	I/O		OSC_OUT	OSC_OUT	CMP5_N
7	7	NRST	I/O		NRST		
8	-	PC0	I/O		PC0	ADC12_IN10	
9	-	PC1	I/O		PC1	ADC12_IN11	
10	-	PC2	I/O		PC2	ADC12_IN12	
11	-	PC3	I/O		PC3	ADC12_IN13	
12	8	VSSA	S		VSSA		
13	9	VDDA	S		VDDA		
14	10	PA0	I/O		PA0	ADC12_IN0	CMP4_1P
15	11	PA1	I/O		PA1	ADC12_IN1	CMP4_1N
16	12	PA2	I/O		PA2	ADC12_IN2	PGA1_P
17	13	PA3	I/O		PA3	ADC12_IN3	PGA1_N
18	-	VSS_4	S		VSS_4		
19	-	VDD_4	S		VDD_4		
20	14	PA4	I/O		PA4	ADC12_IN4	PGA0_P
21	15	PA5	I/O		PA5	ADC12_IN5	PGA0_N
22	16	PA6	I/O		PA6	ADC12_IN6	CMP4_0P
23	17	PA7	I/O		PA7	ADC12_IN7	CMP4_0N
24	-	PC4	I/O		PC4	ADC12_IN14	
25	-	PC5	I/O		PC5	ADC12_IN15	
26	18	PB0	I/O		PB0	ADC12_IN8	CMP4_2P
27	19	PB1	I/O		PB1	ADC12_IN9	CMP4_2N
28	20	PB2	I/O	FT	PB2/BOOT1		
29	21	PB10	I/O		PB10		OPA3_OUT
30	22	PB11	I/O		PB11		OPA3_N
31	23	VSS_1	S		VSS_1		



RX32F103x8 RX32F103xB

32	24	VDD_1	S		VDD_1		
33	25	PB12	I/O		PB12		OPA3_P
34	26	PB13	I/O	FT	PB13		
35	27	PB14	I/O	FT	PB14		
36	28	PB15	I/O	FT	PB15		
37	-	PC6	I/O	FT	PC6		
38	-	PC7	I/O	FT	PC7		
39	-	PC8	I/O	FT	PC8		
40	-	PC9	I/O	FT	PC9		
41	29	PA8	I/O	FT	PA8		
42	30	PA9	I/O	FT	PA9		
43	31	PA10	I/O	FT	PA10		
44	32	PA11	I/O	FT	PA11		
45	33	PA12	I/O	FT	PA12		
46	34	PA13	I/O	FT	JTMS/SWDIO		
47	35	VSS_2	S		VSS_2		
48	36	VDD_2	S		VDD_2		
49	37	PA14	I/O	FT	JTCK/SWCLK		
50	38	PA15	I/O	FT	JTDI		
51	-	PC10	I/O	FT	PC10		
52	-	PC11	I/O	FT	PC11		
53	-	PC12	I/O	FT	PC12		
54	-	PD2	I/O	FT	PD2		
55	39	PB3	I/O	FT	JTDO		
56	40	PB4	I/O	FT	JNTRST		
57	41	PB5	I/O		PB5		
58	42	PB6	I/O	FT	PB6		
59	43	PB7	I/O	FT	PB7		
60	44	BOOT0	I		BOOT0		
61	45	PB8	I/O	FT	PB8		
62	46	PB9	I/O	FT	PB9		
63	47	VSS_3	S		VSS_3		
64	48	VDD_3	S		VDD_3		



RX32F103x8 RX32F103xB

Pins		PIN Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
LQFP64	LQFP48									
14	10	PA0	WKUP	TIM2_CH1_ETR		USART2_CTS			TIM8_ETR	
15	11	PA1		TIM2_CH2		USART2_RTS				
16	12	PA2		TIM2_CH3		USART2_TX				
17	13	PA3		TIM2_CH4		USART2_RX				
20	14	PA4				USART2_CK	SPI1_NSS			
21	15	PA5					SPI1_SCK			
22	16	PA6		TIM3_CH1	TIM1_BKIN		SPI1_MISO		TIM8_BKIN	
23	17	PA7		TIM3_CH2	TIM1_CH1N		SPI1_MOSI		TIM8_CH1N	
26	18	PB0		TIM3_CH3	TIM1_CH2N				TIM8_CH2N	
27	19	PB1		TIM3_CH4	TIM1_CH3N				TIM8_CH3N	
28	20	PB2							CMP4_OUT	CMP5_OUT
29	21	PB10		TIM2_CH3		USART3_TX		I2C2_SCL		
30	22	PB11		TIM2_CH4		USART3_RX		I2C2_SDA		
33	25	PB12			TIM1_BKIN	USART3_CK	SPI2_NSS	I2C2_SMBAL		
34	26	PB13			TIM1_CH1N	USART3_CTS	SPI2_SCK			
35	27	PB14			TIM1_CH2N	USART3_RTS	SPI2_MISO			
36	28	PB15			TIM1_CH3N		SPI2_MOSI			
37	-	PC6		TIM3_CH1					TIM8_CH1	
38	-	PC7		TIM3_CH2					TIM8_CH2	
39	-	PC8		TIM3_CH3					TIM8_CH3	
40	-	PC9		TIM3_CH4					TIM8_CH4	
41	29	PA8	MCO		TIM1_CH1	USART1_CK				
42	30	PA9			TIM1_CH2	USART1_TX				
43	31	PA10			TIM1_CH3	USART1_RX				
44	32	PA11			TIM1_CH4	USART1_CTS			CANRX	
45	33	PA12			TIM1_ETR	USART1_RTS			CANTX	
46	34	PA13								
49	37	PA14								
50	38	PA15		TIM2_CH1_ETR			SPI1_NSS			
51	-	PC10				USART3_TX			TIM8_CH5	
52	-	PC11			TIM1_CH5	USART3_RX				
53	-	PC12				USART3_CK				
54	-	PD2		TIM3_ETR						
55	39	PB3	TRACESWO	TIM2_CH2			SPI1_SCK			
56	40	PB4		TIM3_CH1			SPI1_MISO			
57	41	PB5		TIM3_CH2			SPI1_MOSI	I2C1_SMBAL		
58	42	PB6		TIM4_CH1		USART1_TX		I2C1_SCL		
59	43	PB7		TIM4_CH2		USART1_RX		I2C1_SDA		



RX32F103x8 RX32F103xB

60	44	BOOT0								
61	45	PB8		TIM4_CH3				I2C1_SCL	CANRX	
62	46	PB9		TIM4_CH4				I2C1_SDA	CANTX	

6 EXTI

向量表

位置	优先级	优先级类型	名称	说明	地址
	-	-	-	保留	0x0000_0000
	-3	固定	Reset	复位	0x0000_0004
	-2	固定	NMI	不可屏蔽中断 RCC时钟安全系统(CSS)联接到NMI向量	0x0000_0008
	-1	固定	硬件失效(HardFault)	所有类型的失效	0x0000_000C
	0	可设置	存储管理(MemManage)	存储器管理	0x0000_0010
	1	可设置	总线错误(BusFault)	预取指失败, 存储器访问失败	0x0000_0014
	2	可设置	错误应用(UsageFault)	未定义的指令或非法状态	0x0000_0018
	-	-	-	保留	0x0000_001C ~0x0000_002B
	3	可设置	SVCall	通过SWI指令的系统服务调用	0x0000_002C
	4	可设置	调试监控(DebugMonitor)	调试监控器	0x0000_0030
	-	-	-	保留	0x0000_0034
	5	可设置	PendSV	可挂起的系统服务	0x0000_0038
	6	可设置	SysTick	系统嘀嗒定时器	0x0000_003C
0	7	可设置	WWDG	窗口定时器中断	0x0000_0040
1	8	可设置	PVD / CMP	EXTI的电源电压检测(PVD) / CMP中断	0x0000_0044
2	9	可设置	TAMPER	侵入检测中断	0x0000_0048
3	10	可设置	RTC	实时时钟(RTC)全局中断	0x0000_004C
4	11	可设置	FLASH	闪存全局中断	0x0000_0050
5	12	可设置	RCC	复位和时钟控制(RCC)中断	0x0000_0054
6	13	可设置	EXTI0	EXTI线0中断	0x0000_0058
7	14	可设置	EXTI1	EXTI线1中断	0x0000_005C
8	15	可设置	EXTI2	EXTI线2中断	0x0000_0060
9	16	可设置	EXTI3	EXTI线3中断	0x0000_0064
10	17	可设置	EXTI4	EXTI线4中断	0x0000_0068
11	18	可设置	DMA1通道1	DMA1通道1全局中断	0x0000_006C
12	19	可设置	DMA1通道2	DMA1通道2全局中断	0x0000_0070
13	20	可设置	DMA1通道3	DMA1通道3全局中断	0x0000_0074
14	21	可设置	DMA1通道4	DMA1通道4全局中断	0x0000_0078
15	22	可设置	DMA1通道5	DMA1通道5全局中断	0x0000_007C
16	23	可设置	DMA1通道6	DMA1通道6全局中断	0x0000_0080
17	24	可设置	DMA1通道7	DMA1通道7全局中断	0x0000_0084
18	25	可设置	ADC1_2	ADC1和ADC2的全局中断	0x0000_0088
19	26	可设置	CAN_TX	CAN发送中断	0x0000_008C
20	27	可设置	CAN_RX0	CAN接收0中断	0x0000_0090
21	28	可设置	CAN_RX1	CAN接收1中断	0x0000_0094

22	29	可设置	CAN_SCE	CAN SCE中断	0x0000_0098
23	30	可设置	EXTI9_5	EXTI线[9:5]中断	0x0000_009C
24	31	可设置	TIM1_BRK	TIM1刹车中断	0x0000_00A0
25	32	可设置	TIM1_UP	TIM1更新中断	0x0000_00A4
26	33	可设置	TIM1_TRG_COM	TIM1触发和通信中断	0x0000_00A8
27	34	可设置	TIM1_CC	TIM1捕获比较中断	0x0000_00AC
28	35	可设置	TIM2	TIM2全局中断	0x0000_00B0
29	36	可设置	TIM3	TIM3全局中断	0x0000_00B4
30	37	可设置	TIM4	TIM4全局中断	0x0000_00B8
31	38	可设置	I2C1_EV	I ² C1事件中断	0x0000_00BC
32	39	可设置	I2C1_ER	I ² C1错误中断	0x0000_00C0
33	40	可设置	I2C2_EV	I ² C2事件中断	0x0000_00C4
34	41	可设置	I2C2_ER	I ² C2错误中断	0x0000_00C8
35	42	可设置	SPI1	SPI1全局中断	0x0000_00CC
36	43	可设置	SPI2	SPI2全局中断	0x0000_00D0
37	44	可设置	USART1	USART1全局中断	0x0000_00D4
38	45	可设置	USART2	USART2全局中断	0x0000_00D8
39	46	可设置	USART3	USART3全局中断	0x0000_00DC
40	47	可设置	EXTI15_10	EXTI线[15:10]中断	0x0000_00E0
41	48	可设置	RTCAlarm	连到EXTI的RTC闹钟中断	0x0000_00E4
42	49	-	-	保留	0x0000_00E8
43	50	可设置	TIM8_BRK	TIM8刹车中断	0x0000_00EC
44	51	可设置	TIM8_UP	TIM8更新中断	0x0000_00F0
45	52	可设置	TIM8_TRG_COM	TIM8触发和通信中断	0x0000_00F4
46	53	可设置	TIM8_CC	TIM8捕获比较中断	0x0000_00F8

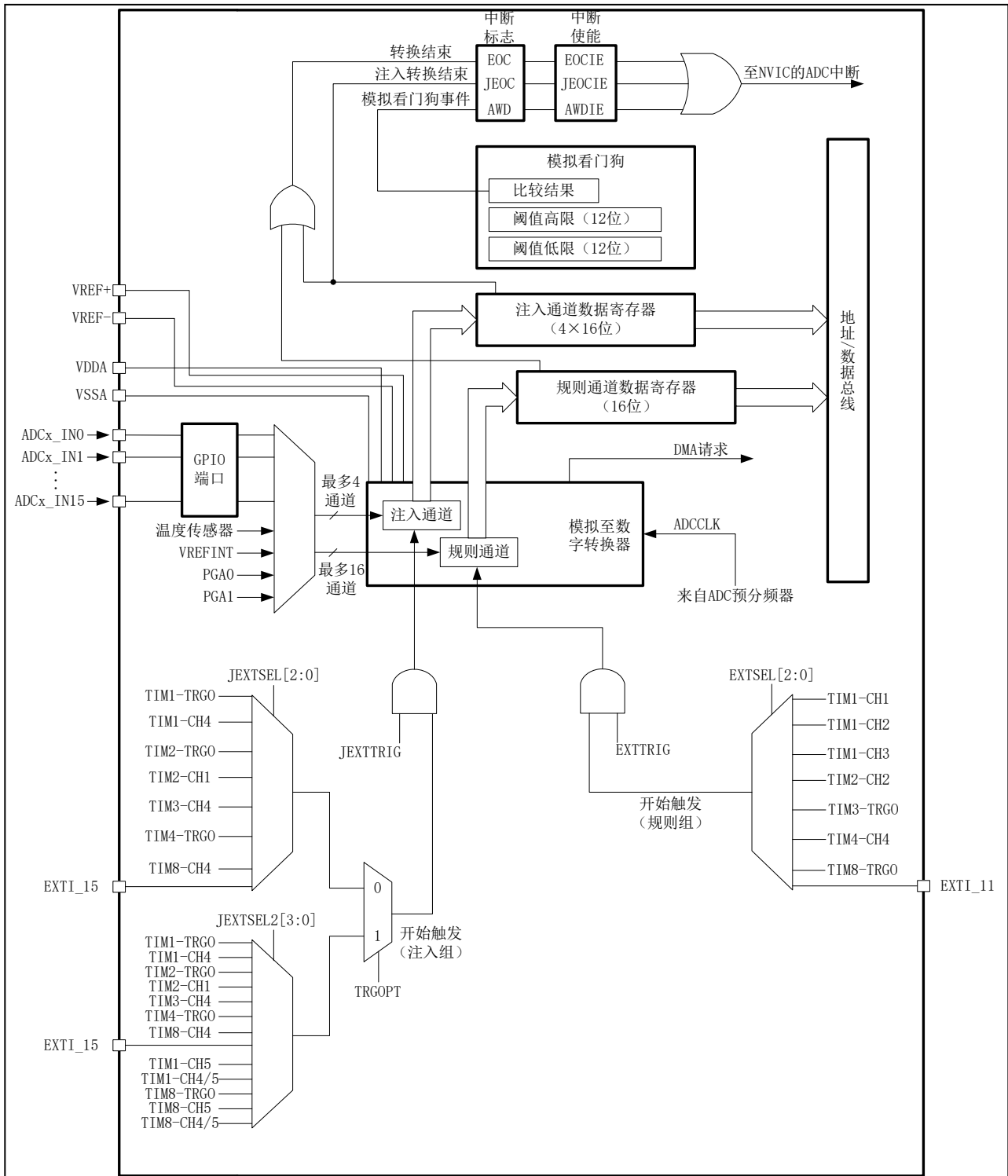
7 ADC

ADC 新增功能

ADC 新增寄存器 JEXTSEL2
增加通道 20-PGA0
增加通道 21-PGA1
CR2 寄存器增加 TRGOPT 为选择注入通道触发源
CR2 寄存器增加 JEXTSEL2 为，用来设置新增的触发源模式
新增的触发源为
1000: 定时器 1 的 CC5 事件
1001: 定时器 1 的 CC4 和 CC5 事件
1010: 定时器 8 的 TRGO 事件
1011: 定时器 8 的 CC5 事件
1100: 定时器 8 的 CC4 和 CC5 事件
1101: EXTI 线 15
1110: 定时器 8 的 CC4 事件

ADC 寄存器 JEXTSEL2

触发源	连接类型	JEXTSEL2[3:0]	TRGOPT
TIM1_TRGO事件	来自片上定时器的内部信号	0000	1
TIM1_CC4事件		0001	
TIM2_TRGO事件		0010	
TIM2_CC1事件		0011	
TIM3_CC4事件		0100	
TIM4_TRGO事件		0101	
EXTI线15		外部引脚	
JSWSTART	软件控制位	0111	
TIM1_CC5事件	来自片上定时器的内部信号	1000	
TIM1_CC4/CC5事件		1001	
TIM8_TRGO事件		1010	
TIM8_CC5事件		1011	
TIM8_CC4/CC5事件		1100	



ADC 寄存器

ADC 控制寄存器2(ADC_CR2)

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
JEXTSEL2[3:0]				保留				TS VREFE	SW START	JSW START	EXT TRIG	EXTSEL[2:0]			TRGOPT	
rw								rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
JEXT TRIG	JEXTSEL[2:0]			ALIGN	保留		DMA	保留				RST CAL	CAL	CONT	ADON	
rw	rw	rw	rw	rw			rw					rw	rw	rw	rw	

位31:28	JEXTSEL2[3:0]: 选择启动注入通道组转换的外部事件 (External event select for injected group) 这些位选择用于启动注入通道组转换的外部事件。 ADC1和ADC2的触发配置如下 0000: 定时器1的TRGO事件 0001: 定时器1的CC4事件 0010: 定时器2的TRGO事件 0011: 定时器2的CC1事件 0100: 定时器3的CC4事件 0101: 定时器4的TRGO事件 0110: EXTI线15/TIM8_CC4事件 0111: JSWSTART 1000: 定时器1的CC5事件 1001: 定时器1的CC4和CC5事件 1010: 定时器8的TRGO事件 1011: 定时器8的CC5事件 1100: 定时器8的CC4和CC5事件
位27:24	保留, 硬件强制为0
位23	TSVREFE: 温度传感器和V _{REFINT} 使能(Temperature sensor and VREFINT enable) 该位由软件设置和清除, 用于开启或禁止温度传感器和V _{REFINT} 通道。在多于1个ADC的器件中, 该位仅出现在ADC1中。 0: 禁止温度传感器和V _{REFINT} ; 1: 启用温度传感器和V _{REFINT} 。
位22	SWSTART: 开始转换规则通道(Start conversion of regular channels) 由软件设置该位以启动转换, 转换开始后硬件马上清除此位。如果在EXTSEL[2:0]位中选择了SWSTART为触发事件, 该位用于启动一组规则通道的转换。 0: 复位状态; 1: 开始转换规则通道。
位21	JSWSTART: 开始转换注入通道(Start conversion of injected channels) 由软件设置该位以启动转换, 软件可清除此位或在转换开始后硬件马上清除此位。如果在JEXTSEL[2:0]位中选择了JSWSTART为触发事件, 该位用于启动一组注入通道的转换, 0: 复位状态; 1: 开始转换注入通道。

位20	EXTTRIG : 规则通道的外部触发转换模式 (External trigger conversion mode for regular channels) 该位由软件设置和清除, 用于开启或禁止可以启动规则通道组转换的外部触发事件。 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
位19:17	EXTSEL[2:0] : 选择启动规则通道组转换的外部事件(External event select for regular group) 这些位选择用于启动规则通道组转换的外部事件 ADC1和ADC2的触发配置如下 000: 定时器1的CC1事件 100: 定时器3的TRGO事件 001: 定时器1的CC2事件 101: 定时器4的CC4事件 010: 定时器1的CC3事件 110: EXTI线11 / TIM8_TRGO事件 011: 定时器2的CC2事件 111: SWSTART ADC3的触发配置如下 000: 定时器3的CC1事件 100: 定时器8的TRGO事件 001: 定时器2的CC3事件 101: 定时器5的CC1事件 010: 定时器1的CC3事件 110: 定时器5的CC3事件 011: 定时器8的CC1事件 111: SWSTART
位16	TRGOPT : 外部触发源选择 0: 外部触发源选择控制为JEXTSEL 1: 外部触发源选择控制为JEXTSEL2
位15	JEXTTRIG : 注入通道的外部触发转换模式 (External trigger conversion mode for injected channels) 该位由软件设置和清除, 用于开启或禁止可以启动注入通道组转换的外部触发事件。 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
位14:12	JEXTSEL[2:0] : 选择启动注入通道组转换的外部事件 (External event select for injected group) 这些位选择用于启动注入通道组转换的外部事件。 ADC1和ADC2的触发配置如下 000: 定时器1的TRGO事件 100: 定时器3的CC4事件 001: 定时器1的CC4事件 101: 定时器4的TRGO事件 010: 定时器2的TRGO事件 110: EXTI线15 / TIM8_CC4事件 011: 定时器2的CC1事件 111: JSWSTART ADC3的触发配置如下 000: 定时器1的TRGO事件 100: 定时器8的CC4事件 001: 定时器1的CC4事件 101: 定时器5的TRGO事件 010: 定时器4的CC3事件 110: 定时器5的CC4事件 011: 定时器8的CC2事件 111: JSWSTART
位11	ALIGN : 数据对齐(Data alignment) 该位由软件设置和清除。 0: 右对齐; 1: 左对齐。
位10:9	保留。必须保持为0。
位8	DMA : 直接存储器访问模式(Direct memory access mode) 该位由软件设置和清除。 0: 不使用DMA模式; 1: 使用DMA模式。 注: 只有ADC1和ADC3能产生DMA请求。
位7:4	保留。必须保持为0。

位3	<p>RSTCAL: 复位校准(Reset calibration) 该位由软件设置并由硬件清除。在校准寄存器被初始化后该位将被清除。</p> <p>0: 校准寄存器已初始化;</p> <p>1: 初始化校准寄存器。 注: 如果正在进行转换时设置RSTCAL, 清除校准寄存器需要额外的周期。</p>
位2	<p>CAL: A/D校准(A/D Calibration) 该位由软件设置以开始校准, 并在校准结束时由硬件清除。</p> <p>0: 校准完成;</p> <p>1: 开始校准。</p>
位1	<p>CONT: 连续转换(Continuous conversion) 该位由软件设置和清除。如果设置了此位, 则转换将连续进行直到该位被清除。</p> <p>0: 单次转换模式;</p> <p>1: 连续转换模式。</p>
位0	<p>ADON: 开/关A/D转换器(A/D converter ON / OFF) 该位由软件设置和清除。当该位为'0'时, 写入'1'将把ADC从断电模式下唤醒。 当该位为'1'时, 写入'1'将启动转换。应用程序需注意, 在转换器上电至转换开始有一个延迟t_{STAB}。</p> <p>0: 关闭ADC转换/校准, 并进入断电模式;</p> <p>1: 开启ADC并启动转换。</p> <p>注: 如果在这个寄存器中与ADON一起还有其他位被改变, 则转换不被触发。这是为了防止触发错误的转换。</p>

ADC 采样时间寄存器1(ADC_SMPR1)

地址偏移: 0x0C

复位值: 0x0000 0000

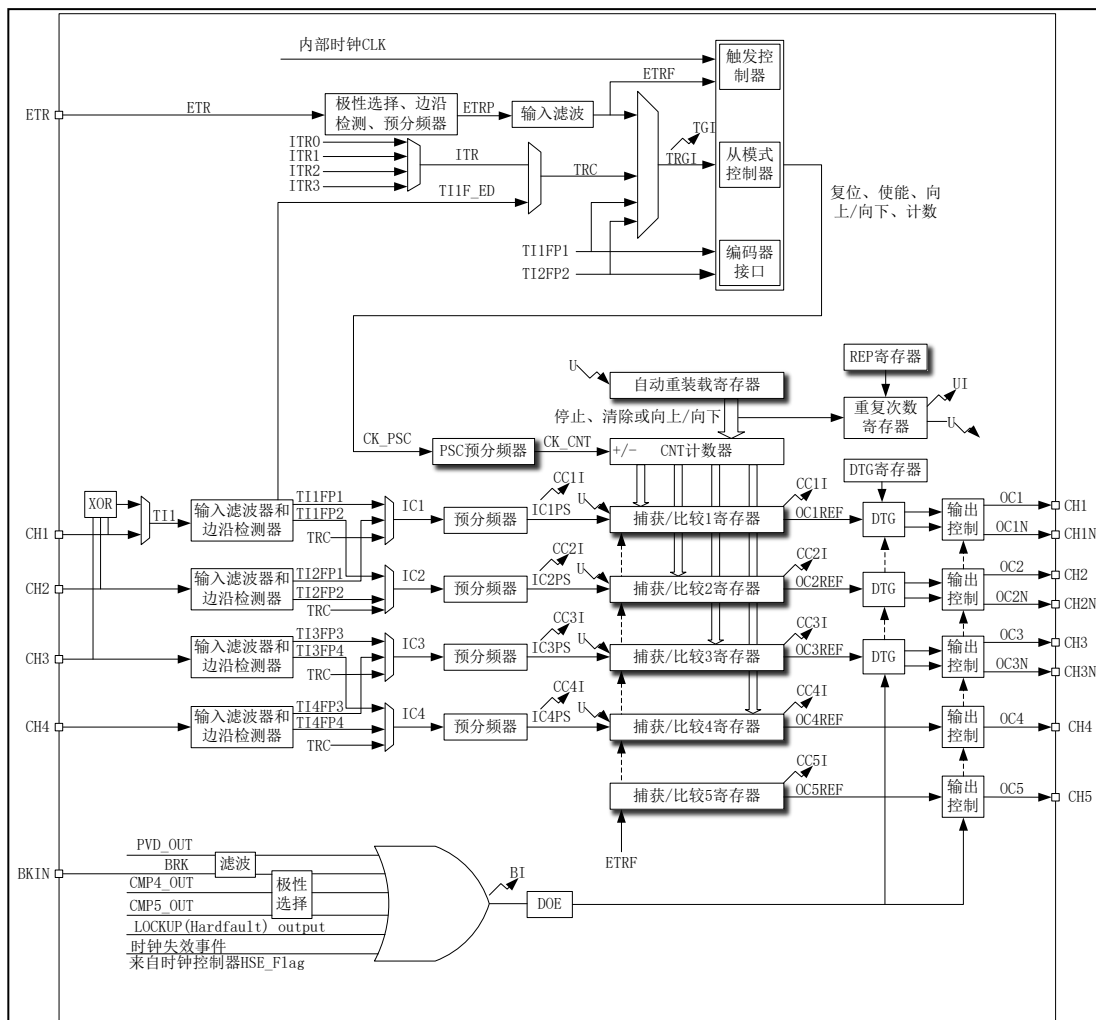
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	SMP21[2:0]			SMP20[2:0]			SMP17[2:0]			SMP16[2:0]			SMP15[2:1]		
	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15[0]	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位31:30	保留。必须保持为0。								
位29:0	<p>SMPx[2:0]: 选择通道x的采样时间(Channel x Sample time selection)</p> <p>这些位用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。</p> <table border="0"> <tr> <td>000: 1.5周期</td> <td>100: 41.5周期</td> </tr> <tr> <td>001: 7.5周期</td> <td>101: 55.5周期</td> </tr> <tr> <td>010: 13.5周期</td> <td>110: 71.5周期</td> </tr> <tr> <td>011: 28.5周期</td> <td>111: 239.5周期</td> </tr> </table> <p>注: ADC1的模拟输入通道16和通道17在芯片内部分别连到了温度传感器和V_{REFINT}。 ADC2的模拟输入通道16和通道17在芯片内部连到了V_{SS}。</p>	000: 1.5周期	100: 41.5周期	001: 7.5周期	101: 55.5周期	010: 13.5周期	110: 71.5周期	011: 28.5周期	111: 239.5周期
000: 1.5周期	100: 41.5周期								
001: 7.5周期	101: 55.5周期								
010: 13.5周期	110: 71.5周期								
011: 28.5周期	111: 239.5周期								

8 TIM1 & TIM8

TIM 新增功能

- 新增通道 CH5
- 增加 PulseExcep
- 新增 DOE
- 新增煞车源
 - PVD_OUT
 - CMP4_OUT
 - CMP5_OUT
 - LOCKUP(Hardfault)_output



TIM1 and TIM8 寄存器

TIM1 和 TIM8 控制寄存器 2(TIMx_CR2)

偏移地址: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OIS5	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	保留	CCPC
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位15	OIS5 : 输出空闲状态5(OC5输出)。
位14	OIS4 : 输出空闲状态4(OC4输出)。参见OIS1位。
位13	OIS3N : 输出空闲状态3(OC3N输出)。参见OIS1N位。
位12	OIS3 : 输出空闲状态3(OC3输出)。参见OIS1位。
位11	OIS2N : 输出空闲状态2(OC2N输出)。参见OIS1N位。
位10	OIS2 : 输出空闲状态2(OC2输出)。参见OIS1位。
位9	OIS1N : 输出空闲状态1(OC1N输出) (Output Idle state 1) 0: 当MOE=0时, 死区后OC1N=0; 1: 当MOE=0时, 死区后OC1N=1。 注: 已经设置了LOCK(TIMx_BKR寄存器)级别1、2或3后, 该位不能被修改。
位8	OIS1 : 输出空闲状态1(OC1输出) (Output Idle state 1) 0: 当MOE=0时, 如果实现了OC1N, 则死区后OC1=0; 1: 当MOE=0时, 如果实现了OC1N, 则死区后OC1=1。 注: 已经设置了LOCK(TIMx_BKR寄存器)级别1、2或3后, 该位不能被修改。
位7	TI1S : TI1选择(TI1 selection) 0: TIMx_CH1引脚连到TI1输入; 1: TIMx_CH1、TIMx_CH2和TIMx_CH3引脚经异或后连到TI1输入。
位6:4	MMS[2:0] : 主模式选择(Master mode selection) 这3位用于选择在主模式下送到从定时器的同步信息(TRGO)。可能的组合如下: 000: 复位 – TIMx_EGR寄存器的UG位被用于作为触发输出(TRGO)。如果是触发输入产生的复位(从模式控制器处于复位模式), 则TRGO上的信号相对实际的复位会有一个延迟。 001: 使能 – 计数器使能信号CNT_EN被用于作为触发输出(TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过CEN控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO上会有一个延迟, 除非选择了主/从模式(见TIMx_SMCR寄存器中MSM位的描述)。 010: 更新 – 更新事件被选为触发输入(TRGO)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲 – 在发生一次捕获或一次比较成功时, 当要设置CC1IF标志时(即使它已经为高), 触发输出送出一个正脉冲(TRGO)。 100: 比较 – OC1REF信号被用于作为触发输出(TRGO)。 101: 比较 – OC2REF信号被用于作为触发输出(TRGO)。 110: 比较 – OC3REF信号被用于作为触发输出(TRGO)。 111: 比较 – OC4REF信号被用于作为触发输出(TRGO)。
位3	CCDS : 捕获/比较的DMA选择(Capture/compare DMA selection) 0: 当发生CCx事件时, 送出CCx的DMA请求; 1: 当发生更新事件时, 送出CCx的DMA请求。

位2	CCUS: 捕获/比较控制更新选择(Capture/compare control update selection) 0: 如果捕获/比较控制位是预装载的(CCPC=1), 只能通过设置COM位更新它们; 1: 如果捕获/比较控制位是预装载的(CCPC=1), 可以通过设置COM位或TRGI上的一个上升沿更新它们。 注: 该位只对具有互补输出的通道起作用。
位1	保留, 始终读为0。
位0	CCPC: 捕获/比较预装载控制位(Capture/compare preloaded control) 0: CCxE, CCxNE和OCxM位不是预装载的; 1: CCxE, CCxNE和OCxM位是预装载的; 设置该位后, 它们只在设置了COM位后被更新。 注: 该位只对具有互补输出的通道起作用。

TIM1 和 TIM8 DMA/中断使能寄存器(TIMx_DIER)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC5IE	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位15	CC5IE: 允许捕获/比较5中断 (Capture/Compare 5 interrupt enable) 0: 禁止捕获/比较5中断; 1: 允许捕获/比较5中断。
位14	TDE: 允许触发DMA请求(Trigger DMA request enable) 0: 禁止触发DMA请求; 1: 允许触发DMA请求。
位13	COMDE: 允许COM的DMA请求(COM DMA request enable) 0: 禁止COM的DMA请求; 1: 允许COM的DMA请求。
位12	CC4DE: 允许捕获/比较4的DMA请求(Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较4的DMA请求; 1: 允许捕获/比较4的DMA请求。
位11	CC3DE: 允许捕获/比较3的DMA请求(Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较3的DMA请求; 1: 允许捕获/比较3的DMA请求。
位10	CC2DE: 允许捕获/比较2的DMA请求(Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较2的DMA请求; 1: 允许捕获/比较2的DMA请求。
位9	CC1DE: 允许捕获/比较1的DMA请求(Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较1的DMA请求; 1: 允许捕获/比较1的DMA请求。
位8	UDE: 允许更新的DMA请求(Update DMA request enable) 0: 禁止更新的DMA请求; 1: 允许更新的DMA请求。

位7	BIE : 允许刹车中断(Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
位6	TIE : 触发中断使能(Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
位5	COMIE : 允许COM中断(COM interrupt enable) 0: 禁止COM中断; 1: 允许COM中断。
位4	CC4IE : 允许捕获/比较4中断(Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较4中断; 1: 允许捕获/比较4中断。
位3	CC3IE : 允许捕获/比较3中断(Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较3中断; 1: 允许捕获/比较3中断。
位2	CC2IE : 允许捕获/比较2中断(Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较2中断; 1: 允许捕获/比较2中断。
位1	CC1IE : 允许捕获/比较1中断(Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较1中断; 1: 允许捕获/比较1中断。
位0	UIE : 允许更新中断(Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

TIM1 和 TIM8 状态寄存器(TIMx_SR)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	CC5IF	CC4OF	CC3OF	CC2OF	CC1OF	保留	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF	
	RW	RW	RW	RW	RW		RW	RW	RW	RW	RW	RW	RW	RW	RW

位15:14	保留, 始终读为0。
位13	CC5IF : 捕获/比较5中断标记
位12	CC4OF : 捕获/比较4重复捕获标记(Capture/Compare 4 overcapture flag) 参见CC1OF描述。
位11	CC3OF : 捕获/比较3重复捕获标记(Capture/Compare 3 overcapture flag) 参见CC1OF描述。
位10	CC2OF : 捕获/比较2重复捕获标记(Capture/Compare 2 overcapture flag) 参见CC1OF描述。

位9	<p>CC10F: 捕获/比较1重复捕获标记(Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置1。写0可清除该位。</p> <p>0: 无重复捕获产生; 1: 计数器的值被捕获到TIMx_CCR1寄存器时, CC1IF的状态已经为'1'。</p>
位8	保留, 始终读为0。
位7	<p>BIF: 刹车中断标记(Break interrupt flag) 一旦刹车输入有效, 由硬件对该位置'1'。如果刹车输入无效, 则该位可由软件清'0'。</p> <p>0: 无刹车事件产生; 1: 刹车输入上检测到有效电平。</p>
位6	<p>TIF: 触发器中断标记(Trigger interrupt flag) 当发生触发事件(当从模式控制器处于除门控模式外的其它模式时, 在TRGI输入端检测到有效边沿, 或门控模式下的任一边沿)时由硬件对该位置'1'。它由软件清'0'。</p> <p>0: 无触发器事件产生; 1: 触发中断等待响应。</p>
位5	<p>COMIF: COM中断标记(COM interrupt flag) 一旦产生COM事件(当捕获/比较控制位: CCxE、CCxNE、OCxM已被更新)该位由硬件置'1'。它由软件清'0'。</p> <p>0: 无COM事件产生; 1: COM中断等待响应。</p>
位4	<p>CC4IF: 捕获/比较4中断标记(Capture/Compare 4 interrupt flag) 参考CC1IF描述。</p>
位3	<p>CC3IF: 捕获/比较3中断标记(Capture/Compare 3 interrupt flag) 参考CC1IF描述。</p>
位2	<p>CC2IF: 捕获/比较2中断标记(Capture/Compare 2 interrupt flag) 参考CC1IF描述。</p>
位1	<p>CC1IF: 捕获/比较1中断标记(Capture/Compare 1 interrupt flag)</p> <p>如果通道CC1配置为输出模式: 当计数器值与比较值匹配时该位由硬件置1, 但在中心对称模式下除外(参考TIMx_CR1寄存器的CMS位)。它由软件清'0'。</p> <p>0: 无匹配发生; 1: TIMx_CNT的值与TIMx_CCR1的值匹配。</p> <p>当TIMx_CCR1的内容大于TIMx_APR的内容时, 在向上或向上/下计数模式时计数器溢出, 或向下计数模式时的计数器下溢条件下, CC1IF位变高</p> <p>如果通道CC1配置为输入模式: 当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读TIMx_CCR1清'0'。</p> <p>0: 无输入捕获产生; 1: 计数器值已被捕获(拷贝)至TIMx_CCR1(在IC1上检测到与所选极性相同的边沿)。</p>
位0	<p>UIF: 更新中断标记(Update interrupt flag)</p> <p>当产生更新事件时该位由硬件置'1'。它由软件清'0'。</p> <p>0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1':</p> <ul style="list-style-type: none"> - 若TIMx_CR1寄存器的UDIS=0, 当重复计数器数值上溢或下溢时(重复计数器=0时产生更新事件)。 - 若TIMx_CR1寄存器的URS=0、UDIS=0, 当设置TIMx_EGR寄存器的UG=1时产生更新事件, 通过软件对计数器CNT重新初始化时。 - 若TIMx_CR1寄存器的URS=0、UDIS=0, 当计数器CNT被触发事件重新初始化时。(参考13.4.3: TIM1和TIM8从模式控制寄存器(TIMx_SMCR))。

TIM1 和 TIM8 事件产生寄存器(TIMx_EGR)

偏移地址:0x14

复位值:0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留							CC5G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG	
							rW	W	W	W	W	W	W	W	W	W

位15:9	保留，始终读为0。
位8	CC5G: 产生捕获/比较5事件 (Capture/Compare 5 generation) 参考CC1G描述。
位7	BG: 产生刹车事件(Break generation) 该位由软件置'1'，用于产生一个刹车事件，由硬件自动清'0'。 0: 无动作； 1: 产生一个刹车事件。此时MOE=0、BIF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。
位6	TG: 产生触发事件(Trigger generation) 该位由软件置'1'，用于产生一个触发事件，由硬件自动清'0'。 0: 无动作； 1: TIMx_SR寄存器的TIF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。
位5	COMG: 捕获/比较事件，产生控制更新(Capture/Compare control update generation) 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 当CCPC=1，允许更新CCxE、CCxNE、OCxM位。 注: 该位只对拥有互补输出的通道有效。
位4	CC4G: 产生捕获/比较4事件(Capture/Compare 4 generation) 参考CC1G描述。
位3	CC3G: 产生捕获/比较3事件(Capture/Compare 3 generation) 参考CC1G描述。
位2	CC2G: 产生捕获/比较2事件(Capture/Compare 2 generation) 参考CC1G描述。
位1	CC1G: 产生捕获/比较1事件(Capture/Compare 1 generation) 该位由软件置'1'，用于产生一个捕获/比较事件，由硬件自动清'0'。 0: 无动作； 1: 在通道CC1上产生一个捕获/比较事件： 若通道CC1配置为输出: 设置CC1IF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。 若通道CC1配置为输入: 当前的计数器值被捕获至TIMx_CCR1寄存器；设置CC1IF=1，若开启对应的中断和DMA，则产生相应的中断和DMA。若CC1IF已经为1，则设置CC1OF=1。
位0	UG: 产生更新事件(Update generation) 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清'0'(但是预分频系数不变)。若在中心对称模式下或DIR=0(向上计数)则计数器被清'0'；若DIR=1(向下计数)则计数器取TIMx_ARR的值。

TIM1 和 TIM8 捕获/比较使能寄存器(TIMx_CCER)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC5P	CC5E	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位15	CC5P: 输入/捕获5输出极性
位14	CC5E: 输入/捕获5输出使能
位13	CC4P : 输入/捕获4输出极性(Capture/Compare 4 output polarity) 参考CC1P的描述。
位12	CC4E : 输入/捕获4输出使能(Capture/Compare 4 output enable) 参考CC1E 的描述。
位11	CC3NP : 输入/捕获3互补输出极性(Capture/Compare 3 complementary output polarity) 参考CC1NP的描述。
位10	CC3NE : 输入/捕获3互补输出使能(Capture/Compare 3 complementary output enable) 参考CC1NE的描述。
位9	CC3P : 输入/捕获3输出极性(Capture/Compare 3 output polarity) 参考CC1P的描述。
位8	CC3E : 输入/捕获3输出使能(Capture/Compare 3 output enable) 参考CC1E 的描述。
位7	CC2NP : 输入/捕获2互补输出极性(Capture/Compare 2 complementary output polarity) 参考CC1NP的描述。
位6	CC2NE : 输入/捕获2互补输出使能(Capture/Compare 2 complementary output enable) 参考CC1NE的描述。
位5	CC2P : 输入/捕获2输出极性(Capture/Compare 2 output polarity) 参考CC1P的描述。
位4	CC2E : 输入/捕获2输出使能(Capture/Compare 2 output enable) 参考CC1E的描述。
位3	CC1NP : 输入/捕获1互补输出极性(Capture/Compare 1 complementary output polarity) 0: OC1N高电平有效; 1: OC1N低电平有效。 注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为3或2且CC1S=00(通道配置为输出)则 该位不能被修改。
位2	CC1NE : 输入/捕获1互补输出使能(Capture/Compare 1 complementary output enable) 0: 关闭— OC1N禁止输出, 因此OC1N的电平依赖于MOE、OSSI、OSSR、OIS1、OIS1N和 CC1E位的值。 1: 开启— OC1N信号输出到对应的输出引脚, 其输出电平依赖于MOE、OSSI、 OSSR、

位1	<p>CC1P: 输入/捕获1输出极性(Capture/Compare 1 output polarity)</p> <p>CC1通道配置为输出:</p> <p>0: OC1高电平有效;</p> <p>1: OC1低电平有效。</p> <p>CC1通道配置为输入: 该位选择是IC1还是IC1的反相信号作为触发或捕获信号。</p> <p>0: 不反相: 捕获发生在IC1的上升沿; 当用作外部触发器时, IC1不反相。</p> <p>1: 反相: 捕获发生在IC1的下降沿; 当用作外部触发器时, IC1反相。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为3或2, 则该位不能被修改。</p>
位0	<p>CC1E: 输入/捕获1输出使能(Capture/Compare 1 output enable)</p> <p>CC1通道配置为输出:</p> <p>0: 关闭— OC1禁止输出, 因此OC1的输出电平依赖于MOE、OSSI、OSSR、OIS1、OIS1N和CC1NE位的值。</p> <p>1: 开启— OC1信号输出到对应的输出引脚, 其输出电平依赖于MOE、OSSI、OSSR、OIS1、OIS1N和CC1NE位的值。</p> <p>CC1通道配置为输入: 该位决定了计数器的值是否能捕获入TIMx_CCR1寄存器。</p> <p>0: 捕获禁止;</p> <p>1: 捕获使能。</p>

TIM1 和 TIM8 刹车和死区寄存器(TIMx_BDTR)

偏移地址: 0x44

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					BKF[3:1]				DOE	PVD _OE	HF _OE	CMP5 _OEP	CMP5 _OE	CMP4 _OEP	CMP4 _OE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注释: 根据锁定设置, AOE、BKP、BKE、OSSI、OSSR 和 DTG[7:0]位均可被写保护, 有必要在第一次写入 TIMx_BDTR 寄存器时对它们进行配置。

位31:27	保留，始终读为0。
位23:26	<p>BKF[3:0]: 这几位定义了BRK输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成，它记录到N个事件后会产生一个输出的跳变</p> <p>0000: No filter, BRK acts asynchronously 0001: fSAMPLING=fCK_INT, N=2 0010: fSAMPLING=fCK_INT, N=4 0011: fSAMPLING=fCK_INT, N=8 0100: fSAMPLING=fDTS/2, N=6 0101: fSAMPLING=fDTS/2, N=8 0110: fSAMPLING=fDTS/4, N=6 0111: fSAMPLING=fDTS/4, N=8 1000: fSAMPLING=fDTS/8, N=6 1001: fSAMPLING=fDTS/8, N=8 1010: fSAMPLING=fDTS/16, N=5 1011: fSAMPLING=fDTS/16, N=6 1100: fSAMPLING=fDTS/16, N=8 1101: fSAMPLING=fDTS/32, N=5 1110: fSAMPLING=fDTS/32, N=6 1111: fSAMPLING=fDTS/32, N=8</p>
位22	<p>DOE: 直接输出</p> <p>MOE置0後,有效</p> <p>1: 立即输出空闲状态,不等死区时间 0: 刹车输入後,等待一个死区时间後输出空闲状态</p>
位21	<p>PVD_OE: 刹车功能PVD_OUT使能 (Break enable)</p> <p>0: 禁止刹车输入 1: 开启刹车输入</p> <p>注: 当设置了LOCK级别1时(TIMx_BDTR寄存器中的LOCK位), 该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位20	<p>HF_OE: 刹车功能Hardfault_out使能 (Break enable)</p> <p>0: 禁止刹车输入 1: 开启刹车输入</p> <p>注: 当设置了LOCK级别1时(TIMx_BDTR寄存器中的LOCK位), 该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位19	<p>CMP5_OEP: 刹车输入CMP5_out极性 (Break polarity)</p> <p>0: 刹车输入低电平有效; 1: 刹车输入高电平有效。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为'1', 则该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位18	<p>CMP5_OE: 刹车功能CMP5_out使能 (Break enable)</p> <p>0: 禁止刹车输入 1: 开启刹车输入</p> <p>注: 当设置了LOCK级别1时(TIMx_BDTR寄存器中的LOCK位), 该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位17	<p>CMP4_OEP: 刹车输入CMP4_out极性 (Break polarity)</p> <p>0: 刹车输入低电平有效; 1: 刹车输入高电平有效。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为'1', 则该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>

位16	<p>CMP4_OE:刹车功能CMP4_out使能 (Break enable)</p> <p>0: 禁止刹车输入 1: 开启刹车输入</p> <p>注: 当设置了LOCK级别1时(TIMx_BDTR寄存器中的LOCK位), 该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位15	<p>MOE: 主输出使能(Main output enable)</p> <p>一旦刹车输入有效, 该位被硬件异步清'0'。根据AOE位的设置值, 该位可以由软件清'0'或被自动置1。它仅对配置为输出的通道有效。</p> <p>0: 禁止OC和OCN输出或强制为空闲状态; 1: 如果设置了相应的使能位(TIMx_CCER寄存器的CCxE、CCxNE位), 则开启OC和OCN输出。</p> <p>有关OC/OCN使能的细节, 参见13.4.9节, TIM1和TIM8捕获/比较使能寄存器(TIMx_CCER)。</p>
位14	<p>AOE: 自动输出使能(Automatic output enable)</p> <p>0: MOE只能被软件置'1'; 1: MOE能被软件置'1'或在下一个更新事件被自动置'1'(如果刹车输入无效)。 注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为'1', 则该位不能被修改。</p>
位13	<p>BKP: 刹车输入极性(Break polarity)</p> <p>0: 刹车输入低电平有效; 1: 刹车输入高电平有效。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为'1', 则该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位12	<p>BKE: 刹车功能使能(Break enable)</p> <p>0: 禁止刹车输入(BRK及CCS时钟失效事件); 1: 开启刹车输入(BRK及CCS时钟失效事件)。</p> <p>注: 当设置了LOCK级别1时(TIMx_BDTR寄存器中的LOCK位), 该位不能被修改。 注: 任何对该位的写操作都需要一个APB时钟的延迟以后才能起作用。</p>
位11	<p>OSSR: 运行模式下“关闭状态”选择(Off-state selection for Run mode) 该位用于当MOE=1且通道为互补输出时。没有互补输出的定时器中不存在OSSR位。 参考OC/OCN使能的详细说明(13.4.9节, TIM1和TIM8捕获/比较使能寄存器(TIMx_CCER))。</p> <p>0: 当定时器不工作时, 禁止OC/OCN输出(OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxE=1或CCxNE=1, 首先开启OC/OCN并输出无效电平, 然后置OC/OCN使能输出信号=1。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为2, 则该位不能被修改。</p>
位10	<p>OSSI: 空闲模式下“关闭状态”选择(Off-state selection for Idle mode) 该位用于当MOE=0且通道设为输出时。 参考OC/OCN使能的详细说明(13.4.9节, TIM1和TIM8捕获/比较使能寄存器(TIMx_CCER))。</p> <p>0: 当定时器不工作时, 禁止OC/OCN输出(OC/OCN使能输出信号=0); 1: 当定时器不工作时, 一旦CCxE=1或CCxNE=1, OC/OCN首先输出其空闲电平, 然后OC/OCN使能输出信号=1。</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为2, 则该位不能被修改。</p>

位9:8	<p>LOOK[1:0]: 锁定设置(Lock configuration) 该位为防止软件错误而提供写保护。</p> <p>00: 锁定关闭, 寄存器无写保护;</p> <p>01: 锁定级别1, 不能写入TIMx_BDTR寄存器的DTG、BKE、BKP、CMP4_OE、MP4_OEP、CMP5_OE、CMP5_OEP、PVD_OE、PVD_OEP、Hardfault_OE、AOE位和TIMx_CR2寄存器的OISx/OISxN位;</p> <p>10: 锁定级别2, 不能写入锁定级别1中的各位, 也不能写入CC极性位(一旦相关通道通过CCxS位设为输出, CC极性位是TIMx_CCER寄存器的CCxP/CCNxP位)以及OSSR/OSSI位;</p> <p>11: 锁定级别3, 不能写入锁定级别2中的各位, 也不能写入CC控制位(一旦相关通道通过CCxS位设为输出, CC控制位是TIMx_CCMRx寄存器的OCxM/OCxPE位);</p> <p>注: 在系统复位后, 只能写一次LOCK位, 一旦写入TIMx_BDTR寄存器, 则其内容冻结直至复位。</p>
位7:0	<p>UTG[7:0]: 死区发生器设置(Dead-time generator setup) 这些位定义了插入互补输出之间的死区持续时间。</p> <p>假设DT表示其持续时间:</p> <p>DTG[7:5]=0xx => DT=DTG[7:0] ×Tdtg, Tdtg = TDTS;</p> <p>DTG[7:5]=10x => DT=(64+DTG[5:0]) ×Tdtg, Tdtg = 2 ×TDTS;</p> <p>DTG[7:5]=110 => DT=(32+DTG[4:0]) ×Tdtg, Tdtg = 8 ×TDTS;</p> <p>DTG[7:5]=111 => DT=(32+DTG[4:0])×Tdtg, Tdtg = 16 ×TDTS;</p> <p>例:</p> <p>若TDTS = 125ns(8MHZ), 可能的死区时间为:</p> <p>0到15875ns, 若步长时间为125ns;</p> <p>16us到31750ns, 若步长时间为250ns;</p> <p>32us到63us, 若步长时间为1us;</p> <p>64us到126us, 若步长时间为2us;</p> <p>注: 一旦LOCK级别(TIMx_BDTR寄存器中的LOCK位)设为1、2或3, 则不能修改这些位。</p>

TIM1 和 TIM8 CCR5(TIMx_CCR5)

偏移地址: 0x54

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位31:16	保留, 始终读为0。
位15:0	CCR5[15:0]: 捕获/比较通道5的值 (Capture/Compare 5 value) 若CC5通道配置为输出: CCR5包含了装入当前捕获/比较5寄存器的值(预装载值)。 如果在TIMx_CCMR4寄存器(OC4PE位)中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较5寄存器中。 当前捕获/比较寄存器参与同计数器TIMx_CNT的比较, 并在OC5端口上产生输出信号。 若CC5通道配置为输入: CCR5包含了由上一次输入捕获5事件(IC5)传输的计数器值。

TIM1 和 TIM8 CCMR3(TIMx_CCMR3)

偏移地址: 0x58

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								OC5 CE	OC5M[2:0]			OC5 PE	OC5 FE	保留	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位31:8	保留, 始终读为0。
位7	OC5CE:输出比较5清0使能
位6:4	OC5M[2:0]:输出比较5模式
位3	OC5PE:输出比较5预装载使能
位2	OC5FE:输出比较5快速使能
位1:0	保留, 始终读为0。

9 CMP 比较器

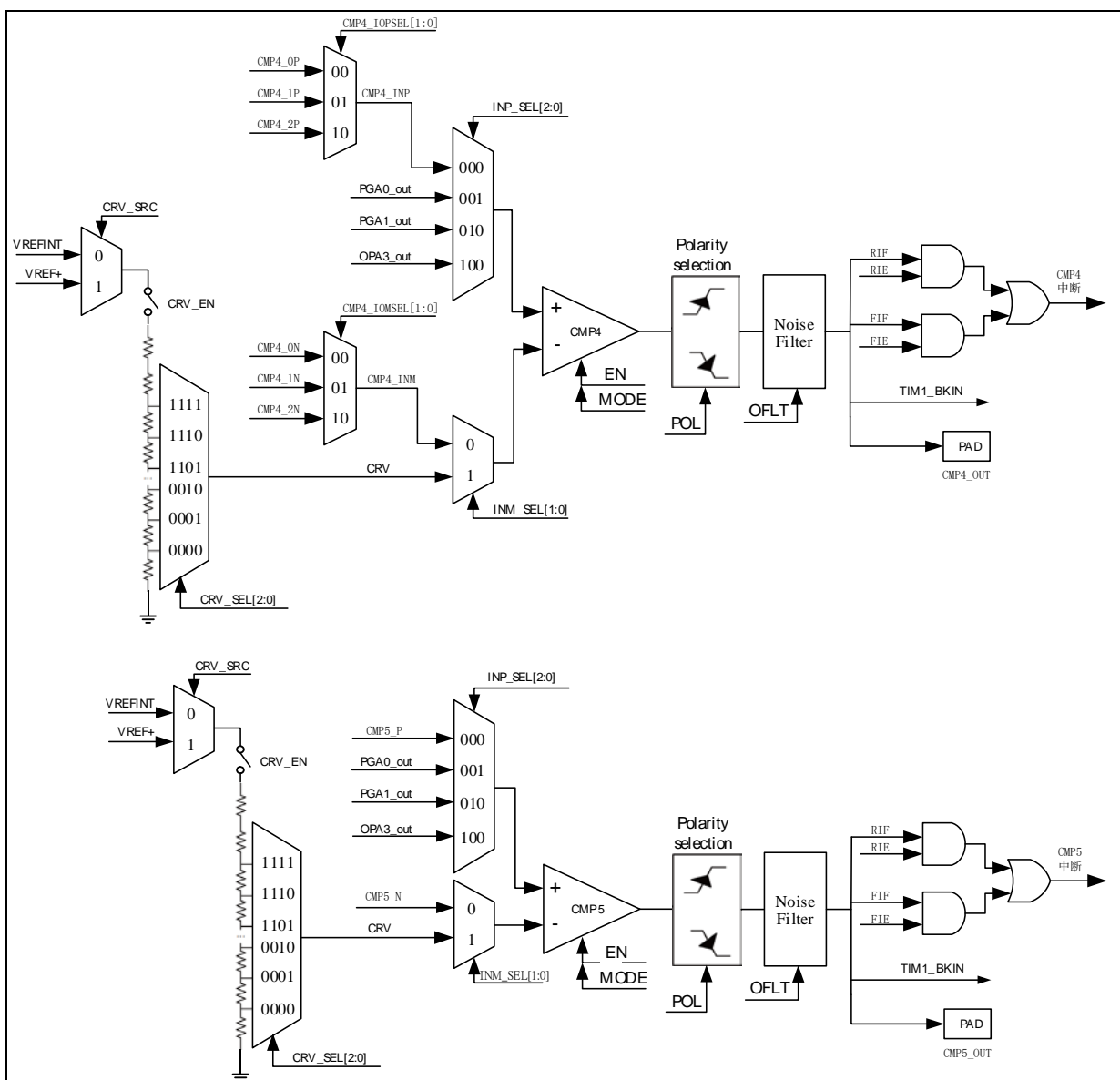
CMP 简介

芯片内嵌 2 个通用比较器 CMP4、CMP5 可独立使用,也可与 TIM1 和 OPA 结合使用。

比较器功能描述

简介

下图是比较器框图:



比较器开关控制

通过设置CMPx_CR寄存器的EN位可给CMP上电。设置EN位时，它将CMP从断电状态唤醒，清除EN位可停止比较器工作。

比较器输入和输出

CMP4-5有4个正相输入和2个反向输入通道可以选择，正相输入包含3个(CMP5只有1个)外部引脚和3个OPA0-3的输出，反相输入包含3个(CMP5只有1个)外部引脚和CRV电压分压值。

CMP4-5的输出可以选择TIM1的煞车输入

比较器用法

比较器CMP4/5比较所选择的INP和INM端口上的信号，具体流程如下：

1. 配置CMPx_CR2寄存器的INP_SEL位和INM_SEL位，选择所要比较的信号；
2. 配置CMPx_CR1寄存器的EN位，比较器开始上电工作；
3. 比较的结果存放于CMPx_CR1寄存器的OUT位。

另外，当CMP4和CMP5的INM_SEL选择CRV时，需要配置CMP_CR2寄存器的CRV_SEL位，然后将CRV_EN置位。

比较器锁定机制

比较器能用于安全的用途，比如过流或者过热保护。在某些特定的安全需求的应用中，有必要保证比较器设置不能被无效寄存器访问或者程序计数器破坏所改变。为了这个目的，比较器控制和状态寄存器可以设为写保护(只读)。一旦设置完成，LOCK位必须设为1，这导致整个CMPx_CR2寄存器变成只读，包括LOCK位在内。写保护只能被MCU复位所清除。

迟滞现象 (未测试)

比较器的可配置迟滞电压能防止无效的输出变化产生的噪声信号。在不强制迟滞电压的情况下迟滞现象可以被禁止。

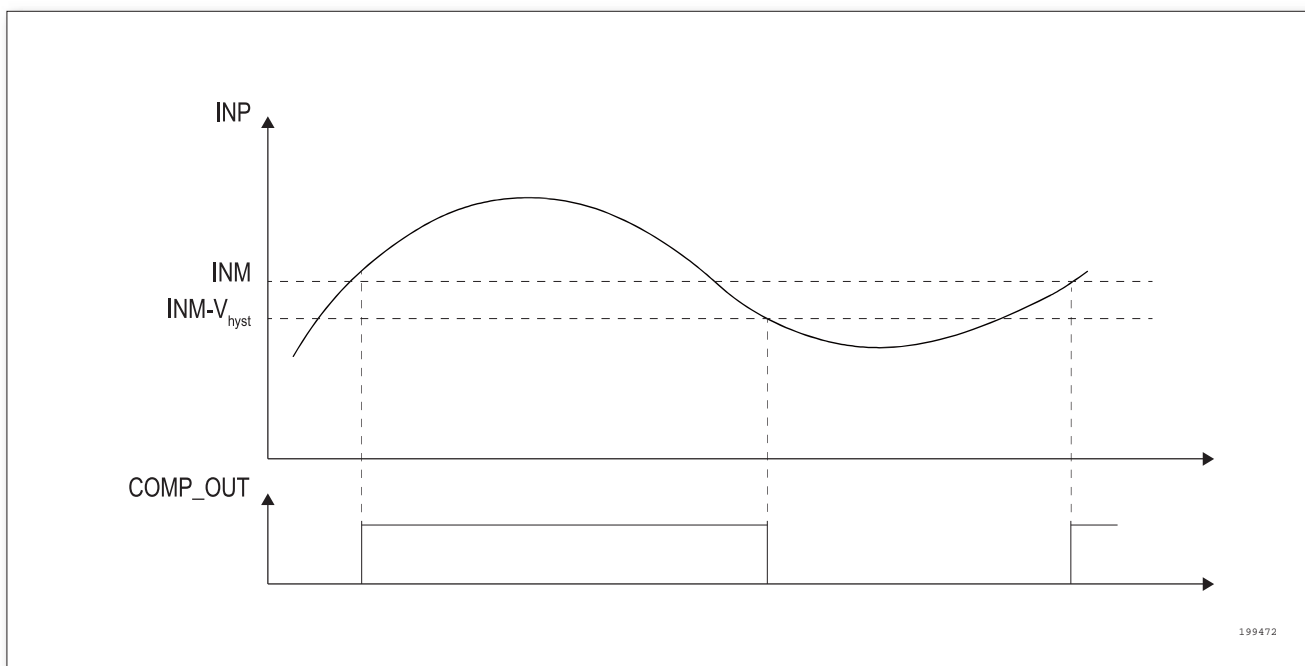
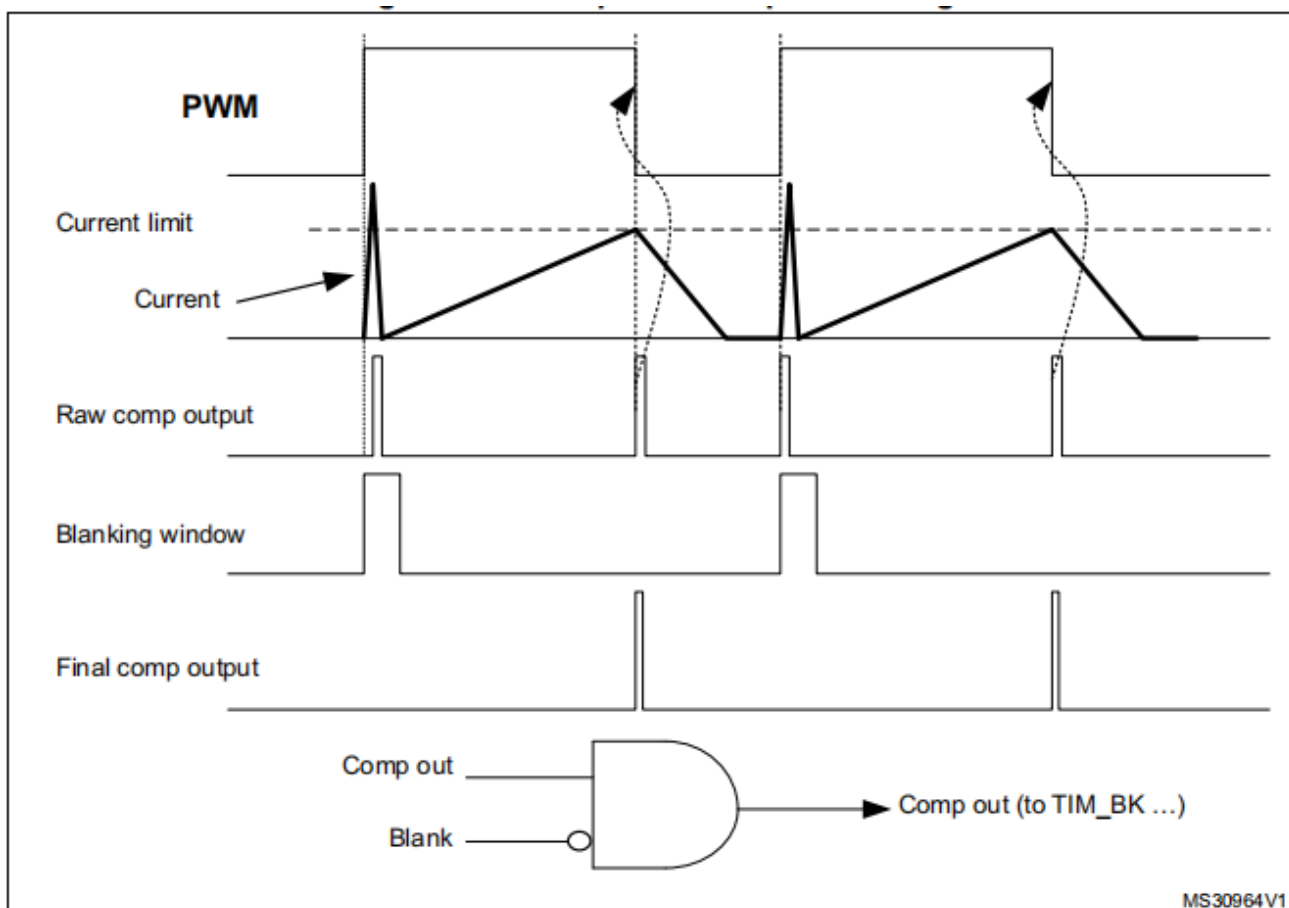


图29. 比较器的迟滞现象

电流尖峰遮蔽功能 (未测试)



MS30964V1

CMP 中断

CMP 中断功能

CMP 寄存器

CMP 控制寄存器 1(CMPx_CR1)

CMPx_CR1 (CMP 控制寄存器 1)						基地址: 0x40014030, 0x40014040										
Reset Value: 0X00000						偏移地址: 00H										
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留												FHYST[1:0]		RHYST[1:0]		
												rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FIF	RIF	FIE	RIE	保留	OFLT[2:0]			LOCK	OUT	保留			POL	MODE[1:0]	EN	
rw	rw	rw	rw		rw	rw	rw	rw	r				rw	rw	rw	rw

位	功能描述
31:20	保留位, 硬件强制为 0
19:18	FHYST[1:0] : 下降迟滞电压 00: 0mV 01: 5mV 10: 10mV 11: 20mV
17:16	RHYST[1:0] : 上升迟滞电压 00: 0mV 01: 5mV 10: 10mV 11: 20mV
15	FIF : 下降沿中断事件标志位 1: 下降沿中断事件发生 0: 无下降沿中断事件
14	RIF : 上升沿中断事件标志位 1: 上升沿中断事件发生 0: 无上升沿中断事件
13	FIE : 下降沿中断使能标志位 1: 下降沿中断使能 0: 下降沿中断禁止
12	RIE : 上升沿中断使能标志位 1: 上升沿中断使能 0: 上升沿中断禁止
11	保留位, 硬件强制为 0
10:8	OFLT[2:0] : 比较器的输出滤波, 连续的 PCLK 时钟比较输出不变则认为有效, 否则保持不变 000b: 1 个时钟周期, 无滤波 001b: 4 个时钟周期 010b: 16 个时钟周期 011b: 32 个时钟周期 100b: 64 个时钟周期 101b: 128 个时钟周期 110b: 256 个时钟周期 111b: 512 个时钟周期
7	LOCK : CR2 只读控制位 1: CR2 只能 read 0: CR2能read/write

6	OUT: 比较器的输出, read only 1: 高输出 0: 低输出 注意: CPU 读取 OUT 值时, OFLT 值必须设为 001b 以上
5:4	保留位 , 硬件强制为0
3	POL: 输出极性 1: 反相输出 0: 同相输出
2:1	MODE[1:0]: CMP采样速率控制位 00b: 极低功率 01b: 低功率 10b: 中等速率 11b: 高速率
0	EN: 比较器使能控制位 1: 比较器使能 0: 比较器禁止

CMP 控制寄存器 2(CMPx_CR2)

CMPx_CR2 (CMP 控制寄存器 2)						基地址: 0x40014030, 0x40014040									
Reset Value: 0X00000						偏移地址: 04H									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														BLANKING [2:1]	
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLANKING [0]	CMP4_IOMSEL [1:0]		CMP4_IOPSEL [1:0]		INP_SEL [2:0]			INM_SEL [1:0]		CRV_S RC	CRV_E N	CRV_SEL [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位	功能描述
31:18	保留位 , 硬件强制为 0
17:15	BLANKING[2:0]: 电流尖峰遮蔽功能信号源选择 000: 不遮蔽 001: TIM1 channel4 输出作为遮蔽信号源 010: TIM2 channel 3 输出作为遮蔽信号源 011: TIM3 channel 3 输出作为遮蔽信号源 100: TIM4 channel 3 输出作为遮蔽信号源 default: 保留
14:13	CMP4_IOMSEL[1:0]: CMP4 输入 N 端 IO 通道选择 该位只在 CMP4 中且 INM_SEL 为 0 时有效 00: CHO_INM 01: CH1_INM 10: CH2_INM
12:11	CMP4_IOPSEL[1:0]: CMP4 输入 P 端 IO 通道选择 该位只在 CMP4 中且 INP_SEL 为 0 时有效 00: CHO_INP 01: CH1_INP 10: CH2_INP
10:8	INP_SEL[2:0]: P 端输入源选择 000: CMP4_GPIO, CMP5_GPIO 001: PGA0_out 010: PGA1_out

	011: 保留 100: OPA3_out
7:6	INM_SEL[1:0] : N 端输入源选择 00: CMP4_GPIO, CMP5_GPIO 01: CRV
5	CRV_SEL : 比较器外部参考电压源选择 1: AVCC 0: VBG (1.2V)
4	CRV_EN : 比较器外部参考电压使能位 1: 比较器外部参考电压使能 0: 比较器外部参考电压禁止 注意: CMP4 和 CMP5 的 CRV_EN 为相同信号, 当 CMP4 的 CRV_EN 写入 1, CMP5 的 CRV_EN 也会变成 1
3:0	CRV_VREF[3:0] : 比较器外部参考电压选择: 0000b: 1/20 AVCC 0001b: 2/20 AVCC 0010b: 3/20 AVCC 0011b: 4/20 AVCC 0100b: 5/20 AVCC 0101b: 6/20 AVCC 0110b: 7/20 AVCC 0111b: 8/20 AVCC 1000b: 9/20 AVCC 1001b: 10/20 AVCC 1010b: 11/20 AVCC 1011b: 12/20 AVCC 1100b: 13/20 AVCC 1101b: 14/20 AVCC 1110b: 15/20 AVCC 1111b: 16/20 AVCC



CMP 调节寄存器(CMPx_CAL)

CMPx_CAL (CMP 调节寄存器)						基地址: 0x40014030, 0x40014040 偏移地址: 08H Reset Value: 0X0708											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
保留																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
保留				CAL_NADJ[3:0]				保留				CAL_N EN	CAL_P EN	CAL_PADJ[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw	rw	rw

位	功能描述
31:12	保留位, 硬件强制为 0
11:8	CAL_NADJ[3:0]: CMP NMOS offset 调节(default:0111)
7:6	保留位, 硬件强制为 0
5	CAL_NEN: CMP NMOS 校正使能位 1: CMP NMOS 校正使能 0: CMP NMOS 校正禁止
4	CAL_PEN: CMP PMOS 校正使能位 1: CMP PMOS 校正使能 0: CMP PMOS 校正禁止
3:0	CAL_PADJ[3:0]: CMP PMOS offset 调节(default:1000)

CMP 数据寄存器(CMPx_DAT)

CMPx_DAT (数据寄存器)						基地址: 0x40013800, 0x40004400, 0x40004800 偏移地址: 0CH Reset Value: 0X0000									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													OUTP2	OUTP1	OUTP0
													r	r	r

位	功能描述
31:3	保留位, 硬件强制为 0
2	OUTP3: 正向 I/O 输入为 CH2_INP (IOPSEL=10) 时输出的结果存储位 该位只在 CMP4 中有效 1: 高输出 0: 低输出
1	OUTP2: 正向 I/O 输入为 CH1_INP (IOPSEL=01) 时输出的结果存储位 该位只在 CMP4 中有效 1: 高输出 0: 低输出
0	OUTP1: 正向 I/O 输入为 CH0_INP (IOPSEL=00) 时输出的结果存储位 该位只在 CMP4 中有效 1: 高输出 0: 低输出

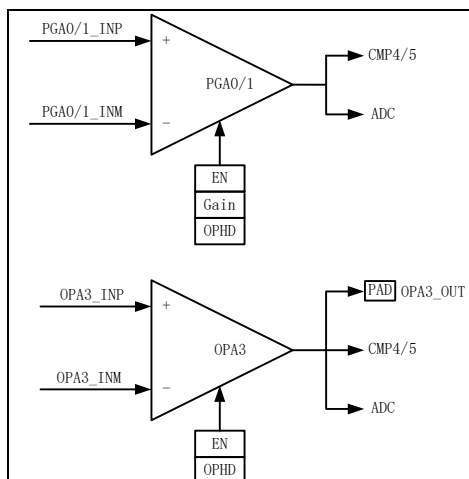
CMP 寄存器地址映像

偏移	寄存器	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x00	CMPx_CR1	保留				FHYST [1:0]		RHYST [1:0]		FIF	RIF	FIE	RIE	RESV	OFLT [2:0]			LOCK	OUT	保留			POL	MODE [1:0]		EN
	复位值					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0
0x04	CMPx_CR2	保留						BLANKING [2:0]		CMP4_IOM SEL[1:0]		CMP4_IOP SEL[1:0]		INP_SEL [2:0]			IMM_SEL [1:0]		CRV_SRC	CRV_EN	CRV_SEL [3:0]					
	复位值							0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0x08	CMPx_CAL	保留										CAL_NADJ [3:0]			保留			CAL_NEN	CAL_PEN	CAL_PADJ [3:0]						
	复位值											0	1	1	1				0	0	1	0	0	0	0	0
0x0c	CMPx_DAT	保留																					OUTP2	OUTP1	OUTP0	
	复位值																						0	0	0	

10 OPAMP 运算放大器

运算放大器简介

芯片内嵌三个运算放大器，每个运算放大器的输入和 OPA_3 的输出都连接到 I/O ，每个运算放大器的输出通过共享 I/O 可以与 ADC ， CMP 比较器相连。



运算放大器主要特征

- 轨对轨输入/输出
- OPA_3 输出连接到 I/O 上
- DC offset cancel

运算放大器寄存器

运算放大器包括两个个控制寄存器。

OPA 控制寄存器(OPA_CR)

OPA_CR (OPA 控制寄存器)								基地址: 0x40015000							
Reset Value: 0X0000								偏移地址: 00H							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			OPA3_	保留				PGA1_Gain			PGA1_	PGA0_Gain			PGA0_
			EN					[2:0]			EN	[2:0]			EN
			rw					rw	rw	rw	rw	rw	rw	rw	rw

位	功能描述
31:13	保留位, 硬件强制为0
12	OPA3_EN :OPA3 使能位 1:OPA3 使能 0:OPA3禁止
11:8	保留位, 硬件强制为0
7:5	PGA1_Gain[2:0] :PGA1 放大倍率选择 000b:1X 001b:2X 010b:4X 011b:8X 100b:16X 101b:24X 110b:32X 110b:保留
4	PGA1_EN :PGA1使能位 1:PGA1使能 0:PGA1禁止
3:1	PGA0_Gain[2:0] : PGA0 放大倍率选择 000b:1X 001b:2X 010b:4X 011b:8X 100b:16X 101b:24X 110b:32X 110b:保留
0	PGA0_EN :PGA0使能位 1:PGA0使能 0:PGA0禁止

OPA 控制寄存器 2(OPA_CR2)

OPA_CR2 (OPA 控制寄存器 2) Reset Value: 0X0000						基地址: 0x40015000 偏移地址: 04H									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				OPHD3	保留		OPHD1	OPHD0	保留						
				rw			rw	rw							

位	功能描述
31:12	保留位, 硬件强制为0
11	OPHD3 : OPA3高驱动功能使能位 1: 高驱动功能使能 0: 高驱动功能禁止
10	保留位, 硬件强制为0
9	OPHD1 : PGA1高驱动功能使能位 1: 高驱动功能使能 0: 高驱动功能禁止
8	OPHD0 : PGA0高驱动功能使能位 1: 高驱动功能使能 0: 高驱动功能禁止
7:0	保留位, 硬件强制为0



OPA 控制寄存器 3(OPA_CR3)

OPA_CR3 (OPA 控制寄存器 3)							基地址: 0x40015000								
Reset Value: 0X0000							偏移地址: 08H								
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									PGA1_Test		PGA0_Test		PGA1_CAL	PGA0_CAL	OPA_CAL
									rw	rw	rw	rw	rw	rw	rw

位	功能描述
31:7	保留位, 硬件强制为 0
6:5	PGA1_Test: PGA1测试模式 00: 关闭测试模式 01: 开启
4:3	PGA0_Test: PGA0测试模式 00: 关闭测试模式 01: 开启
2	PGA1_CAL: PGA1校正使能 0: 关闭 1: 校正使能
1	PGA0_CAL: PGA0校正使能 0: 关闭 1: 校正使能
0	OPA_CAL: OPA校正使能 0: 关闭 1: 校正使能

OPA 寄存器地址映像

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
000H	OPA_CR	保留											OPA3_EN	保留							PGA1_Gain [2:0]	PGA1_EN	PGA0_Gain [2:0]	PGA0_EN									
	复位值												0								0	0	0	0	0	0	0	0					
004H	OPA_CR2	保留											OPHD3	保留	OPHD1	OPHD0	保留																
	复位值												0		0	0																	
008H	OPA_CR3	保留																		PGA1_Test	PGA0_Test	PGA1_CAL	PGA0_CAL	OPA_CAL									
	复位值																			0	0	0	0	0	0	0							

11 GPIO

GPIO alternate function low register (GPIOx_AFRL)

(x = A..D)

地址偏移: 0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR7[3:0]				AFR6[3:0]				AFR5[3:0]				AFR4[3:0]			
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR3[3:0]				AFR2[3:0]				AFR1[3:0]				AFR0[3:0]			
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位31:0	AFRy[3:0]: Alternate function selection for port x pin y (y = 0..7) These bits are written by software to configure alternate function I/Os AFRy selection: 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1xxx: Reserved
-------	--

GPIO alternate function high register (GPIOx_AFRH)

(x = A..D)

地址偏移: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR15[3:0]				AFR14[3:0]				AFR13[3:0]				AFR12[3:0]			
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR11[3:0]				AFR10[3:0]				AFR9[3:0]				AFR8[3:0]			
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位31:0	AFRy[3:0]: Alternate function selection for port x pin y (y = 8..15) These bits are written by software to configure alternate function I/Os AFRy selection: 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: AF5 0110: AF6 0111: AF7 1xxx: Reserved
-------	---

GPIO port pull-up/pull-down register (GPIOx_PUPDR)

(x = A..D)

地址偏移: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPDR15	PUPDR14	PUPDR13	PUPDR12	PUPDR11	PUPDR10	PUPDR9	PUPDR8								
[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]								
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPDR7	PUPDR6	PUPDR5	PUPDR4	PUPDR3	PUPDR2	PUPDR1	PUPDR0								
[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]	[1:0]								
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位31:0	PUPDRy[1:0]: Port x configuration bits (y = 0..15) These bits are written by software to configure the I/O pull-up or pull-down PUPDRy selection: 00: No pull-up, pull-down 01: Pull-up 10: Pull-down 11: Reserved
-------	---

AFIO remap & pupd option register (AFIO_OPT)

地址偏移: 0x18

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														PUPD OPT	MAP OPT
														rw	rw

位31:2	保留, 硬件强制为0
位1	PUPDOPT : PUPD option 0: IO pull high or pull down維持F103設置 1: IO pull high/pull down改參考PUPDR pull high/down不限制在input有效
位0	MAPOPT : Remap option 0: IO復用配置維持F103 1: IO復用配置改參考GPIO的AFRL,AFRH



PB10、PB11、PB12 无 5V tolerant

AFIO 复用表

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	Analog	
1										
2									TAMPER-RTC	
3									OSC32_IN	
4									OSC32_OUT	
5									OSC_IN	CMP5_P
6									OSC_OUT	CMP5_N
7										
8									ADC12_IN10	
9									ADC12_IN11	
10									ADC12_IN12	
11									ADC12_IN13	
12										
13										
14	WKUP	TIM2_CH1_ETR		USART2_CTS			TIM8_ETR		ADC12_IN0	CMP4_1P
15		TIM2_CH2		USART2_RTS					ADC12_IN1	CMP4_1N
16		TIM2_CH3		USART2_TX					ADC12_IN2	PGA1_P
17		TIM2_CH4		USART2_RX					ADC12_IN3	PGA1_N
18										
19										
20				USART2_CK	SPI1_NSS				ADC12_IN4	PGA0_P
21					SPI1_SCK				ADC12_IN5	PGA0_N
22		TIM3_CH1	TIM1_BKIN		SPI1_MISO		TIM8_BKIN		ADC12_IN6	CMP4_0P
23		TIM3_CH2	TIM1_CH1N		SPI1_MOSI		TIM8_CH1N		ADC12_IN7	CMP4_0N
24									ADC12_IN14	
25									ADC12_IN15	
26		TIM3_CH3	TIM1_CH2N				TIM8_CH2N		ADC12_IN8	CMP4_2P
27		TIM3_CH4	TIM1_CH3N				TIM8_CH3N		ADC12_IN9	CMP4_2N
28							CMP4_OUT	CMP5_OUT		
29		TIM2_CH3		USART3_TX		I2C2_SCL				OPA3_OUT
30		TIM2_CH4		USART3_RX		I2C2_SDA				OPA3_N
31										
32										
33			TIM1_BKIN	USART3_CK	SPI2_NSS	I2C2_SMBAI				OPA3_P
34			TIM1_CH1N	USART3_CTS	SPI2_SCK					
35			TIM1_CH2N	USART3_RTS	SPI2_MISO					
36			TIM1_CH3N		SPI2_MOSI					
37		TIM3_CH1					TIM8_CH1			
38		TIM3_CH2					TIM8_CH2			
39		TIM3_CH3					TIM8_CH3			
40		TIM3_CH4					TIM8_CH4			
41	MCO		TIM1_CH1	USART1_CK						
42			TIM1_CH2	USART1_TX						
43			TIM1_CH3	USART1_RX						
44			TIM1_CH4	USART1_CTS			CANRX			
45			TIM1_ETR	USART1_RTS			CANTX			
46										
47										
48										
49										
50		TIM2_CH1_ETR			SPI1_NSS					
51				USART3_TX			TIM8_CH5			
52			TIM1_CH5	USART3_RX						
53				USART3_CK						
54		TIM3_ETR								
55	TRACESWO	TIM2_CH2			SPI1_SCK					
56		TIM3_CH1			SPI1_MISO					
57		TIM3_CH2			SPI1_MOSI	I2C1_SMBAI				
58		TIM4_CH1		USART1_TX		I2C1_SCL				
59		TIM4_CH2		USART1_RX		I2C1_SDA				
60										
61		TIM4_CH3				I2C1_SCL	CANRX			
62		TIM4_CH4				I2C1_SDA	CANTX			
63										
64										

12 AC/DC

12.1 Absolute maximum ratings

Voltage characteristics				
Symbol	Ratings	Min	Max	Unit
VDD - VSS	External main supply voltage (including VDDA and VDD) ⁽¹⁾	-0.3	6.5	V
VIN ⁽²⁾	Input voltage on five volt tolerant pin	VSS-0.3	5.5	
	Input voltage on any other pin	VSS-0.3	VDD+0.3	
ΔV_{DDx}	Variations between different VDD power pins	-	50	mV
$V_{SSX} - V_{SS}$	Variations between all the different ground pins	-	50	
V _{ESD(HBM)}	Electrostatic discharge voltage (human body model)	3		KV

1. All main power (VDD, VDDA) and ground (VSS, VSSA) pins must always be connected to the external power supply, in the permitted range.
2. VIN maximum must always be respected. Refer to Current characteristics for the maximum allowed injected current values.

Current characteristics				
Symbol	Ratings	Condition	Max.	Unit
I _{VDD}	Total current into VDD/VDDA power lines (source) ⁽¹⁾	VCC=3.3V	150	mA
		VCC=5V	150	
I _{VSS}	Total current out of VSS ground lines (sink) ⁽¹⁾	VCC=3.3V	150	
		VCC=5V	150	
I _{IO}	Output current sunk by any I/O and control pin	VCC=3.3V	8	
		VCC=5V	30	
	Output current source by any I/Os and control pin	VCC=3.3V	-8	
		VCC=5V	-25	
I _{INJ(PIN)} ⁽²⁾	Injected current on five volt tolerant pins ⁽³⁾		-5/+0	
	Injected current on any other pin ⁽⁴⁾		±5	
SI _{INJ(PIN)}	Total injected current (sum of all I/O and control pins) ⁽⁵⁾		±25	

1. All main power (VDD, VDDA) and ground (VSS, VSSA) pins must always be connected to the external power supply, in the permitted range.
2. Negative injection disturbs the analog performance of the device. See note 2. on page 76.
3. Positive injection is not possible on these I/Os. A negative injection is induced by VIN<VSS. IINJ(PIN) must never be exceeded. Refer to Voltage characteristics for the maximum allowed input voltage values.
4. A positive injection is induced by VIN>VDD while a negative injection is induced by VIN<VSS. IINJ(PIN) must never be exceeded. Refer to Voltage characteristics for the maximum allowed input voltage values.

5. When several inputs are submitted to a current injection, the maximum $\Sigma I_{INJ}(PIN)$ is the absolute sum of the positive and negative injected currents (instantaneous values).

Thermal characteristics			
Symbol	Ratings	Value	Unit
TSTG	Storage temperature range	-65 to +150	°C
TJ	Maximum junction temperature	150	°C

12.2 General operating conditions

Symbol	Parameter	Conditions	Min	Max	Unit
f_{HCLK}	Internal AHB clock frequency	-		72	MHz
f_{PCLK1}	Internal APB1 clock frequency	-		72	
f_{PCLK2}	Internal APB2 clock frequency	-		72	
V_{DD}	Standard operating voltage	-	2	5.5	V
$V_{DDA(1)}$	Analog operating voltage (ADC or OPA or PGA or CMP not used)	Must be the same potential as $V_{DD(2)}$	2	5.5	
	Analog operating voltage (ADC or OPA or PGA or CMP used)		2.5	5.5	
V_{BAT}	Backup operating voltage	-	1.8	5.5	
V_{IN}	I/O input voltage	Standard IO	-0.3	$V_{DD}+0.3$	V
		FT IO ₍₃₎ $V_{DD}=3.3V$	-0.3	5.5	
		BOOT0	0	5.5	
P_D	Power dissipation at $T_A = 105\text{ °C}$ (3)	LQFP64	-	444	mW
		LQFP48	-	363	

General operating conditions (continued)

Symbol	Parameter	Conditions	Min	Max	Unit
T_A	Ambient temperature	Maximum power dissipation	-40	105	°C
T_J	Junction temperature range		-40	105	

1.当使用 ADC 时，参见表 45。

2.建议使用相同电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DD} 和 V_{DDA} 之间最多允许有 300mv 的差别。

3.如果 T_A 较低，只要 T_J 不超过 T_{Jmax} (参见第 1 节)，则允许更高的 P_D 值。

12.3 Operating conditions PWR UP_DOW

Symbol	Parameter	Conditions	Min	Max	Unit
t_{VDD}	V_{DD} rise time rate	$V_{CC}=3.3V$	0	∞	$\mu s/V$
	V_{DD} fall time rate		20	∞	
	V_{DD} rise time rate	$V_{CC}=5V$	2	∞	
	V_{DD} fall time rate		20	∞	

12.4 Embedded reset and power

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{PVD}	Programmable voltage detector level selection	PLS[2:0]=000 (rising edge)	2.1	2.2	2.26	V
		PLS[2:0]=000 (falling edge)	2	2.1	2.16	
		PLS[2:0]=001 (rising edge)	2.19	2.31	2.37	
		PLS[2:0]=001 (falling edge)	2.09	2.2	2.27	
		PLS[2:0]=010 (rising edge)	2.28	2.41	2.48	
		PLS[2:0]=010 (falling edge)	2.18	2.3	2.38	
		PLS[2:0]=011 (rising edge)	2.38	2.51	2.58	
		PLS[2:0]=011 (falling edge)	2.28	2.4	2.48	
		PLS[2:0]=100 (rising edge)	2.47	2.61	2.69	
		PLS[2:0]=100 (falling edge)	2.37	2.5	2.59	
		PLS[2:0]=101 (rising edge)	2.57	2.71	2.79	
		PLS[2:0]=101 (falling edge)	2.47	2.61	2.69	
		PLS[2:0]=110 (rising edge)	2.66	2.8	2.9	
		PLS[2:0]=110 (falling edge)	2.56	2.69	2.8	
		PLS[2:0]=111 (rising edge)	2.76	2.89	3	
		PLS[2:0]=111 (falling edge)	2.66	2.79	2.9	
V _{PVDhyst} ⁽²⁾	PVD hysteresis	-	-	100	-	mV
V _{POR/PDR}	Power on/power down reset threshold	Falling edge	1.8 ⁽¹⁾	1.87	1.96	V
		Rising edge	1.84	1.92	2	
V _{PDRhyst} ⁽²⁾	PDR hysteresis	-	-	50	-	mV
T _{RSTTEMPO} ⁽²⁾	Reset temporization	VCC=3.3V		50		ms
		VCC=5V	1	2.5	4.5	

1. The product behavior is guaranteed by design down to the minimum VPOR/PDR value.
2. Guaranteed by design.

12.5 Embedded internal reference

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{REFINT}	Internal reference voltage	-40 °C < TA < +105 °C	1.16	1.19	1.2	V
		-40 °C < TA < +85 °C	1.16	1.19	1.2	
TS _{vrefint} ⁽¹⁾	ADC sampling time when reading the internal reference voltage		0.125	5.9	19.95	us
V _{RERINT} ⁽²⁾	Internal reference voltage spread over the temperature range	VDD=3.3V	-	-	15	mV
		VDD=5V	-	-	15	
T _{coeff} ⁽²⁾	Temperature coefficient	-	-	-	100	ppm/°C

1. Shortest sampling time can be determined in the application by multiple iterations.
2. Guaranteed by design.

12.6 Supply current

Maximum current consumption in Run mode, code with data processing running from Flash

Symbol	Parameter	Conditions	fHCLK	Max(1)			Unit
				TA = 25 °C	TA = 105 °C	TA = 125 °C	
I _{DD}	Supply current in Run mode	External clock ⁽²⁾ , all peripherals enabled · VCC=3.3V	72 MHz	-	36	36.3	mA
		External clock ⁽²⁾ , all peripherals disabled · VCC=3.3V	72 MHz	25.7	25.9	26.3	
		External clock ⁽²⁾ , all peripherals enabled · VCC=5V	72 MHz	-	36.6	36.8	
		External clock ⁽²⁾ , all peripherals disabled · VCC=5V	72 MHz	26.9	27	27.5	

1. Guaranteed based on test during characterization.
2. External clock is 8 MHz and PLL is on when fHCLK > 8 MHz.

Maximum current consumption in Sleep mode, code running from Flash or RAM

Symbol	Parameter	Conditions	fHCLK	Max(1)			Unit
				TA = 25°C	TA = 105 °C	TA=125 °C	
I _{DD}	Supply current in Sleep mode	External clock ⁽²⁾ , all peripherals enabled · VCC=3.3V	8 MHz	4096	4007	4118	uA
		External clock ⁽²⁾ , all peripherals disabled · VCC=3.3V		4098	4015	4111	
		External clock ⁽²⁾ , all peripherals enabled · VCC=5V	8 MHz	4048.6	4198	4294	
		External clock ⁽²⁾ , all peripherals disabled · VCC=5V		4062.5	4229	4286	

1. Based on characterization, tested in production at VDD max, fHCLK max with peripherals enabled.
2. External clock is 8 MHz and PLL is on when fHCLK > 8 MHz.

Typical and maximum current consumptions in Stop and Standby modes

Symbol	Parameter	Conditions	Typ ⁽¹⁾		MAX			Unit
			VCC = 3.3V	VCC = 5.0V	TA = 常温	TA = 105 °C	TA = 125 °C	
I _{DD}	Supply current in Stop mode	Regulator in Run mode, low-speed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	33	33	-	-	-	μA
		Regulator in Low-power mode, lowspeed and high-speed internal RC oscillators and high-speed oscillator OFF (no independent watchdog)	11	13	-	-	-	
I _{DD}	Supply current in Standby mode	Low-speed internal RC oscillator and independent watchdog OFF, lowspeed oscillator and RTC OFF(VCC=3.3V)	-	-	3.25	19.63	52.26	μA
		Low-speed internal RC oscillator and independent	-	-	4.08	26.02	67.51	

		watchdog OFF, lowspeed oscillator and RTC OFF(VCC=5V)						
--	--	---	--	--	--	--	--	--

1. Typical values are measured at TA = 25 °C.
2. Guaranteed based on test during characterization.

Peripheral current consumption

Peripherals		μA/MHz
APB1 (up to 36 MHz)	DMA1	65.271
	TIM2	30.146
	TIM3	30.104
	TIM4	30.236
	SPI2	58.701
	USART2	56.806
	USART3	56.771
	I2C1	60.368
	I2C2	60.299
	CAN1	107.049
	WWDG	21.549
	PWR	20.938
BKP	20.813	

Peripheral current consumption (continued)

Peripherals		μA/MHz
APB2 (up to 72 MHz)	APB2-Bridge	3.75
	GPIOA	13.878
	GPIOB	13.330
	GPIOC	13.733
	GIOD	14.035
	SPI1	15.507
	USART1	5.743
	TIM1	24.146
	TIM8	15.757
	OPA	5.479
	CMP	5.260
	ADC1(1)	20.795
ADC2(1)	19.351	

1. Specific conditions for measuring ADC current consumption: f HCLK = 56 MHz, f APB1 = f HCLK /2, f APB2 =f HCLK , f ADCCLK = f APB2/4 , When ADON bit in the ADCx_CR2 register is set to 1, a current consumption of analog part equal to 0.65 mA must be added for each ADC.

12.7 External clock

High-speed external user clock characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
fHSE_ext	User external clock source frequency(1)	VCC=3.3V	1	8	25	MHz
VHSEH	OSC_IN input pin high level voltage		0.7VDD		VDD	
VHSEL	OSC_IN input pin low level		VSS		0.3VDD	V

voltage						
tw(HSE) tw(HSE)	OSC_IN high or low time(1)		16	-	-	ns
tr(HSE) tf(HSE)	OSC_IN rise or fall time(1)		-	-	20	
Cin(HSE)	OSC_IN input capacitance(1)	-	-	-	55	pF
DuCy(HSE)	Duty cycle	-	45	-	55	%
IL	OSC_IN Input leakage current	VDD=3.3V	-	-	±1	μA
		VDD=5V			±15	μA

1. Guaranteed by design.

HSE 4-16 MHz oscillator characteristics(1)(2)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
fOSC_IN	Oscillator frequency	-	4	8	16	MHz
RF	Feedback resistor	-	-	1000	-	KΩ
C	Recommended load capacitance versus equivalent serial resistance of the crystal (RS)(3)	RS = 40 Ω	-	15	33	pF
i2	HSE driving current	8MHz · VDD = 3.3 V	-	-	1	mA
		8MHz · VDD = 5V			1.09	
gm	Oscillator transconductance	Startup	15	-	-	mA/V
tSU(HSE)(4)	startup time	VDD is stabilized	-	4		ms

1. Resonator characteristics given by the crystal/ceramic resonator manufacturer.

2. Guaranteed based on test during characterization.

3. The relatively low value of the RF resistor offers a good protection against issues resulting from use in a humid environment, due to the induced leakage and the bias condition change. However, it is recommended to take this point into account if the MCU is used in tough humidity conditions.

4. tSU(HSE) is the startup time measured from the moment it is enabled (by software) to a stabilized 8 MHz oscillation is reached. This value is measured for a standard crystal resonator and it can vary significantly with the crystal manufacturer

LSE oscillator characteristics (fLSE = 32.768 kHz)(1)(2)

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
RF	Feedback resistor	-	-	10	-	MΩ
C	Recommended load capacitance versus equivalent serial resistance of the crystal (RS)	Rs=30k	-	-	15	pF
I2	LSE driving current	VDD = 3.3 V	-	-	1.4	μA
gm	Oscillator transconductance	-	5	-	-	μA/V

LSE oscillator characteristics (fLSE = 32.768 kHz)(1) (2) (continued)

Symbol	Parameter	Conditions	-	Min	Typ	Max	Unit
tSU(LSE)(3)	Startup time	VDD is stabilized=3.3V	TA = 25 °C	-	1.5	-	s
		VDD is stabilized=5V		-	1.5	-	

1. Guaranteed based on test during characterization.

2. tSU(LSE) is the startup time measured from the moment it is enabled (by software) to a stabilized 32.768 kHz oscillation is reached. This value is measured for a standard crystal and it can vary significantly with the crystal manufacturer

12.8 Internal clock source

High-speed internal (HSI) RC oscillator

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
f_{HSI}	Frequency	-	-	8	-	MHz
$\text{DuCy}_{(\text{HSI})}$	Duty cycle	-	41	-	43	
ACC_{HSI}	Accuracy of the HSI oscillator	User-trimmed with the RCC_CR register ⁽²⁾	-	-	1 ⁽³⁾	
		Factory-calibrated ⁽⁴⁾⁽⁵⁾	TA = -40 to 125 °C	-2	-	1.5
$t_{\text{su}(\text{HSI})}^{(4)}$	HSI oscillator startup time	-	-	0.2	-	μs
$\text{IDD}(\text{HSI})^{(4)}$	HSI oscillator power consumption	-			450	μA

LSI oscillator characteristics(1)

Symbol	Parameter	Min	Typ	Max	Unit
$f_{\text{LSI}}^{(2)}$	Frequency	-	40	-	kHz
$t_{\text{su}}(\text{LSI})$	LSI oscillator startup time				μs
$\text{IDD}(\text{LSI})^{(3)}$	LSI oscillator power consumption			1	μA

Low-power mode wakeup timings

Symbol	Parameter	Voltage	min	max	Unit
t_{WUSLEEP}	Wakeup from Sleep mode	3.3V	8.22	8.38	μs
		5V	8.22	8.34	
$t_{\text{WUST}}(1)$	Wakeup from Stop mode (regulator in run mode)	3.3V	16.19	16.39	
		5V	16.19	16.39	
t_{WUSTDBY}	Wakeup from Standby mode	3.3V	563	569	
		5V	543	569	

1. VDD = 3.3 V, TA = -40 to 105 °C unless otherwise specified.

2. Refer to application note AN2868 “STM32F10xxx internal RC oscillator (HSI) calibration”

3. Guaranteed by design.

4. Guaranteed based on test during characterization.

5. The actual frequency of HSI oscillator may be impacted by a reflow, but does not drift out of the specified range.

12.9 PLL characteristics

Symbol	Parameter	Value			Unit
		Min(1)	Typ	Max(1)	
$f_{\text{PLL_IN}}$	PLL input clock ⁽²⁾	1.25	8	25	MHz
	PLL input clock duty cycle	40	-	60	%
$f_{\text{PLL_OUT}}$	PLL multiplier output clock	16	-	72	MHz
t_{LOCK}	PLL lock time	-	-	200	μs
Jitter	Cycle-to-cycle jitter	-	-	400	ps

1. Guaranteed based on test during characterization.

2. Take care of using the appropriate multiplier factors so as to have PLL input clock values compatible with the range defined by $f_{\text{PLL_OUT}}$

12.10 Memory characteristics

Symbol	Parameter	Conditions	Min(1)	Typ	Max(1)	Unit
tprog	Byte programming time	TA = -40 to +105 °C	6	-	7.5	µs
tERASE	Sector erase time	TA = -40 to +105 °C	4	-	5	ms
	Chip erase time	TA = -40 to +105 °C	30	-	40	

1. Guaranteed by design.

Flash memory characteristics (continued)

Symbol	Parameter	Conditions	Min(1)	Typ	Max(1)	Unit
IDD	Supply current	Read mode 40 MHz , VDD = 1.35 ~ 1.65V	-	-	3.5	mA
		Write / Erase modes VDD = 1.35 ~ 1.65V	-	-	3.5	
	Standby Current	Standby Current	-	1.5	-	µA
		Deep Standby Current	-	0.5	3µA@85 °C 15µA@125 °C	

1. Guaranteed by design.

Flash memory endurance and data retention

Symbol	Parameter	Conditions	Value			Unit
			Min(1)	Typ	Max	
NEND	Endurance	TA = -40 to +105 °C	20	-	-	kcycles
tRET	Data retention	TA = 25 °C	100	-	-	Years
		TA = 85 °C	20	-	-	
		TA = 125 °C	10	-	-	

1. Guaranteed based on test during characterization.

12.11 EMC characteristics

EMS characteristics

Symbol	Parameter	Conditions	Level/ Class
VFESD	Voltage limits to be applied on any I/O pin to induce a functional disturbance	VDD = 5 V, TA = +25 °C, fHCLK = 72 MHz conforms to IEC 61000-4-2	IEC3
VEFTB	Fast transient voltage burst limits to be applied through 100 pF on VDD and VSS pins to induce a functional disturbance	VDD = 5V, TA = +25 °C, fHCLK = 72 MHz conforms to IEC 61000-4-4	IEC3

EMI characteristics

Symbol	Parameter	Conditions	Monitored frequency band	Max vs. [fHSI/fHCLK]	Unit
				72 MHz	
SEMI	Peak level	VDD = 3.3 V, TA = 26 °C, 55%RH, LQFP64 package compliant with IEC 61967-2	0.1 to 30 MHz	12	dBµV
			30 to 300 MHz	24	
			300 MHz to 1GHz	18	
			SAE EMI Level	L8e	
		VDD = 5 V, TA = 26 °C, 55%RH, LQFP64 package compliant with IEC 61967-2	0.1 to 30 MHz	18	dBµV
			30 to 300 MHz	30	
			300 MHz to 1GHz	24	



			SAE EMI Level	I6c	-
--	--	--	---------------	-----	---

12.12 electrical sensitivity

Symbol	Ratings	Conditions	Class	Maximum value(1)	Unit
VESD(HBM)	Electrostatic discharge voltage (human body model)	TA = +25 °C conforming to JESD22-A114	Class 2	3000	V
VESD(CDM)	Electrostatic discharge voltage (charge device model)	TA = +25 °C conforming to ANSI/ESD STM5.3.1	Class C5	1200	

1. Guaranteed based on test during characterization

Electrical sensitivities

Symbol	Parameter	Conditions	Class	Maximum value(1)	Unit
LU	Static latch-up class	TA = +105 °C conforming to JESD78A	Level A	±200	mA

12.13 IO port characteristics

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
VIL	Low level input voltage	All I/Os except BOOT0 · DESIGN	-	-	$0.455 \times (VDD-2) + 1.134(1)$	V
		All I/Os except BOOT0 · VDD=3.3V	-	-	1.55	
		All I/Os except BOOT0 · VDD=5V	-	-	2.27	
VIH	High level input voltage	All I/Os except BOOT0 · DESIGN	$0.413 \times (VDD-2) + 0.922$			
		All I/Os except BOOT0 · VDD=3.3V				
		All I/Os except BOOT0 · VDD=5V	1.57 2.31	-	-	
Vhys	All IO Schmitt trigger voltage hysteresis(4)	-	100	-	-	mV
I _{lkg}	Input leakage current(6)	V _{IN} =VDD	-	-	±1	μA
		V _{IN} = 0	-	-	±1	



RPU	Weak pull-up equivalent resistor(7)	VDD=3.3V	-	46	-	kΩ
		VDD=5V		46		
RPD	Weak pull-down equivalent resistor(7)	VDD=3.3V		46		
		VDD=5V		46		
CIO	I/O pin capacitance	-	-	7	-	pF

1. Data based on design simulation.
2. Tested in production.
3. FT = Five-volt tolerant. In order to sustain a voltage higher than V_{DD} +0.3 the internal pull-up/pull-down resistors must be disabled.
4. Hysteresis voltage between Schmitt trigger switching levels. Guaranteed based on test during characterization.
5. With a minimum of 100 mV.
6. Leakage could be higher than max. if negative current is injected on adjacent pins.
7. Pull-up and pull-down resistors are designed with a true resistance in series with a switchable PMOS/NMOS. This' PMOS/NMOS contribution to the series resistance is minimum (~10% order) .

Output voltage characteristics

Symbol	Parameter	Conditions	Min	Max	Unit
VOL(1)	Output low level voltage for an I/O pin when 1 pins are sunk at same time	VDD=3.3V · IIO = -8 mA	-	0.1	V
		VDD=5V · IIO = -8 mA		0.2	
VOH(3)	Output high level voltage for an I/O pin when 1 pins are sourced at same time	VDD=3.3V · Iio = +8 mA	2.8	-	
		VDD=5V · Iio = +8 mA	4.5		
VOL(1)(4)	Output low level voltage for an I/O pin when 1 pins are sunk at same time	VDD=3.3V Iio = -20 Ma	-	0.8	
		VDD=5V · IIO = -20 mA		0.6	
VOH(3)(4)	Output high level voltage for an I/O pin when 1 pins are sourced at same time	VDD=3.3V · IIO = +20 mA	2.2	-	
		VDD=5V · IIO = +20 mA	4		

I/O AC characteristics(1)

MODEx[1:0] bit value(1)	Symbol	Parameter	Conditions	Min	Max	Unit
10	fmax(IO)out	Maximum frequency(2)	CL = 50pF, VDD = 3.3V	-	2	MHz
			CL = 50pF, VDD = 5V	-	2	
	tf(IO)out	Output high to low level fall time	CL = 50 pF, VDD = 3.3V	-	15	ns
			CL = 50 pF, VDD = 5V		10	
	tr(IO)out	Output low to high level rise time	CL = 50 pF, VDD = 3.3V		20	
CL = 50 pF, VDD = 5V			-	10		
01	fmax(IO)out	Maximum frequency(2)	CL = 50 pF, VDD = 3.3V	-	10	MHz
			CL = 50 pF, VDD = 5V	-	10	
	tf(IO)out	Output high to low level fall time	CL = 50 pF, VDD = 3.3V	-	8	ns
			CL = 50 pF, VDD = 5V		6	
tr(IO)out	Output low to high	CL = 50 pF,	-	9		

		level rise time	VDD = 3.3V			
			CL = 50 pF, VDD = 5V		6	
11	Fmax(IO)out	Maximum frequency(2)	CL =30 pF, VDD = 3.3V	-	30	MHz
			CL =30 pF, VDD =5V		50	
			CL = 50 pF, VDD = 3.3 V	-	30	
			CL = 50 pF, VDD =5V	-	30	
	tf(IO)out	Output high to low level fall time	CL =30 pF, VDD = 3.3V		4	ns
			CL =30 pF, VDD =5V	-	4	
			CL = 50 pF, VDD = 3.3 V	-	5	
			CL = 50 pF, VDD =5V	-	4	
	tr(IO)out	Output low to high level rise time	CL =30 pF, VDD = 3.3V		6	ns
			CL =30 pF, VDD =5V	-	4	
			CL = 50 pF, VDD = 3.3 V	-	6	
			CL = 50 pF, VDD =5V	-	5	
-	tEXTIpw	Pulse width of external signals detected by the EXTI controller	-	10	-	ns

12.14 NRST

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
VIL(NRST)(1)	NRST Input low level voltage	VDD=5V	-0.5	-	2.27	V
		VDD=3.3V	-0.5	-	1.5	
VIH(NRST) (1)	NRST Input high level voltage	VDD=5V	2.46	-	VDD+0.5	
		VDD=3.3V	1.72			
Vhys(NRST)	NRST Schmitt trigger voltage hysteresis	VDD=5V	-	0.19	-	V
		VDD=3.3V	-	0.22	-	
RPU	Weak pull-up equivalent resistor(2)			46		kΩ
VF(NRST)(1)	NRST Input filtered pulse	-	-	-	100	ns
VNF(NRST)	NRST Input not filtered pulse	-	200	-	-	ns

12.15 TIM Timer

Symbol	Parameter	Conditions	Min	Max	Unit
tres(TIM)	Timer resolution time	-	1	-	tTIMxCLK
		fTIMxCLK = 72 MHz	13.9	-	ns
fEXT	Timer external clock frequency on CH1 to CH4	-	0	fTIMxCLK/2	MHz
		fTIMxCLK = 72 MHz	0	36	MHz
ResTIM	Timer resolution	-	-	16	bit
tCOUNTER	16-bit counter clock period when internal clock is selected	-	1	65536	tTIMxCLK
		fTIMxCLK = 72 MHz	0.0139	910	μs
tMAX_COUNT	Maximum possible count	-	-	65536 × 65536	tTIMxCLK
		fTIMxCLK = 72 MHz	-	59.6	s

12.16 Communications interfaces

I2C characteristics

Symbol	Parameter	Standard mode I2C ⁽¹⁾		Fast mode I2C ⁽¹⁾		Unit
		Min	Max	Min	Max	
tw(SCLL)	SCL clock low time	4.7	-	1.3	-	
tw(SCLH)	SCL clock high time	4	-	0.6	-	μs
tsu(SDA)	SDA setup time	250	-	100	-	
th(SDA)	SDA data hold time	-	3450(3)	-	900(3)	
tr(SDA) tr(SCL)	SDA and SCL rise time	-	1000	-	300	
tf(SDA) tf(SCL)	SDA and SCL fall time	-	300	-	300	ns
th(STA)	Start condition hold time	4	-	0.6	-	
tsu(STA)	Repeated Start condition setup time	4.7	-	0.6	-	μs
tsu(STO)	Stop condition setup time	4	-	0.6	-	ms
tw(STO:STA)	Stop to Start condition time (bus free)	4.7	-	1.3	-	ms
Cb	Capacitive load for each bus line	-	400	-	400	pF
tSP	Pulse width of spikes that are suppressed by the analog filter	0	50	0	50	ns

1. Design Guarantee

SCL frequency (fPCLK1= 36 MHz., VDD_I2C = 3.3 V、5V)(1)(2)

fSCL (kHz)	I2C_CCR value
	RP = 4.7 kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168

20	0x0384
----	--------

1. RP = External pull-up resistance, fSCL = I2C speed,
2. For speeds around 200 kHz, the tolerance on the achieved speed is of $\pm 5\%$. For other speed ranges, the tolerance on the achieved speed $\pm 2\%$. These variations depend on the accuracy of the external components used to design the application.

SPI characteristics

Symbol	Parameter	Conditions	Min	Max	Unit
fSCK	SPI clock frequency	Master mode	-	9	MHz
1/tc(SCK)		Slave mode	-	9	
tr(SCK) tf(SCK)	SPI clock rise and fall time	Capacitive load: C = 30 pF	-	4	ns
Min SCK H/L	Mini SCK High / Low width	Master / Slave mode	46	-	ns
tsu(NSS) ⁽¹⁾	NSS setup time	Slave mode	4tPCLK	-	ns
th(NSS) ⁽¹⁾	NSS hold time	Slave mode	2tPCLK	-	
tw(SCKH) ⁽¹⁾ tw(SCKL) ⁽¹⁾	SCK high and low time	Master mode, fPCLK = 36 MHz, presc = 4	50	60	
tsu(MI) ⁽¹⁾ tsu(SI) ⁽¹⁾					
th(MI) ⁽¹⁾ th(SI) ⁽¹⁾	Data input hold time	Master mode	17	-	
ta(SO) ⁽¹⁾	Data output access time	Slave mode, fPCLK = 20 MHz	0	3tPCLK	
tdis(SO) ⁽¹⁾	Data output disable time	Slave mode	3tPCLK	4tPCLK	
tv(SO) ⁽¹⁾	Data output valid time	Slave mode (after enable edge)	-	25	
tv(MO) ⁽¹⁾	Data output valid time	Master mode (after enable edge)	-	5	
th(SO) ⁽¹⁾ th(MO) ⁽¹⁾	Data output hold time	Slave mode (after enable edge)	4	-	
		Master mode (after enable edge)	-1	-	

1. Design Guarantee
USART Maximum Running Baud Rate

Interface	Maximum Baud Rate
USART1	4.5 MHz
USART2 / USART3	2.25 MHz

12.17 CAN

Refer to **I/O current injection characteristics** for more details on the input/output alternate function characteristics (CAN_TX and CAN_RX)

Symbol	Parameter	Min	Max	Unit	Condition
fB	Bit timing	-	1	MHz	PCLK=8M, t(BS1)=4tq, t(BS2)=3tq, tq=tPCLK

12.18 ADC

ADC Characteristics



RX32F103x8 RX32F103xB

	Parameter	Conditions	Min	Typ	Max	Unit
VDDA	Power supply	-	2.4	-	5.5	V
VREF+	Positive reference voltage	-		VDDA		V
IVREF	Current on the VREF input pin	-	-	160(1)	220(1)	μA
fADC	ADC clock frequency	-	0.5	-	12	MHz
fs(2)	Sampling rate	-	0.036	-	0.857	MHz
fTRIG(2)	External trigger frequency	fADC = 12MHz	-	-	706	kHz
			-	-	17	1/fADC
VAIN (3)	Conversion voltage range		0 (VSSA or VREF -tied to ground)	-	VREF+	V
RAIN(2)	External input impedance	See Equation 1 and Table 47 for details	-	-	50	kΩ
RADC	Sampling switch resistance	-	-	-	1	kΩ
CADC(2)	Internal sample and hold capacitor	-	-	-	8.7	pF
t CAL(2)	Calibration time	fADC = 12 MHz	6.92			μs
		-	83			1/fADC
tlat(2)	Injection trigger conversion latency	fADC = 12 MHz	-	-	0.25	μs
		-	-	-	3(4)	1/fADC
tlatr (2)	Regular trigger conversion latency	fADC = 12 MHz	-	-	0.17	μs
		-	-	-	2	1/fADC
t s(2)	Sampling time	fADC = 12 MHz	0.125	-	19.96	μs
		-	1.5	-	239.5	1/fADC
tSTAB(2)	Power-up time	-	0	0	1	μs
tCONV(2)	Total conversion time (including sampling time)	fADC = 12 MHz	1.17	-	21	μs
		-	14 to 252 (tS for sampling +12.5 for successive approximation)			1/fADC

1. Guaranteed based on test during characterization.

2. Guaranteed by design.

RAIN max for fADC = 12 MHz(1)

Ts (cycles)	tS (μs)	RAIN max (kΩ)
1.5	0.13	0.4
7.5	0.63	5.9
13.5	1.13	11.4
28.5	2.38	25.2
41.5	3.46	37.2
55.5	4.63	50
71.5	5.96	NA
239.5	19.96	NA

ADC accuracy - limited test conditions (1) (2)

Symbol	Parameter	Test conditions	Typ	Max(3)	Unit
ET	Total unadjusted error	fPCLK2 = 72 MHz,	±7	±8	LSB

EO	Offset error	fADC = 12 MHz, RAIN < 10 kΩ, VDDA = 3 V to 5 V	±6	±7	
EG	Gain error	TA = 25 °C	±5	±6	
ED	Differential linearity error	Measurements made after	±0.7	±1.5	
EL	Integral linearity error	ADC calibration	±1.5	±2.5	

12.19 Temperature sensor

VCC=3.3V

Symbol	Parameter	Min	Typ	Max	Unit
TL	VSENSE linearity with temperature	-	±2	±5	°C
Avg_Slope	Average slope		3.5		mV/°C
V25	Voltage at 25 °C	1.4	1.47	1.53	V
Tstart	Startup time	4	-	10	μs
TS_temp	ADC sampling time when reading the temperature	-	5	17.1	μs

VCC=5V

Symbol	Parameter	Min	Typ	Max	Unit
TL	VSENSE linearity with temperature		±5	±10	°C
Avg_Slope	Average slope		3.4		mV/°C
V25	Voltage at 25 °C	1.4	1.43	1.46	V
Tstart	Startup time	4	-	10	μs
TS_temp	ADC sampling time when reading the temperature	-		17.1	μs

TPS 不兼容, 公式说明如下:

读温度为使用传感器:

利用下列公式得出温度

温度(°C) = $\{(CODE_B - CODE_{ADC}) / Avg_Slope\} + 25$

备注: VDD=3.3V: $CODE_B = 1813.6$ $Avg_Slope=4.412$

VDD=5V: $CODE_B = 1175.7$ $Avg_Slope=2.849$

$CODE_B$: Offset 数值

$CODE_{ADC}$:在不同温度下·ADC 转换的数值

Avg_Slope : 温度与 $CODE_{ADC}$ 曲线的平均斜率(单位为 code/°C)。

12.20 CMP

Symbol	Parameter	CONDITIONS	MIN	TYP	MAX	UNIT
V _{DD5}			2.5	3.3	5.5	V
I _{CC}	Operating	VDD=3.3V,0	22.4	26	46.5	uA



RX32F103x8 RX32F103xB

	current	VDD=3.3V,1	27.5	38	48.5	
		VDD=3.3V,10	22	60	57.4	
		VDD=3.3V,11	17.5	100	51	
I _{CC}	Operating current	VDD=5V,0	21.8	26	61.9	uA
		VDD=5V,1	19.2	38	61.3	
		VDD=5V,10	19.7	60	66.5	
		VDD=5V,11	22.3	100	67	
V _{TH}	阈值电压	V _{TH} [3:0]		VDD/ 2		V
V _{OS}	Input offset voltage		-10		10	mV
响应时间	VCM=VDD/2;	I _{CC} =100u,		191		ns
		V(INP)- V(INN)=100mV				
		I _{CC} =100u,		188		
		V(INP)- V(INN)=-100mV				
		I _{CC} =60u,		230		
		V(INP)- V(INN)=100mV				
		I _{CC} =60u,		220		
		V(INP)- V(INN)=-100mV				
		I _{CC} =38u,		290		
		V(INP)- V(INN)=100mV				
		I _{CC} =38u,		279		
		V(INP)- V(INN)=-100mV				
		I _{CC} =26u,		412		
		V(INP)- V(INN)=100mV				
I _{CC} =26u,		430				
V _{HY(rise)}	Signal low to high hysteresis	0	0.5	0	4.5	mV
		1	1.5	5	6.5	
		10	5	10	12.5	
		11	9	20	24.5	
V _{HY(fall)}	Signal high	0	0.5	0	4.5	mV

	to low hysteresis	1	1.5	5	6.5	
		10	5	10	12.5	
		11	9	20	24.5	

12.21 OPA/PGA

OPA

Symbol	Parameter	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD5}	电源电压		2.5		5.5	V
ICC	Operating current	UINT GAIN · VCC=3.3V		330		uA
		UINT GAIN · VCC=5V		390		uA
CMIR	共模输入电压		0		V _{DD}	V
V _{OS(IN)}	输入失调电压	VCC=3.3V		32		mV
		VCC=5V		37		mV
AV	开环增益 (条件)	C _{LOAD} =25pF	84	85	100	dB
GBW	单位增益带宽	C _{LOAD} =25pF/ R _{LOAD} =4K	10	15		MHz
PM	相位裕度	C _{LOAD} =25pF/ R _{LOAD} =4K	70			degree
SR	压摆率	C _{LOAD} =25pF		8	10	V/usec
T _{WAKEUP}	唤醒时间 0.1% 精度 (Unity gain)	VCC=3.3V, C _{LOAD} =25pF Current source wakeup	0.18		0.24	us
		VCC=3.3V, R _{LOAD} =4K Current source wakeup	24.2		26.2	
		VCC=3.3V, C _{LOAD} =25pF OPA wake up Current source ready			<1	
		VCC=3.3V, R _{LOAD} =4K OPA wake up Current source ready	23.8		25.8	
		VCC=5V, C _{LOAD} =25pF Current source wakeup	0.195		0.24	
		VCC=5V, R _{LOAD} =4K Current source wakeup	13.5		14.4	

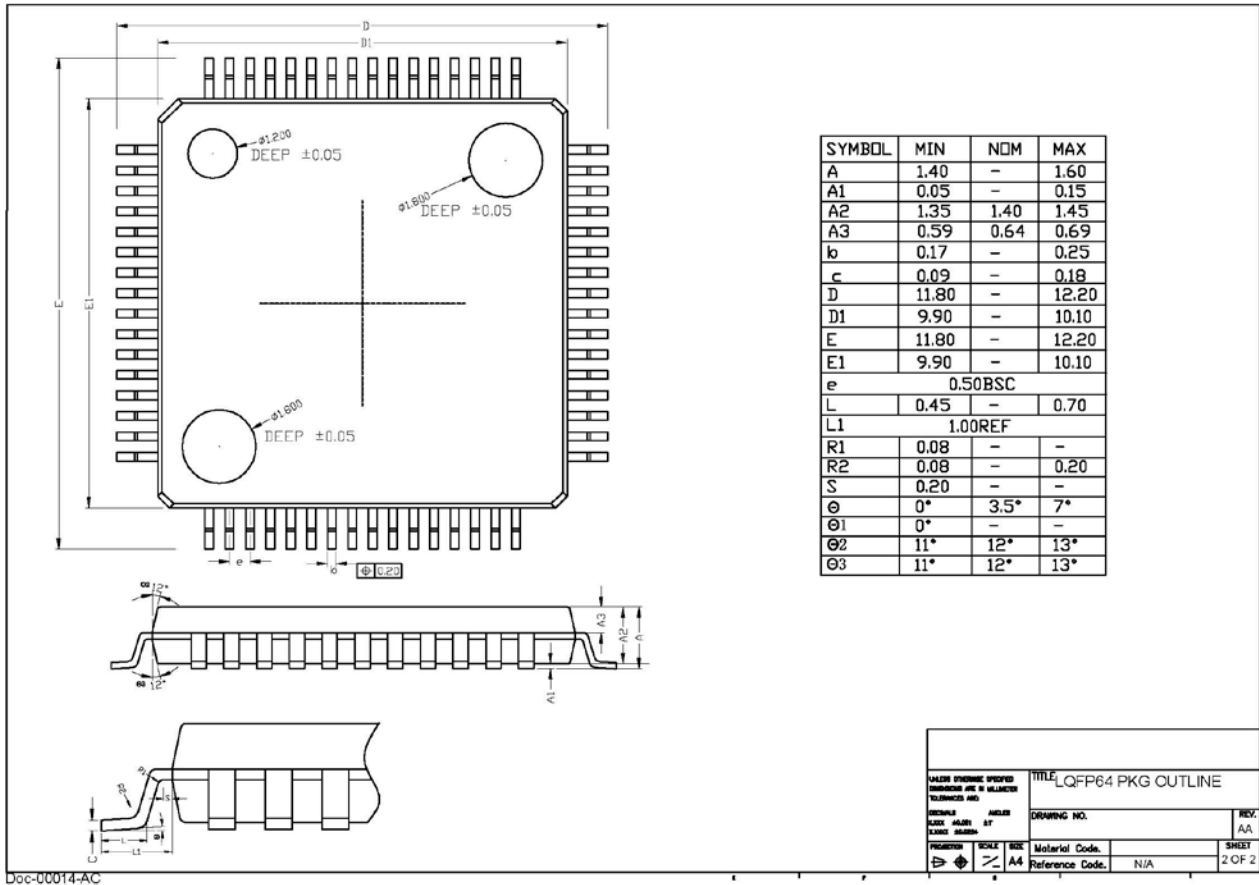
		VCC=5V, C _{LOAD} =25pF OPA wake up Current source ready			<1	
		VCC=5V, R _{LOAD} =4K OPA wake up Current source ready	13.2		14.2	
R _{LOAD}	电阻性负载		21			K-ohm
C _{LOAD}	电容性负载			25	56	pF
V _{OUT(SAT)}	高饱和输出电压	R _{LOAD} =4K, 输入 V _{DD5}	V _{DD5} -0.1			V
	低饱和输出电压	R _{LOAD} =4K, 输入 0V			0.1	
V _N (referred-to-input)		@1KHz, R _{LOAD} =4K		80		nV/sqrt(Hz)
		@10KHz R _{LOAD} =4K		30		

PGA

Symbol	Parameter	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD5}	电源电压		2.5		5.5	V
ICC	Operating current	Gain=32, VCC=3.3V			2.08	mA
		Gain=32, VCC=5V			5.68	
CMIR	Common mode input range	-	0		VDDA	V
V _{OLR}	Output range		VSS+0.1		VDD-0.1	V
R _{INDIF}	Differential Input impedance		1		24.5	K-ohm
T _{ST}	Settling time	1% of final value		600	660	ns
		(Cload=10pF)				
A _v	Amplifier gain			1		V/V
				2		
				4		
				8		
				16		
				24		
				32		
PGA gain error	PGA gain error		-20%		20%	%

13 Packages

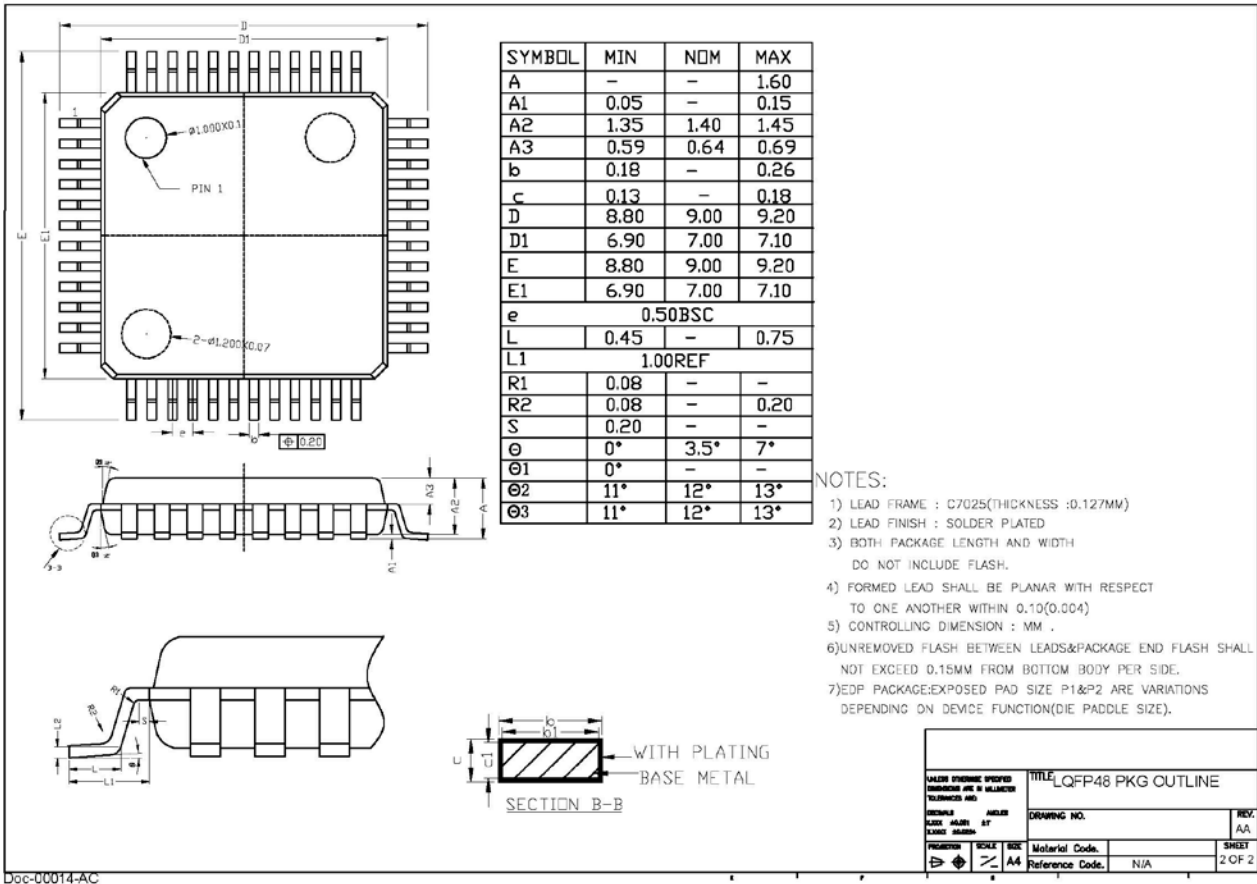
LQFP64



Doc-00014-AC

ELECTRONIC DATA SHEETS ARE UNCONTROLLED DOCUMENTS. PLEASE REFER TO THE LATEST VERSION OF THE DOCUMENT FOR THE LATEST INFORMATION. THE DOCUMENT IS UNCONTROLLED. PRINTED VERSIONS ARE UNCONTROLLED. ELECTRONIC VERSIONS ARE UNCONTROLLED. RELEASED IN 08/2018.

LQFP48



Doc-00014-AC