

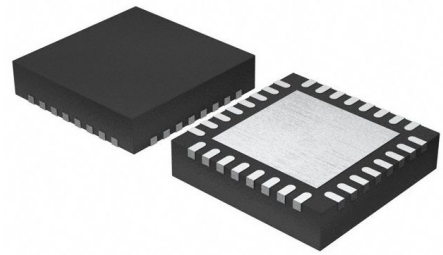
24bit,192 kHz 集成数字音频接收接口的异步采样率转换器

产品简述

MS8422N 是一款 24 位，高性能异步采样率转换器，它集成了数字音频接口接收器，它支持 IEC60958，S/PDIF，EIAJ CP1201 和 AES3 接口标准。音频数据由音频接口接收器或三线串行音频输入端输入，通过 2 个三线串行音频输出端输出。在软件模式或硬件模式下，可通过控制端口控制 MS8422N。

主要特点

- SPI 或 I²C 软件模式和单机硬件模式
- 灵活的 3 线数字串行音频输入端
- 两个可独立选择数据路径的串行音频输出端
- 所有串行音频端口支持主从模式
- 时分复用模式（TDM）
- 4 个通用输出端口（GPO）
- +3.3V 模拟电源电压（VA）
- +1.8V-5.0V 的数字接口电压（VL）
- 兼容 IEC60958，S/PDIF，EIAJ CP1201 和 AES3 协议
- 28kHz 到 216kHz 的采样频率范围
- 2:1 差分 AES3 或 4:1 S/PDIF 输入多路器
- 低抖动时钟恢复
- 无需外部 PLL 滤波器器件
- 可选择和自动的时钟转换
- 片内通道状态数据缓存
- 自动检测压缩的输入音频数据流
- 解码 CD 的 Q Sub-Code
- 140 dB 动态范围
- -120 dB THD+N



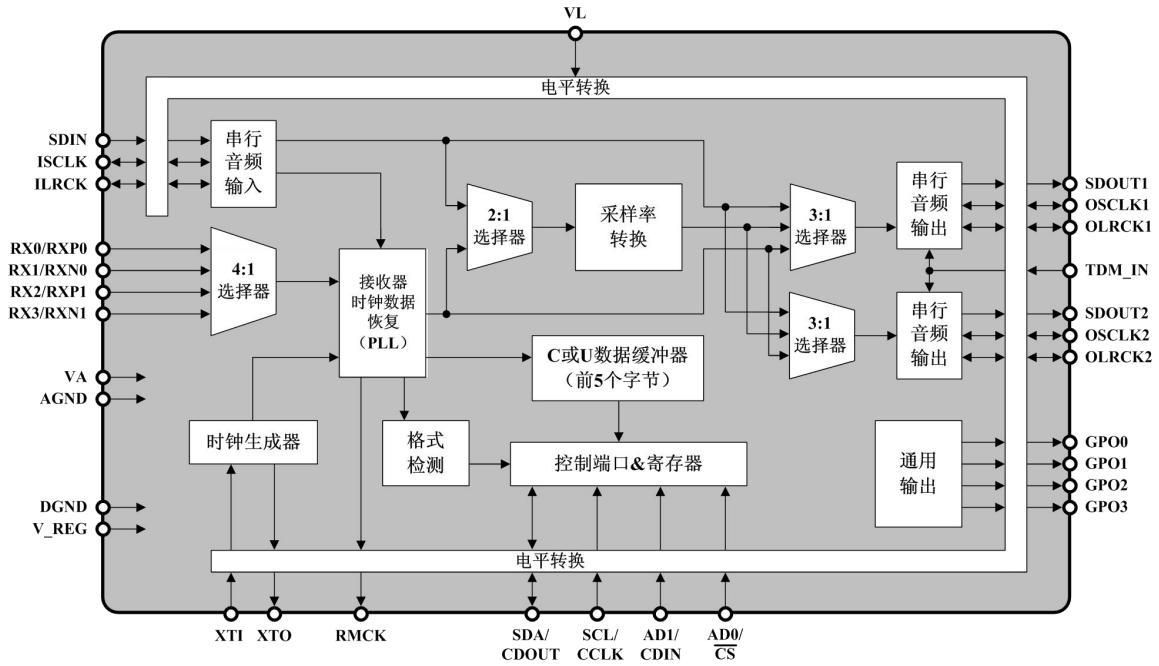
应用

- 数字记录系统
- 数字混频控制台
- 高性能数模转换器
- 数字音频处理器
- 机顶盒
- 计算机
- 汽车音频系统

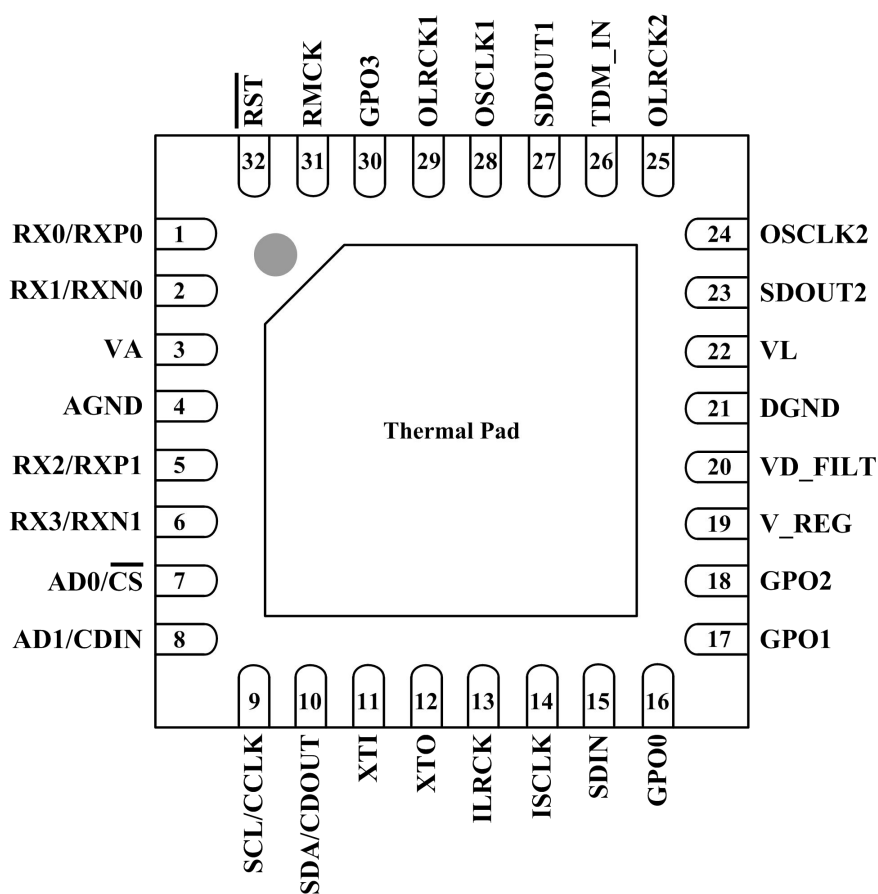
产品规格分类

产品	封装形式	丝印名称
MS8422N	QFN32	MS8422N

内部框图



管脚排列图-软件模式



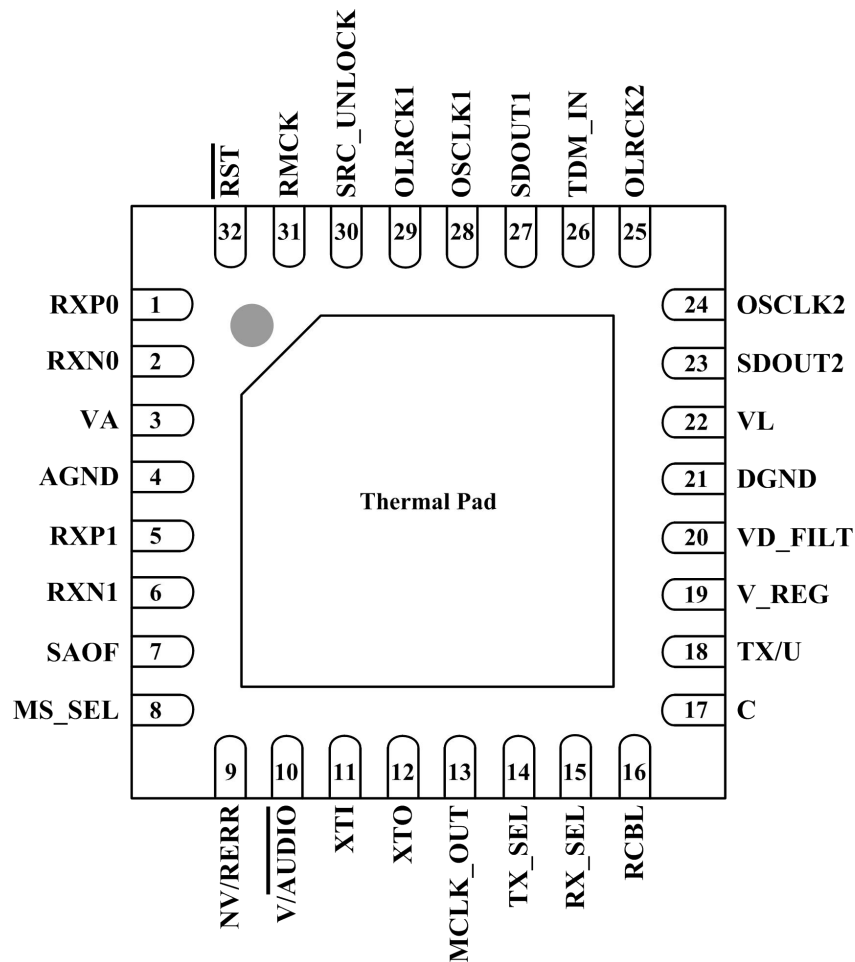
管脚描述-软件模式

管脚号	管脚名称	管脚描述
1	RX[3:0], RXP/RXN[1:0]	AES3/SPDIF 输入（输入）-单端或差分接收器输入 AES3 或 S/PDIF 编码的数字数据。RX[3:0]包含了单端输入选择器。RXP[1:0]包含了差分输入多路选择器的非反向输入，RXN[1:0]包含了差分输入多路选择器的反向输入。无用的输入应该接 AGND/DGND。
2		
5		
6		
3	VA	模拟电源（输入）-模拟供电电源，正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动。
4	AGND	模拟地（输入）-芯片内模拟电路的地。AGND和DGND必须连接到同一个地。
7	AD0/ $\overline{\text{CS}}$	地址位0（I ² C）/片选信号（SPI）（输入）-在该管脚上的一个下降沿使MS8422N进入SPI模式。若没有下降沿，则MS8422N默认为I ² C模式。在I ² C模式中，AD0是芯片地址管脚。在SPI模式中， $\overline{\text{CS}}$ 用于使能MS8422N的数字接口。详见“控制端口描述”部分。
8	AD1/CDIN	地址位1（I ² C）/串行控制数据输入（SPI）（输入）-在I ² C模式

		中，AD1是芯片地址管脚。在SPI模式中，CDIN是控制端口接口的数据输入管脚。详见“控制端口描述”部分。
9	SCL/CCLK	数字接口时钟（输入）-串行控制接口时钟，用于控制MS8422N数据位的输入和输出。
10	SDA/CDOUT	串行数据I/O（I ² C）/数据输出（SPI）（输入/输出）-在I ² C模式中，SDA是I/O数据线。在SPI模式中，CDOUT输出MS8422N的控制接口的数据。
11	XTI	晶体/振荡器输入（输入）-晶体或数字时钟输入作为主时钟。详见“SRC主时钟”。
12	XTO	晶体输出（输出）-主时钟输出。详见“SRC主时钟”。
13	ILRCK	串行音频输入左/右时钟（输入/输出）-SDIN管脚音频数据的字速率时钟。
14	ISCLK	串行音频输入位时钟（输入/输出）-SDIN管脚音频数据的串行位时钟。
15	SDIN	串行音频输入数据端（输入/输出）-音频数据串行输入管脚。
16 17 18 30	GPO[3:0]	通用输出（输出）-在I ² C模式中，GPO2管脚上接一个20kΩ的上拉电阻到VL会使AD2芯片地址位置1，否则AD2为0。
19	V_REG	调节器电压输入（输入）-寄存器供电电源输入，正常+3.3V。
20	VD_FILT	调节器数字电压（输出）-调节器输出数字电压。必须接一个10μF的电容到数字地。典型值为+2.5V。不能作为外部电压源。
21	DGND	数字和I/O地（输入）-逻辑和I/O的地。AGND和DGND必须连接到同一个地。
22	VL	逻辑电源（输入）-输入/输出供电电源，典型值+1.8V，+2.5V，+3.3V，或+5.0V。
23	SDOUT2	串行音频输出2数据端（输出）-音频数据串行输出2管脚。
24	OSCLK2	串行音频输出2位时钟（输入/输出）-SDOUT2上音频数据的串行位时钟。
25	OLRCK2	串行音频输出2左/右时钟（输入/输出）-SDOUT2上音频数据的字速率时钟。
26	TDM_IN	串行音频输出TDM输入（输入）-串行音频数据的时分复用输入。不使用时必须接地。详见“时分复用（TDM）模式”。
27	SDOUT1	串行音频输出1数据端（输出）-音频数据串行输出1管脚。
28	OSCLK1	串行音频输出1位时钟（输入/输出）-SDOUT1上音频数据的串行位时钟。

29	OLRCK1	串行音频输出1左/右时钟（输入/输出）-SDOUT1上音频数据的字速率时钟。
31	RMCK	恢复的主时钟（输出）-PLL恢复出来的主时钟。频率为128x, 192x, 256x, 384x, 512x, 768x, 或1024xFs, 其中Fs是输入AES3格式数据的采样率, 或ISCLK/64。
32	$\overline{\text{RST}}$	复位（输入）-当 $\overline{\text{RST}}$ 为低时, MS8422N进入低功耗模式并且所有的内部状态都复位。 $\overline{\text{RST}}$ 必须保持低电平直到供电电源稳定和所有的输入时钟频率和相位稳定。
-	THERMAL PAD	散热管脚-应该连接到地以利于散热。

管脚排列图-硬件模式



管脚描述-硬件模式

管脚号	管脚名称	管脚描述
1 2 5 6	RXP/RXN[1:0]	AES3/SPDIF输入（输入）-差分接收器输入AES3或S/PDIF编码的数字数据。RXP[1:0]包含了差分输入多路选择器的非反向输入，RXN[1:0]包含了差分输入多路选择器的反向输入。无用的输入应该接AGND。
3	VA	模拟电源（输入）-模拟供电电源，正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动。
4	AGND	模拟地（输入）-芯片内模拟电路的地。AGND和DGND必须连接到同一个地。
7	SAOF	串行音频输出格式选择（输入）-当 $\overline{\text{RST}}$ 释放后，用于选择串行音频输出格式。格式设置参考表4。
8	MS_SEL	主/从模式选择（输入）-当 $\overline{\text{RST}}$ 释放后，用于选择串行音频输出端口的主或从模式。格式设置参考表5。

9	NV/RERR	反向接收器错误/接收器错误（输出）-接收器错误指示。默认输出NVERR，接一个20kΩ的上拉电阻到VL则选择RERR。
10	V/AUDIO	有效数据/AUDIO（输出）-在主模式中，若该管脚接一个20kΩ的下拉电阻，通过OLRCK2的上升沿和下降沿，该管脚会输出来自AES3接收器的串行有效数据。若该管脚接一个20kΩ的上拉电阻，当AES3输入有效线性PCM数据时，该管脚为低。
11	XTI	晶体/振荡器输入（输入）-晶体或数字时钟输入作为主时钟。详见“SRC主时钟”。
12	XTO	晶体输出（输出）-主时钟输出。详见“SRC主时钟”。
13	MCLK_OUT	MCLK缓存（输出）-缓存输出XTI时钟。若该管脚接一个20kΩ的上拉电阻到VL，则SRC主时钟源来自PLL时钟，否则来自环形振荡器。
14	TX_SEL	TX管脚多路选择（输入）-用于选择AES3接收器输入通路到TX管脚。
15	RX_SEL	接收器多路选择（输入）-用于选择AES3接收器有效输入。
16	RCBL	接收器通道状态块（输出）-指示通道状态块的起始。在检测到第一个Z头码后的每一个Z头码期间，RCBL变高电平。若未检测到Z头码，则输出不定。详见图19。
17	C	通道状态数据（输出）-在主模式下，输出来自AES3接收器的通道状态数据，由OLRCK2的上升沿和下降沿采样。硬件模式下，该管脚必须接一个20kΩ的上拉电阻到VL。
18	TX/U	接收器多路通路/用户数据（输出）-若无20kΩ的上拉电阻，该管脚输出通过TX_SEL管脚选择的接收器多路输入。在主模式下，若接一个20kΩ的上拉电阻到VL，该管脚输出来自AES3接收器的串行用于数据，由OLRCK2的上升沿和下降沿采样。
19	V_REG	调节器电压输入（输入）-寄存器供电电源输入，正常+3.3V。
20	VD_FILT	调节器数字电压（输出）-调节器输出数字电压。必须接一个10μF的电容到数字地。典型值为+2.5V。不能作为外部电压源。
21	DGND	数字和I/O地（输入）-逻辑和I/O的地。AGND和DGND必须连接到同一个地。
22	VL	逻辑电源（输入）-输入/输出供电电源，典型值+1.8V，+2.5V，+3.3V，或+5.0V。
23	SDOUT2	串行音频输出2数据端（输出）-音频数据串行输出2管脚。
24	OSCLK2	串行音频输出2位时钟（输入/输出）-SDOUT2上音频数据的串行位时钟。
25	OLRCK2	串行音频输出2左/右时钟（输入/输出）-SDOUT2上音频数据的字

		速率时钟。
26	TDM_IN	串行音频输出TDM输入（输入）-串行音频数据的时分复用输入。不使用时必须接地。详见“时分复用（TDM）模式”。
27	SDOUT1	串行音频输出1数据端（输出）-音频数据串行输出1管脚。
28	OSCLK1	串行音频输出1位时钟（输入/输出）-SDOUT1上音频数据的串行位时钟。
29	OLRCK1	串行音频输出1左/右时钟（输入/输出）-SDOUT1上音频数据的字速率时钟。
30	SRC_UNLOCK	SRC未锁定指示（输出）-指示SRC是否锁定。详见“SRC锁定”。
31	RMCK	恢复的主时钟（输出）-PLL恢复出来的主时钟。频率为128x, 192x, 256x, 384x, 512x, 768x, 或1024xFs, 其中Fs是输入AES3格式数据的采样率, 或ISCLK/64。若该脚接一个20kΩ的上拉电阻到VL, SDOUT1的MCLK来自RMCK, 否则为来自XTI-XTO的输入时钟。
32	$\overline{\text{RST}}$	复位（输入）-当 $\overline{\text{RST}}$ 为低时, MS8422N进入低功耗模式并且所有的内部状态都复位。 $\overline{\text{RST}}$ 必须保持低电平直到供电电源稳定和所有的输入时钟频率和相位稳定。
-	THERMAL PAD	散热管脚-应该连接到地以利于散热。

极限参数

DGND = AGND = 0 V，所有的电压值都是相对于 0V。工作在這些限定的条件下可能会对设备产生永久的损害。正常工作并不保证在这些极限范围内。

参 数	符 号	最小值	最大值	单位
电源电压	VL	-0.3	5.5	V
	VA	-0.3	5.3	V
	V_REG	-0.3	5.2	V
输入电流，除供电外的任何管脚（注 1）	I _{in}	-	±10	mA
输入电压，除 RXP[1:0]，RXN[1:0]，或 RX[3:0]外的任何管脚	V _{in}	-0.3	VL+0.4	V
输入电压，RXP[1:0]，RXN[1:0]，或 RX[3:0]	V _{in}	-0.3	VA+0.4	V
工作温度（供电）	T _A	-55	+125	°C
存储温度	T _{stg}	-65	+150	°C

注：

- 瞬态电流上升到 100mA 不会引起 SCR 的栓锁效应。

推荐的工作条件

GND = 0 V，所有的电压值都是相对于 0V。

参 数	符 号	最小值	典型值	最大值	单位
电源电压	VL	1.8	3.3	5.0	V
	VA	2.4	3.3	5.0	V
	V_REG	2.4	3.3	5.0	V
工作温度：商用级	TA	-40	-	+85	°C

电气参数

采样率转换器:

XTI - XTO = 24.576 MHz; 输入信号 = 1.000 kHz, 测量带宽 = 20 - Fso/2 Hz, 且字长 = 24 位。(注 2)

参 数	最小值	典型值	最大值	单位	
分辨率	16	-	24	bits	
采样率	从	XTI/2048	-	XTI/128	kHz
	主	XTI/512	-	XTI/128	kHz
采样率比率-上采样	-	-	1:6	Fsi:Fso	
采样率比率-下采样	-	-	6:1	Fsi:Fso	
信道间增益失配	-	0.0	-	dB	
信道间相位偏差	-	0.0	-	Degrees	
增益误差	-0.2	-	0	dB	
空闲信道噪声分量峰值	-	-	-144	dBFS	
动态范围-未加权的 (997Hz, -60 dBFS 输入)					
44.1 kHz:48 kHz	-	130	-	dB	
48 kHz:192 kHz	-	132	-	dB	
48 kHz:44.1 kHz	-	133	-	dB	
48 kHz:96 kHz	-	134	-	dB	
96 kHz:48 kHz	-	133	-	dB	
总谐波失真+噪声 (1kHz, -3 dBFS 输入)					
44.1 kHz:48 kHz	-	-128	-	dB	
48 kHz:192 kHz	-	-128	-	dB	
48 kHz:44.1 kHz	-	-128	-	dB	
48 kHz:96 kHz	-	-134	-	dB	
96 kHz:48 kHz	-	-134	-	dB	

注:

2.Fsi 是输入数据采样率。Fso 是输出数据采样率。用冒号分隔的数据是 Fsi 和 Fso 的比率。

数字滤波器特性:

参 数	最小值	典型值	最大值	单位
通带 (上采样或下采样)	-	-	0.4535*min (Fsi,Fso)	Fs
通带纹波	-	-	±0.05	dB
阻带 (下采样)	0.5465*Fso	-	-	Fs
阻带衰减	125	-	-	dB
群延时	参考群延时			

直流电气特性:

AGND = DGND = 0 V, 所有的电压值都是相对于 0V。

参 数	最小值	典型值	最大值	单位
掉电模式 (注 3)				
掉电模式下的供电电压				
VA	-	3.0	-	mA
V_REG	-	3.1	-	
VL = 1.8 V	-	1.0	-	
VL = 2.5 V	-	1.7	-	
VL = 3.3 V	-	2.4	-	
VL = 5.0 V	-	14.8	-	
正常工作 (注 4)				
48 kHz Fsi 和 Fso 下的供电电流				
VA	-	18.8	-	mA
V_REG	-	15.2	-	
VL = 1.8 V	-	2.7	-	
VL = 2.5 V	-	3.8	-	
VL = 3.3 V	-	5.2	-	
VL = 5.0 V	-	5.3	-	
192 kHz Fsi 和 Fso 下的供电电流				
VA	-	18.9	-	mA
V_REG	-	32.4	-	
VL = 1.8 V	-	6.2	-	
VL = 2.5 V	-	8.8	-	
VL = 3.3 V	-	12	-	
VL = 5.0 V	-	18	-	

注:

 3. 掉电模式是通过修改寄存器 0x02h, 让芯片进入低功耗模式, 再将 $\overline{\text{RST}}$ 置为低电平。

 4. 正常工作模式是指为 $\overline{\text{RST}}$ 高电平。典型值是由不同模式下的数字接口接收器测试的, 其中串行音频输出端口 1 工作在主模式下, 数据源自 SRC, 串行音频输出端口 2 工作在主模式下, 数据源自 AES3 接收器输出。

数字接口规格:

AGND = DGND = 0 V, 所有的电压值都是相对于 0V。

参 数	符号	最小值	典型值	最大值	单位
输入漏电流 (注 5)	I_{in}	-	-	+32	μA
输入电容	C_{in}	-	8	-	pF
数字接口接收器-RXP[1:0], RXN[1:0], RX[3:0]					
差分输入灵敏度, RXP 到 RXN (注 6)		-	-	200	mVpp
差分输入阻抗, RXP 和 RXN 到 GND		-	11	-	k Ω
单端输入灵敏度, RX 管脚, 接收器输入模式 1 (注 6)		-	-	316	mVpp
单端输入阻抗, RX 管脚, 接收器输入模式 1		-	11	-	k Ω
高电平输入电压, RX 管脚, 数字模式	V_{IH}	0.545*VA	-	VA+0.3	V
低电平输入电压, RX 管脚, 数字模式	V_{IL}	-0.3	-	0.8	V
数字输入/输出					
高电平输出电压 ($I_{OH} = -4 \text{ mA}$)	V_{OH}	0.8*VL	-	-	V
低电平输出电压 ($I_{OL} = -4 \text{ mA}$)	V_{OL}	-	-	0.64	V
高电平输入电压	V_{IH}	0.55*VL	-	-	V
低电平输入电压	V_{IL}	-	-	0.4*VL	V
输入迟滞		-	0.2	-	V

注:

5.当数字信号发送到 AES 的 RX 管脚时, 从 \overline{RST} 管脚释放一直到寄存器 03h 中的 RX_MODE, RX_SEL 和 INPUT_TYPE 位恰当配置成在驱动管脚上允许数字输入信号, RX 管脚会从数字信号供应端引起 730 μA 的电压。

6.最大灵敏度参照 AES3-2003。眼图高度是在特定电压和至少 50%的 1/2 双相符号周期下测试的。

转换特性:

 输入: 逻辑 0 = 0 V, 逻辑 1 = VL; $C_L = 20 \text{ pF}$ 。

参 数	符号	最小值	典型值	最大值	单位
\overline{RST} 管脚低电平脉宽 (注 7)		1	-	-	ms
PLL 时钟恢复采样率范围 (注 8)		28	-	216	kHz
RMCK 输出抖动 (注 9)	差分 RX 模式	-	200	-	ps RMS
	单端 RX 模式	-	475	-	ps RMS
XTI 频率	晶振	12	-	27.000	MHz
	数字时钟源	1.024	-	49.152	MHz
XTI 高/低脉宽		9	-	-	ns

参 数	符号	最小值	典型值	最大值	单位
VL = 3.3 V, 5 V					
RMCK/MCLK_OUT 输出频率		-	-	49.152	MHz
RMCK/MCLK_OUT 输出占空比		45	50	55	%
从模式					
ISCLK 频率		-	-	49.152	MHz
ISCLK 高电平时间	t _{sckh}	9.2	-	-	ns
ISCLK 低电平时间	t _{sckl}	9.2	-	-	ns
OSCLK 频率		-	-	26.9	MHz
OSCLK 高电平时间	t _{sckh}	16.7	-	-	ns
OSCLK 低电平时间	t _{sckl}	16.7	-	-	ns
I/OLRCK 边沿到 I/OSCLK 上升沿	t _{icks}	5.7	-	-	ns
I/OSCLK 上升沿到 I/OLRCK 边沿	t _{ickd}	4.2	-	-	ns
OSCLK 下降沿/OLRCK 边沿到 SDOUT 输出有效	t _{dpd}	-	-	15	ns
I/OSCLK 上升沿之前 SDIN/TDM_IN 建立时间	t _{ds}	3.6	-	-	ns
I/OSCLK 上升沿之后 SDIN/TDM_IN 保持时间	t _{dh}	5.5	-	-	ns
TDM 模式 OLRCK 高电平时间 (注 10)	t _{lrckh}	20	-	-	ns
TDM 模式 OLRCK 上升沿到 OSCLK 上升沿	t _{fss}	5.3	-	-	ns
TDM 模式 OSCLK 上升沿到 OLRCK 下降沿	t _{fsh}	4.2	-	-	ns
主模式 (注 11)					
I/OSCLK 频率 (非 TDM 模式)		48Fsi/o	-	128Fsi/o	MHz
I/OLRCK 占空比		49.5	-	50.5	%
I/OSCLK 占空比		45	-	55	%
I/OSCLK 下降沿到 I/OLRCK 边沿	t _{icks}	-	-	4.2	ns
OSCLK 下降沿到 SDOUT 输出有效	t _{dpd}	-	-	4.6	ns
I/OSCLK 上升沿之前 SDIN 建立时间	t _{ds}	2.7	-	-	ns
I/OSCLK 上升沿之后 SDIN 保持时间	t _{dh}	5.5	-	-	ns
TDM 模式 OSCLK 频率 (注 12)		-	-	49.152	MHz
TDM 模式 OSCLK 下降沿到 OLRCK 边沿	t _{fsm}	-	-	4.2	ns
VL = 1.8 V, 2.5 V					
RMCK/MCLK_OUT 输出频率 (VL = 1.8 V)		-	-	13.5	MHz
RMCK/MCLK_OUT 输出频率 (VL = 2.5 V)		-	-	31	MHz
RMCK/MCLK_OUT 输出占空比 (VL = 1.8 V)		37	50	63	%
RMCK/MCLK_OUT 输出占空比 (VL = 2.5 V)		45	50	55	%

参 数	符号	最小值	典型值	最大值	单位
从模式					
ISCLK 频率		-	-	49.152	MHz
ISCLK 高电平时间	t_{sckh}	9.2	-	-	ns
ISCLK 低电平时间	t_{sckl}	9.2	-	-	ns
OSCLK 频率		-	-	26.9	MHz
OSCLK 高电平时间	t_{sckh}	28.7	-	-	ns
OSCLK 低电平时间	t_{sckl}	28.7	-	-	ns
I/OLRCK 边沿到 I/OSCLK 上升沿	t_{icks}	7.4	-	-	ns
I/OSCLK 上升沿到 I/OLRCK 边沿	t_{ickd}	6.2	-	-	ns
OSCLK 下降沿/OLRCK 边沿到 SDOUT 输出有效	t_{dpd}	-	-	29.5	ns
I/OSCLK 上升沿之前 SDIN/TDM_IN 建立时间	t_{ds}	4.7	-	-	ns
I/OSCLK 上升沿之后 SDIN/TDM_IN 保持时间	t_{dh}	7.3	-	-	ns
TDM 模式 OLRCK 高电平时间 (注 10)	t_{lrckh}	20	-	-	ns
TDM 模式 OLRCK 上升沿到 OSCLK 上升沿	t_{fss}	7.0	-	-	ns
TDM 模式 OSCLK 上升沿到 OLRCK 下降沿	t_{fsh}	6.2	-	-	ns
主模式 (注 11)					
I/OSCLK 频率 (非 TDM 模式)		48Fsi/o	-	128Fsi/o	MHz
I/OLRCK 占空比		45	-	55	%
I/OSCLK 占空比		45	-	55	%
I/OSCLK 下降沿到 I/OLRCK 边沿	t_{icks}	-	-	5.7	ns
OSCLK 下降沿到 SDOUT 输出有效 (VL = 1.8 V)	t_{dpd}	-	-	11.2	ns
OSCLK 下降沿到 SDOUT 输出有效 (VL = 2.5 V)	t_{dpd}	-	-	6.4	ns
I/OSCLK 上升沿之前 SDIN 建立时间	t_{ds}	4.7	-	-	ns
I/OSCLK 上升沿之后 SDIN 保持时间	t_{dh}	4.3	-	-	ns
TDM 模式 OSCLK 频率 (注 12)		-	-	49.152	MHz
TDM 模式 OSCLK 下降沿到 OLRCK 边沿 (VL = 1.8 V)	t_{fsm}	-	-	9.6	ns
TDM 模式 OSCLK 下降沿到 OLRCK 边沿 (VL = 2.5 V)	t_{fsm}	-	-	5.7	ns

注:

- 7.在 MS8422N 上电后, \overline{RST} 必须为低电平直到供电电源和时钟稳定。
- 8.若 ISCLK 作为 PLL 的时钟源, 则采样率为 ISCLK/64。
- 9.典型的基带抖动参照 AES-12id-2006 的 3.4.2 节。测量时间间隔误差 (TIE) 使用的是三阶 100Hz 到 40KHz 带通滤波器。测量的采样率为 48kHz。
- 10.在 TDM 模式中, OLRCK 必须保持高电平最少 1 个 OSCLK 周期最多 255 个 OSCLK 周期。

11. 在 TDM 格式主模式中，不支持 TDM_IN 管脚。

12 在 TDM 格式主模式中，OSCLK 的频率固定为 256*OLRCK。

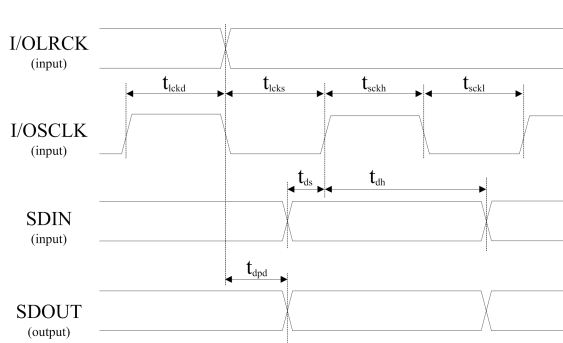


图 1. 非 TDM 从模式时序

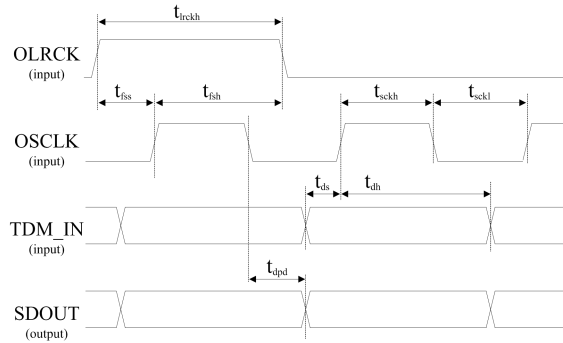


图 2. TDM 从模式时序

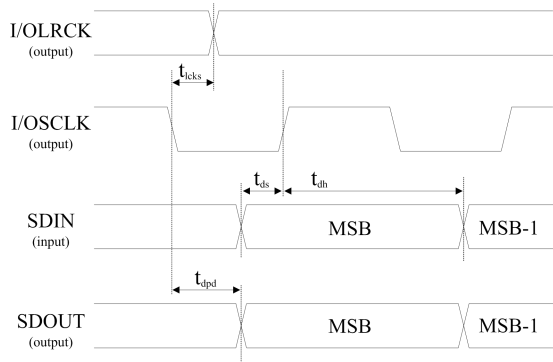


图 3. 非 TDM 主模式时序

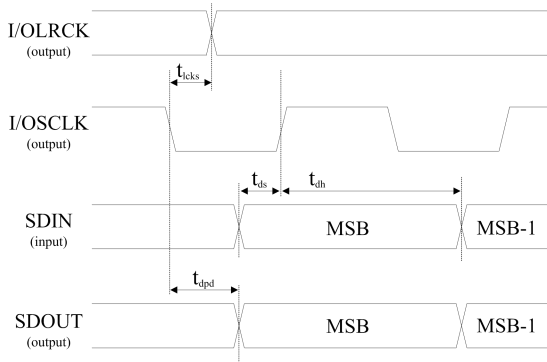


图 4. TDM 主模式时序

转换特性-控制端口-SPI模式:

输入：逻辑 0 = 0 V，逻辑 1 = VL；C_L = 20 pF。

参 数	符号	最小值	最大值	单位
CCLK 时钟频率	f _{sck}	0	6.0	MHz
RST 上升沿到 CS 下降沿	t _{srs}	500	-	μs
CCLK 边沿到 CS 下降沿 (注 13)	t _{spl}	500	-	ns
传输间隔 CS 高电平时间	t _{esh}	1.0	-	μs
CS 下降沿到 CCLK 边沿	t _{css}	20	-	ns
CCLK 低电平时间	t _{scl}	66	-	ns
CCLK 高电平时间	t _{sch}	66	-	ns
CDIN 到 CCLK 上升沿的建立时间	t _{dsu}	40	-	ns
CCLK 上升沿到 DATA 的保持时间 (注 14)	t _{dh}	15	-	ns
CCLK 下降沿到 CDOUT 有效 (注 15)	t _{scdov}	-	100	ns
CS 下降沿到 CDOUT 高阻的时间	t _{cscdo}	-	100	ns
CDOUT 上升沿时间	t _{r1}	-	25	ns

CDOUT 下降沿时间	t_{f1}	-	25	ns
CCLK 和 CDIN 上升沿时间 (注 16)	t_{r2}	-	100	ns
CCLK 和 CDIN 下降沿时间 (注 16)	t_{f2}	-	100	ns

注:

- 13. t_{spi} 仅在 \overline{RST} 上升沿后的第一个 \overline{CS} 下降沿需要。其他时间 $t_{spi} = 0$ 。
- 14. 数据必须保持足够的时间来桥接 CCLK 的转换时间。
- 15. CDOUT 在此期间不应处于采用状态。
- 16. $f_{sck} < 1 \text{ MHz}$ 。

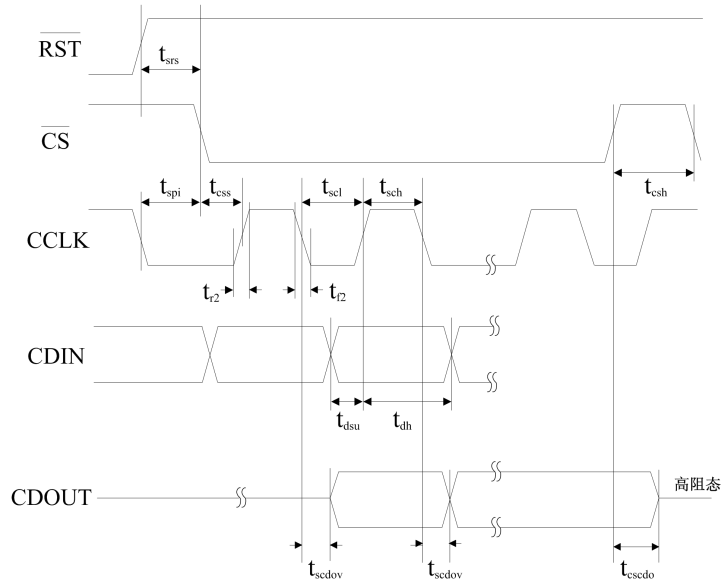


图 5. SPI 模式时序

转换特性-控制端口-I²C模式:

输入: 逻辑 0 = 0 V, 逻辑 1 = VL; C_L = 20 pF。

参 数	符号	最小值	最大值	单位
SCLK 时钟频率	f_{scl}	-	100	kHz
\overline{RST} 上升沿到起始	t_{irs}	500	-	μs
转换期间总线空闲时间	t_{buf}	4.7	-	μs
起始条件保持时间 (第一个时钟脉冲前)	t_{hdst}	4.0	-	μs
时钟低电平时间	t_{low}	4.7	-	μs
时钟高电平时间	t_{high}	4.0	-	μs
重复起始条件的建立时间	t_{sust}	4.7	-	μs
SCL 下降沿到 SDA 的保持时间 (注 17)	t_{hdd}	10	-	ns
SDA 到 SCL 上升沿的建立时间	t_{sud}	250	-	ns
SCL 和 SDA 的上升时间	t_{rc}, t_{rd}	-	1000	ns
SCL 和 SDA 的下降时间	t_{fc}, t_{fd}	-	300	ns

结束条件的建立时间	t_{susp}	4.7	-	μs
SCL 下降沿到应答的延时	t_{ack}	300	1000	ns

注:

17. 数据必须保持足够的时间来桥接 SCL 上的转换时间 t_{fc} 。

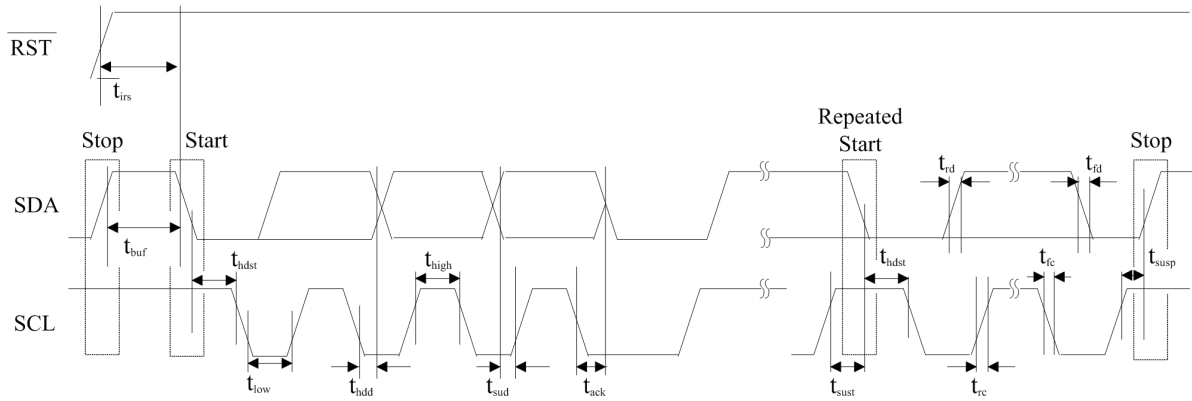


图 6. I²C 模式时序

功能描述

1、概述

MS8422N是一款24位，高性能，单片CMOS立体声异步采样率转换器电路，它集成有可根据EIAJ CP1201、IEC-60958、AES3和S/PDIF接口标准解码音频数据的数字音频接口接收器。

音频数据通过3线串行音频端口或兼容AES3的数字接口接收器输入。音频数据通过两个3线串行音频输出端口中的一个输出。串行音频端口可使用24、20、18或16位的数据。数据进入数字接口接收器可扩展到24位。输入和输出的数据可完全异步，或与连接到XTI的一个外部的数据时钟同步，或与从输入的S/PDIF或AES3数据中恢复出来的主时钟同步。

可通过软件模式或单机硬件模式来控制MS8422N。在软件模式中，用户可通过SPI或I²C控制端口进行控制。

其应用包括数字记录系统（DVD-R/RW，CD-R/RW，PVR，DAT，MD，和VTR）、数字混合控制台、高品质D/A，高性能处理器和计算机音频系统。

2、三线串行输入/输出音频端口

MS8422N提供两个独立的3线串行音频输出端口，一个3线串行音频输入端口（仅在软件模式下有效）。接口格式可通过软件模式下的控制端口或硬件模式下的MS_SEL和SAOF管脚来设置，以适合相应的器件。以下参数是可调的：

硬件模式：

- 主从模式操作
- 主模式 MCLK 与 OLRCK（OLRCK1 和 OLRCK2）比率：128，256，和 512
- 音频数据分辨率：16，20，或 24 位
- 串行数据格式：左对齐，I²S，或右对齐
- 多通道 TDM 串行音频格式（仅串行音频输出端口 1）

软件模式：

- 主从模式操作
- 主模式 MCLK 与 ILRCK 和 MCLK 与 OLRCK（OLRCK1 和 OLRCK2）比率：64，128，192，256，384，512，768 和 1024
- 音频数据分辨率：16，20，或 24 位
- 串行数据格式：左对齐，I²S，或右对齐
- 多通道 TDM 串行音频格式（仅串行音频输出端口 1）
- AES3 直接输出格式

图 9、10、10 和 12 显示了标准输入/输出格式。TDM 串行音频格式在 2.1.5 节中描述。

2.1 串行端口时钟操作

2.1.1 主模式

当串行端口设置为主模式时，它的左/右时钟（ILRCK，OLRCK1或OLRCK2）和它的串行位时钟（ISCLK、OSCLK1或OSCLK2）作为输出。如果串行输出直接来源于AES3接收器，串行端口的左/右时钟和串行位时钟就和RMCK同步。如果串行端口到达或来自采样率转换器（SRC），那么当处于主模式时，串行端口的左/右时钟和串行位时钟与XTI-XTO或RMCK同步。

如果一个串行输出来源于不使用 SRC 的串行输入端口，那么所有相关的时钟必须同步，因此两个串行端口必须使用相同的主时钟源。正是因为这个原因，当处于该模式时，串行输出时钟控制要通过串行音频输入时钟控制（07h）寄存器来完成。

2.1.2 从模式

当串行端口处于从模式时，它的左/右时钟（ILRCK，OLRCK1或OLRCK2），和它的串行位时钟（ISCLK，OSCLK1或OSCLK2）作为输入。如果串行输入或串行输出在数据路径上有SRC的话，那么串行端口的LRCK和SCLK可能和其他所有串行端口异步。左/右时钟应该连续，但是如果在相应的LRCK相位中有足够的串行时钟采样所有的数据位，时钟的占空比可以小于50%。

在左对齐和I²S模式的半个LRCK周期中，如果SCLK周期比所需的少，那么数据会从从LSB位开始缩短。在右对齐模式中，数据将会无效。

在从模式中，如果串行音频输出直接来源AES3接收器或不使用采样转换器的串行输入端口，那么提供给串行音频输出端口的OLRCK应该与Fsi或ILRCK同步，以避免跳过部分采样值或重复采样。OSLIP位（“中断状态（14h）”）指示是否跳过采样值或重复采样。

如果输入采样值 Fsi 或 ILRCK 大于从模式下的 OLRCK 的频率，将会减少采样。如果 Fsi 或 ILRCK 小于从模式的 OLRCK 频率，将会重复采样。任何一种方式都会使 OSLIP 设置为 1，并且直到从控制端口读取后才清零。

2.1.3 硬件模式控制

在硬件模式中，不能使用串行音频输入端口。SDOUT1是来自采样转换器的串行数据输出，SDOUT2是直接来自AES3接收器的串行音频输出。由于在硬件模式中不存在串行音频输入，所有的音频数据都是通过AES3接收器输入的。在硬件模式中，串行音频输出端口由SAOF和MS_SEL管脚控制。详见“硬件模式串行音频端口控制”。

在硬件模式中，当一个串行端口设置为主模式时，每个 LRCK 周期都会有 64 个 SCLK。

2.1.4 软件模式控制

在软件模式中，MS8422N 提供了一个串行音频输入端口和两个串行音频输出端口。每个串行端口的时钟和数据路径选项都是可配置的，参考寄存器串行音频输入数据格式（0Bh）、串行音频输出数

据格式-SDOUT1 (0Ch) 和串行音频输出数据格式-SDOUT2 (0Dh)。

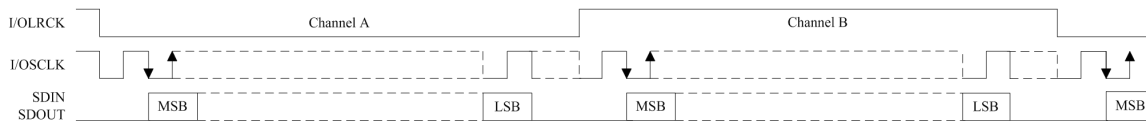


图 9. 串行音频接口格式 — I²S

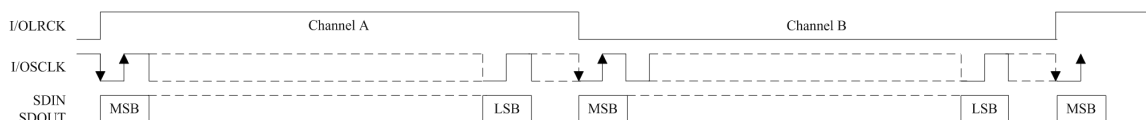


图 10. 串行音频接口格式 — 左对齐

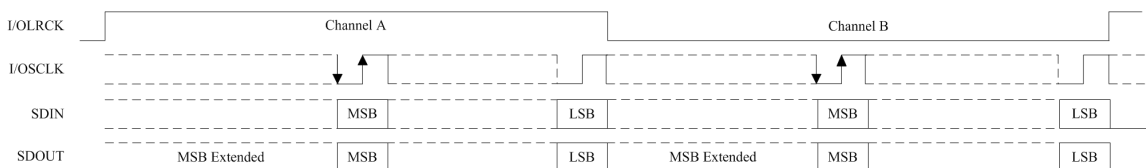


图 11. 串行音频接口格式 — 右对齐 (仅主模式)

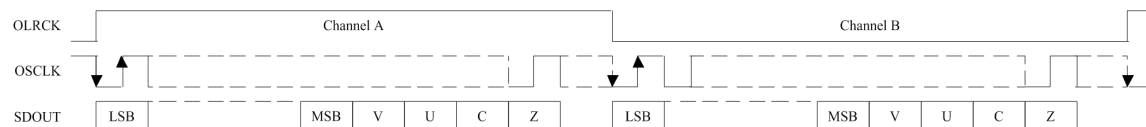


图 12. 串行音频接口格式 — AES3 直接输出

2.1.5 时分复用 (TDM) 模式

TDM模式允许几个兼容TDM格式的器件串行连接起来，使它们相应的串行输出数据多路复用成一行并输入到DSP或其他TDM可输入器件。

在TDM模式中，TDM_IN管脚用于输入TDM格式数据，SDOUT1或SDOUT2（仅软件模式）管脚用于输出TDM数据。若某个MS8422N若是链上的第一个TDM器件，它的TDM_IN管脚应该连接到GND。在OLRCKx上升沿之后的第一个OSCLKx下降沿开始，最高有效位数据就从SDOUTx（SDOUT1或SDOUT2）输出，并且在OSCLKx的上升沿时同样有效。

2.1.5.1 TDM 主模式

在 TDM 主模式中，OSCLKx 的频率固定在 $256 \cdot \text{OLRCKx}$ (x=1 还是 2 取决于哪个串行输出端口选择用作 TDM 模式)。每个采样时隙都是 32 位时钟周期，一共提供 8 个通道的数字音频多路复用，前两个通道由处于主模式的 MS8422N 提供。OSCLKx 宽度的 OLRCKx 脉冲标志着新帧的开始，在 OLRCKx 上升沿之后的一个 OSCLKx 开始有效数据采样。在 TDM 主模式中，TDM 串行端口的主时钟源必须是 256、512 或 $1024 \cdot F_{so}$ 。有效数据长度为 16、18、20 或 24 位。图 13 显示了 TDM 主模式的接口格式。在 TDM 的主模式中，不支持 TDM_IN 管脚。正如图 16 所示，MS8422N 作为放置在链上的第一个 TDM 器件，工作在 TDM 主模式。

2.1.5.2 TDM 从模式

在 TDM 从模式中，可以多路复用到一条串行线上的通道数量取决于输出采样率。对从模式而言，OSCLKx 必须设置为 $N * 64 * F_{so}$ ，其中 N 是 TDM 链上 MS8422N 的数量。例如：如果 $F_{so}=96kHz$ ， $N=4$ （8 路通道的串行音频数据），OSCLKx 的频率必须是 24.576MHz。注意：从模式下 OSCLKx 的最大频率与 VL 电压有关，如“转换特性”中所显示。图 14 显示了 TDM 从模式的接口格式。

2.1.5.3 硬件模式控制

在硬件模式中，TDM 模式通过 SAOF 管脚来选择。

2.1.5.4 软件模式控制

在软件模式中，TDM 模式通过串行音频输出数据格式-SDOUT1 (0Ch) 寄存器来选择。

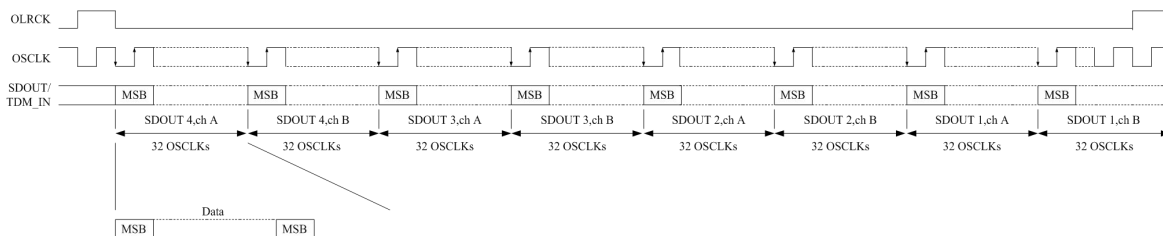


图 13. TDM 主模式时序框图

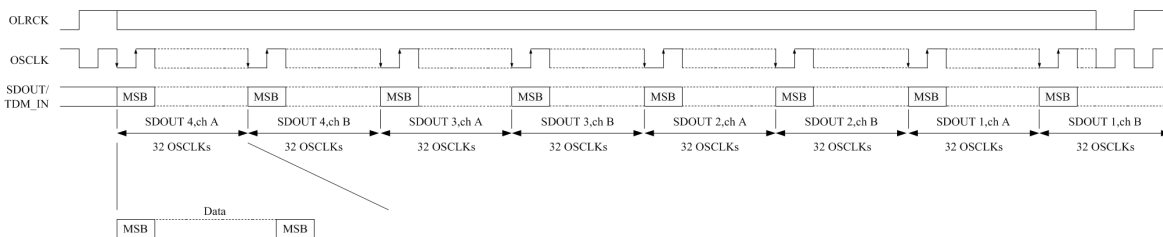


图 14. TDM 从模式时序框图

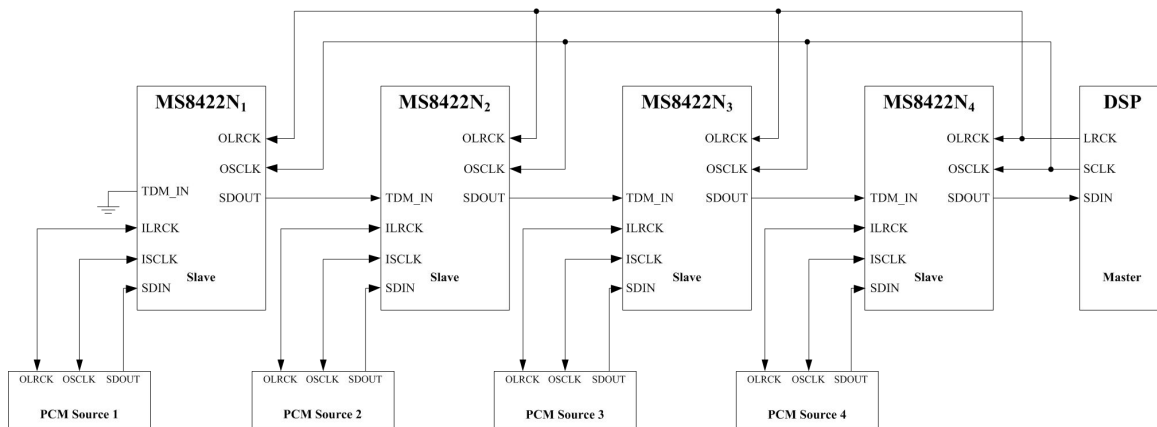


图 15. TDM 模式配置（所有的 MS8422N 输出处于从模式）

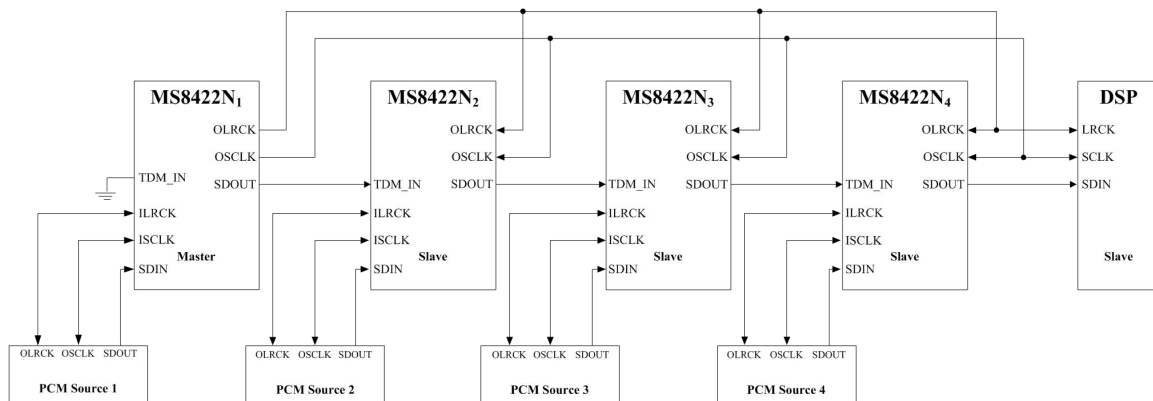


图 16. TDM 模式配置（第一个 MS8422N 输出处于主模式，其它处于从模式）

3、数字接口接收器

MS8422N包含一个数字接口接收器，该接收器可根据AES3、IEC60958、S/PDIF和EIAJ CP1201接口标准接收和解码音频数据。

MS8422N 使用 4 选 1 单端输入或 2 选 1 差分输入选择器来选择输入管脚接收要解码的输入数据。低抖动的时钟信号（RMCK）可通过锁相环恢复，该时钟是数字接口接收器的主时钟。解码的数据既可通过 SRC 进行采样率转换，也可从两个串行音频输出端口之中的一个输出。通道状态和用户数据的 Q 子码数据可以在通道状态寄存器（23h-2Ch）和 Q 通道子码（19h-22h）上缓存，且也可以通过 SPI 或 I²C 模式时从控制端口获取。

3.1 AES3和S/PDIF标准

假设用户已熟悉AES3和S/PDIF数据格式。建议获取AES3，IEC60958，IEC61937和EIAJ CP1201说明书以便容易查阅。

最新的AES3标准可从www.aes.org上获取。最新的IEC60958/61937标准可从www.iec.ch上获取。最新的EIAJ CP-1201标准可从www.jeita.or.jp/eiaj上获取。

3.2 接收输入多路选择器

MS8422N的接收输入多路选择器允许输入AES3、S/PDIF、IEC60958和EIAJ CP-1201标准的数据。参考“外部接收器元件”以获得关于推荐的接收器输入电路更多的信息。

3.2.1 硬件模式控制

在硬件模式中，接收输入多路选择器只能在两种不同的输入中选择一个，RXPO/RXNO 和 RXP1/RXN1。RX_SEL管脚选择不同的输入，然后数据由接收输入多路选择器解码。详见“硬件模式控制”。

未选择的多路选择器输入管脚是悬空的。无用的输入管脚应该接到AGND/DGND。

3.2.2 软件模式控制

在软件模式中，MS8422N提供4选1单端输入，或2选1差分输入多路选择器以调节转换多达四路通

道的AES3或S/PDIF格式的数据输入。在单端模式中，MS8422N可以在四个单端信号RX[3:0]中转换。在差分模式中，MS8422N可以在两种差分信号中转换，即RXPO/RXNO和RXP1/RXN1。

未选择的多路选择器的输入管脚是悬空的。未使用的输入管脚应该接AGND/DGND。

在软件模式中，接收输入多路选择器可由寄存器控制。详见接收器输入控制（03h）。

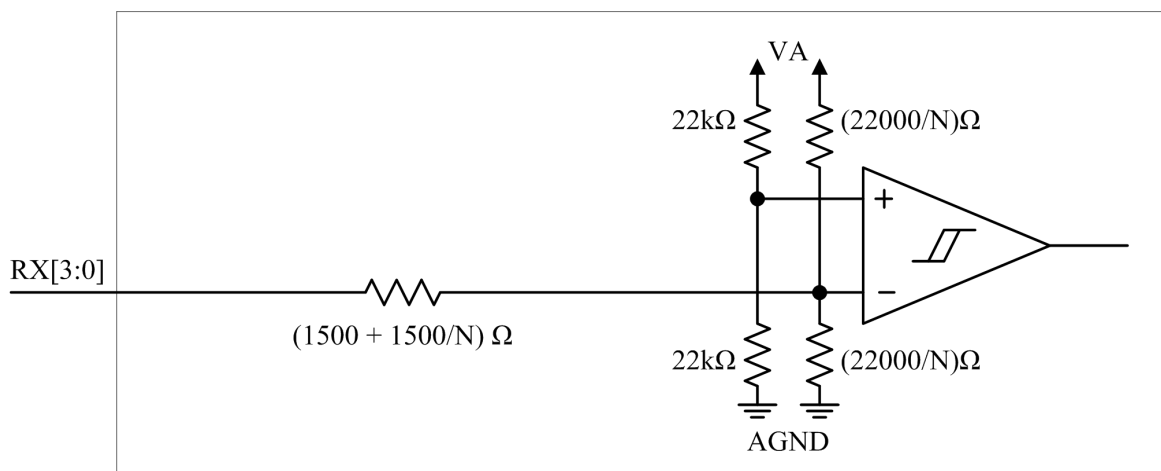
3.2.2.1 单端输入模式

当接收输入多路选择器设置为单端模式时，接收器的输入可以在比较器输入或数字输入上转换。

接收器输入模式1（模拟敏感模式）

如果选择模式1，输入偏置在VA/2，并且应通过电容耦合。推荐AC耦合电容的范围是0.01 μF到0.1 μF。推荐AC耦合电容的电介质为COG或X7R。

当接收输入多路选择器处于模式1时，接收器的输入管脚会对低幅度的信号准确地解码。在该模式中，所允许的最大输入幅度由VA决定，其正常值是3.3V。如果在接收输入选择器的信号管脚上的电压幅度大于3.3V，那么接收器输入管脚需要使用衰减器以避免损坏零件（详见“衰减输入信号”）。图17显示了单端模式下接收器的输入结构。



注：

- 1.如果RX[3:0]由接收器或TX通过选择，则N=1。
- 2.如果RX[3:0]由接收器和TX通过选择，则N=2。
- 3.如果RX[3:0]无任何选择，则N=0(例：高阻)。

图17. 单端模式接收器输入结构，接收器模式1

接收器输入模式2（数字敏感模式）

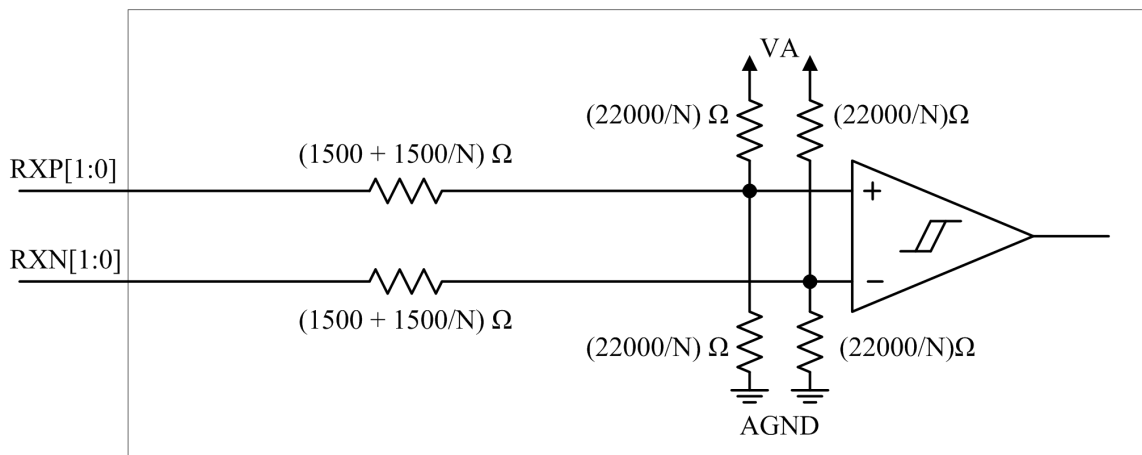
如果选择模式2，接收器的输入由参照VA的数字信号来驱动。在该模式中，所选择的接收器输入无需偏置，并且不要求使用AC耦合电容（如典型的光学接收器输出使用）。

当接收输入多路选择器工作在模式2中，V_{IH}/V_{IL}应用的说明详见“转换特性”。

3.2.2.2 差分输入模式

当接收输入多路选择器设置为差分输入模式，输入信号偏置在VA/2，且需要用AC耦合电容，正如

3.2.2.1部分提到的那样。图18显示了不同模式下接收器的结构。



注：

- 1.如果RXP/N[1:0]由接收器或TX通过选择，则N=1。
- 2.如果RXP/N[1:0]由接收器和TX通过选择，则N=2。
- 3.如果RXP/N[1:0]无任何选择，则N=0(例：高阻)。

图18. 不同接收器输入结构

3.3 恢复主时钟 — RMCK

MS8422N内部有一个锁相环，它可以恢复高频系统时钟，即恢复的主时钟（RMCK）。RMCK可以通过输入的AES3数据或ISCLK（仅仅从模式和软件模式）产生。该时钟用于AES3接收器的主时钟源，用于主模式中直接提供数据的串行端口，也可以在RMCK管脚输出。另外，用户可以设置RMCK作为两个串行端口之中任意一个的主时钟。

3.3.1 硬件模式控制

在硬件模式中，RMCK频率由输入的AES3的帧频和MS_SEL管脚决定。在RMCK管脚上接一个20 kΩ的电阻到VL，则RMCK可作为与SDOUT1相关联的串行音频输出的主时钟。详见“硬件模式控制”。

3.3.2 软件模式控制

在软件模式中，RMCK频率由输入的AES3帧频或ISCLK/64（仅从模式）决定。RMCK频率由寄存器配置，参考“恢复的主时钟频率控制（09h）”。如果ISCLK作为RMCK的时钟源，则在寄存器中的比率为64*RMCK/ISCLK。

3.4 XTI系统时钟模式

当锁相环失锁时，一个特定的时钟转换模式可以允许从XTI-XTO输入的时钟自动取代RMCK。这种转换不会引起RMCK的转换差错或干扰。

当时钟转换使能时，锁相环失锁会使XTI-XTO输入的时钟输出到RMCK上。如果一个串行端口设置为主模式且RMCK作为其主时钟源，当时钟转换发生后，它的LRCK和ISCLK频率将源于XTI-XTO时钟，并且RMCK与LRCK的比率保持不变。

当未使能时钟转换并且锁相环失锁时，RMCK源自VCO的中心频率。RMCK的输出频率由寄存器09h的RMCK[3:0]位，或硬件模式下的MS_SEL管脚决定。当锁相环失锁，VCO的中心频率等于AES3的输入数据的频率，即： $F_s \cong 54\text{kHz} \pm 5\%$ (或 $\text{ISCLK} \cong 3.456\text{MHz} \pm 5\%$)。

3.4.1 硬件模式控制

在硬件模式下，始终启用XTI系统时钟模式。

3.4.2 软件模式控制

在软件模式下，XTI系统时钟模式通过寄存器“时钟控制（02h）”控制。

3.5 AES11状态

当来自AES3的OLRCK配置为主模式时，从头码X/Z开始，OLRCK（取决于串行端口接口格式设置）的上升沿或下降沿会在 $-1.5\%(1/F_s)$ 到 $1.5\%(1/F_s)$ 范围内。在主模式中，接收器的延时取决于输入的采样率。在主模式中，音频数据的延时在AES3直接模式下为3帧，在其它模式下为4帧。

当源自AES3的OLRCK配置为从模式时，任何同步输入在一个AES3帧OLRCK的上升沿或下降沿开始的 $\pm 25\%$ 范围内（取决于串行端口接口格式设置），将会视作同时采样。由于在从模式下MS8422N不控制OLRCK，通过部件的数据延时为 $1/F_s$ 的倍数加上同样在主模式中出现的OLRCK和头码之间的固有延时。

这两个条件都是在AES11标准规定的允许范围内。

3.6 错误和状态报告

对输入的双相编码数据流解码时，MS8422N能够识别出不同的错误状况。

3.6.1 软件模式控制

软件模式在读错误时具有灵活性。没有屏蔽时，接收器错误寄存器（13h）的位可以指示以下错误：

1. QCRC-Q子码数据中的CRC错误。
2. CCRC-通道状态数据中的CRC错误。
3. UNLOCK-PLL未锁定到输入的双相数据流，或没有检测到两个有效的Z头码。
4. V-数据有效位设置。
5. CONF-由于抖动恶化，输入数据流可能会接近错误发生的条件。
6. BIP-双相编码错误。
7. PAR-输入数据的奇偶错误。

错误位是“粘滞的”，意味着当第一次错误发生置位后，会持续到用户通过控制端口读取寄存器。这使寄存器在最后一次读取后，记录了所有发生的未屏蔽错误。

由于位粘滞，它需要在这些寄存器上执行两次读取以查看是否仍然存在错误条件。

接受器错误屏蔽寄存器（0Eh）允许屏蔽单独的错误。该寄存器默认为00h，可以屏蔽接收器错误寄存器的相应位。如果屏蔽位置1，则该错误是未屏蔽的，这意味着以下几点：错误发生后，相应的接收器错误寄存器位置1，在RERR上产生一个脉冲，调用RERR中断，且根据HOLD位的状态影响当前的音频采样。即使未屏蔽，QCRC和CCRC错误也不会影响当前的音频采样。

HOLD位允许以下选择：

- 保持先前的采样数据
- 用零替换当前采样（静音）
- 不改变当前的音频采样

在软件模式中，如有必要，当前的接受器错误状态可以通过GPO管脚输出。输出到GPO管脚的接收器错误（RERR）和无有效位的接收器错误（NVERR）信号是电平有效的；因此它们仅当未屏蔽的接收器错误（寄存器0Eh）产生后才有效。读取接收器状态寄存器（13h）不会影响GPO管脚上的RERR/NVERR信号输出。GPO管脚上的RERR和NVERR信号的区别是当未屏蔽有效位错误出现后，NVERR信号无效。

详见“接受器错误屏蔽（0Eh）”，“中断屏蔽（0Fh）”，“中断模式（10h）”，“接受器错误（13h）”和“中断状态（14h）”。

3.6.2 硬件模式控制

在硬件模式中，用户可以选在NV/RERR管脚上输出无有效位的接收器错误（NVERR）或接收器错误（RERR），默认输出NVERR信号。如果在管脚和VL之间接一个20kΩ的电阻，则NV/RERR管脚输出RERR信号。RERR和NVERR都在AES3子帧边界上更新。详见“硬件模式控制”。

NVERR-在当前的音频采样中，如果有效位是高电平，或奇偶检查，双相编码，可靠性或PLL锁定错误产生，或如果Q子码数据或通道状态块有CRC错误，则保持先前的音频采样数据且通过串行音频输出口。

RERR-在当前音频采样过程中，如果奇偶检查，双相编码，可靠性或PLL锁定错误产生，或如果Q子码数据或通道状态块有CRC错误，则保持先前的音频采样且通过串行音频输出口。

3.7 非音频检测

AES3数据流可用于传输非音频数据。因此输入的AES3数据流是否是数字音频非常重要。这个信息典型地传输在通道状态位1。然而，如AC-3®或MPEG编码器的确切非音频源不遵循该规定，且位不会被正确地设置。MS8422N的AES3接收器使用自动检测系统可检测出非音频数据。

如果AES3数据流包含了IEC61937或DTS数据传输的专用格式中的同步码，将会出现一个内部的自动检测信号。如果一段时间后同步码不再出现，自动检测系统将会中断，且检测信号会持续到另一种格式被检测。AUDIO信号是自动检测信号和接收通道状态位1的逻辑或。

在软件模式中， $\overline{\text{AUDIO}}$ 可通过GPO管脚输出。如果检测到非音频数据，数据仍会如同音频数据一样正确处理。有一个特例是，如果输入数据流是非音频数据，利用去加重自动选择功能将会绕过去加重滤波器。如有需要，用户可用此使输出静音。

3.7.1 硬件模式控制

在硬件模式中，当一个20kΩ的电阻连接 $V/\overline{\text{AUDIO}}$ 管脚和VL时， $V/\overline{\text{AUDIO}}$ 管脚上输出的是 $\overline{\text{AUDIO}}$ 。

3.7.2 软件模式控制

在软件模式中，可通过GPO管脚获取 $\overline{\text{AUDIO}}$ 信号。详见“GPO控制1（05h）”。

3.8 格式检测（仅软件模式）

在软件模式，MS8422N可以自动检测各种串行音频输入格式。格式检测状态寄存器（12h）用来指示检测到格式。如果未压缩的PCM数据，IEC61937数据，DTS_LD数据，DTS_CD数据，或数字静音被检测到，寄存器会指示出。此时，IEC61937 Pc/Pd脉冲头码被用于寄存器2Dh-30h。更多信息见寄存器描述。

3.9 中断（仅软件模式）

在软件模式下，当一个中断情况发生时，INT信号可通过GPO管脚输出。也可通过控制1寄存器（02h）中的INT[1:0]位设置低电平有效，高电平有效或漏极开路低电平有效。最后一种模式用于低电平有效，线或的多路复用外设连接到微控制器的中断输入管脚。

引起中断的条件很多，都在中断状态寄存器描述中列出。每个中断源可通过屏蔽寄存器位被屏蔽。此外，每个中断源可设置为上升沿，下降沿或电平触发。结合在微控制器中的电平触发或边沿触发模式选项，根据需要可实现不同的配置。参考寄存器描述中的中断屏蔽（0Fh），中断模式（10h），中断状态（14h）寄存器。

3.10 通道状态和用户数据处理

“通道状态缓冲器处理”描述了通道状态和用户数据控制。

3.10.1 硬件模式控制

在硬件模式中，接收通道状态（C），和用户位（U）在C和TX/U管脚输出（用户数据的输出必须通过TX/U管脚来选择，详见“硬件模式控制”）。OLRCK2和RCBL作为C和U数据输出的时钟。图19阐明了C和U以及与之相关信号的时序。

3.10.2 软件模式控制

在软件模式中，许多选项可用于处理接收到的AES3/SPDIF编码流中的通道状态和用户数据。

首先允许直接读取寄存器。通道状态块的前5个字节被解码到“通道状态寄存器（23h-2Ch）”。寄存器23h-27h包含了A通道状态数据。寄存器28h-2Ch包含了B通道状态数据。

通过适当地设置寄存器“GPO控制1”中的GPOxSEL位，接收到的通道状态（C），用户位（U），和

\overline{EMPH} 位可在GPO管脚上输出。OLRCK和RCBL作为C和U位数据输出的时钟。在串行端口从模式，VLRCK和RCBL作为C和U位数据输出的时钟。VLRCK是一个虚拟的字时钟，等于接收器恢复的采样速率，作为C/U输出的时钟。VLRCK和RCBL可通过GPO管脚输出。图19阐明了C和U数据以及与之相关信号的时序。要使用OLRCK1或OLRCK2恢复C数据或U数据，相应的串行端口必须直接来自AES3接收器而不是SRC。

要让SDOUT信号直接来自RX接收器，接收器应设置为主模式用以恢复接收到的数据。在这种配置下，来自接收器的SDOUT信号将跟随AES的帧速率。如果RX接收器设置为从模式，用户必须要确保以下要求：与RX接收器相关的输入OLRCK信号要与输入的S/PDIF数据流保持同步，以便恢复接收到的数据。在这两种配置下，VLRCK等同于相应的串行端口的OLRCK信号，用于为恢复接收到的数据提供时钟。

当两个SDOUT都来自RX接收器时，VLRCK等于OLRCK1。当两个SDOUT都来自SRC时，VLRCK等于恢复的AES帧频而不是OLRCK。

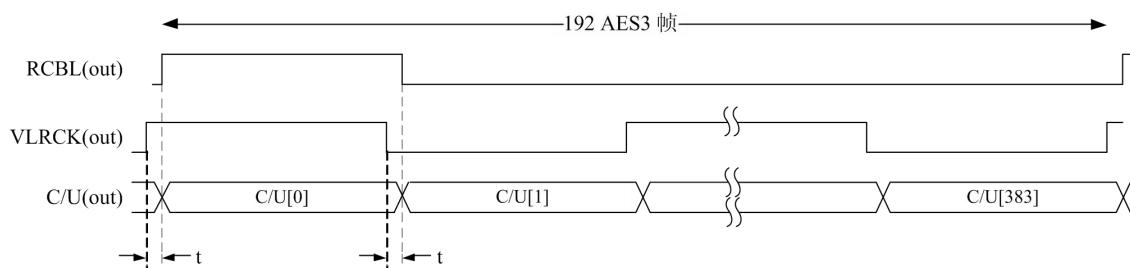
表 1. VLRCK 状态

SDOUT1	SDOUT2	VLRCK	注释
RX	RX	OLRCK1	见注 4
RX	SRC	OLRCK1	见注 4
SRC	RX	OLRCK2	见注 4
SRC	SRC	AES 帧	见注 6

用户通过设置寄存器“串行音频输出数据格式-SDOUT1 (0Ch)”或“串行音频输出数据格式-SDOUT2 (0Dh)”中的SOFSELx[1:0]=11 (AES3直接模式)，从输出数据流 (SDOUT) 直接获取C和U位数据。相应的位可以通过外部控制逻辑像DSP或微控制器从SDOUT信号中剥离出来。AES3直接模式仅当串行端口直接来自AES3接收器 (而不是SRC) 才有效。

如果输入的用户数据位已经编码为Q通道子码，数据就会经过解码、缓冲和暂存在10个连续的寄存器“Q-通道子码 (19h-22h)”中。可以通过使能中断来指示是否解码一个新的Q通道块，这可以通过“中断状态 (14h)”寄存器来读取。

已编码的通道状态位可根据AES3-2003或IEC60958来解码。“接收器通道状态 (11h)”寄存器的第7位到第4位用于记录辅助位的数量。



注:

1. RCBL在第一个C/U数据位 (C/U[0]) 输出转换时变高, 且直到C/U[0]到C/U[1]的转换期间保持高电平。
2. VLRCK是一个虚拟的字时钟, 可由GPO管脚引出, 用于构成C/U的输出。
3. VLRCK的频率总是等于输入AES3数据格式的帧频。如果每个OLRCK内存在偶数个OSCLK, 则VLRCK的占空比为50%, 否则为 $50\% \pm$ 一个OSCLK周期。
4. 在I²S模式中, 如果串行音频输出端口直接来自AES3接收器, 则 $VLRCK = \overline{OLRCK}$; 且在左对齐和右对齐模式中, $VLRCK = OLRCK$ 。
5. 如果串行端口直接来自AES3接收器, 数据会在VLRCK边沿后的第4个OSCLK下降沿转换, 且在VLRCK边沿有效 ($t = 4$ 个OSCLK周期)。
6. 如果串行端口没有直接来自AES3接收器 (例如在采样率转换应用中), 数据会在一个VLRCK边沿后的 $1/64 * F_{si}$ 传输, 且在VLRCK边沿有效 ($t = 1/64 * F_{si}$)。

图19. C/U数据输出

4、采样率转换 (SRC)

多速率数字信号处理技术用于对输入信号升频然后在输出降频。如果输入和输出数据的采样率大于等于44.1kHz, 内部滤波器用于实现将音频带宽保持为20kHz。当输出数据的采样率小于输入数据的采样率时, 输入自动带限以避免输出走样。任意输入信号的抖动都几乎不会对采样率转换器的动态特性产生影响, 并且也不会影响输出时钟。

4.1 SRC数据分辨率和抖动

在左对齐和I²S模式中使用串行音频输入端口时, 所有的数据都是24位宽的。在MS8422N之前需要使用恰当的抖动过程, 截断数据以满足数据位小于24位。如果串行音频输入端口是右对齐模式, 输入的数据通过“串行音频输入数据格式 (0Bh)”寄存器截断到相应的位深度。如果位深度设置为16位且输入的数据是24位宽, 那么截断失真就会出现。相似的, 在任何串行音频输入端口模式中, 如果输入的位时钟的数量不够 (例如16个时钟而不是20个时钟), 那么输入的字就会被截断, 造成低级的截断失真。总之, 在MS8422N的输入端没有抖动机制, 并且要确保不发生截断。

SRC的输出端可以设置为16、18、20或24位。抖动被施加和自动缩放到所选择的字长。这种抖动和左右通道之间无关。

4.1.1 硬件模式控制

在硬件模式中, SRC是SDOUT1的数据源, 并且它的串行输出端口的分辨率是由SAOF管脚控制的。

4.1.2 软件模式控制

在软件模式中，串行端口数据的分辨率是由“串行音频输入数据格式（0Bh）”、“串行音频输出数据格式-SDOUT1（0Ch）”和“串行音频输出数据格式-SDOUT2（0Dh）”寄存器控制。

4.2 SRC锁定

SRC计算输入采样率和输出采样率之间的比例，并且使用此信息在SRC内部建立不同的参数。SRC需要一定的时间来计算该比例（当Fso为48kHz时大约为~100ms）。

当SRC未锁定时，由SRC_UNLOCK信号指示。当复位信号有效，或者如果在Fsi或Fso存在变化，SRC_UNLOCK将被设置为高电平。直到SRC重新锁定并且固定，SRC_UNLOCK才由高转低。当SRC_UNLOCK设置为低电平时，SDOUT输出有效的音频数据。这可以用来向DAC提供信号取消静音。

SRC_UNLOCK信号可由控制端口寄存器15h，或由硬件模式下的SRC_UNLOCK管脚来读取。

4.3 SRC静音

来自SRC的SDOUT管脚（软件模式中SDOUT1或SDOUT2，硬件模式中SDOUT1）在复位信号置高后，输出立即设置为零（完全静音）。当来自SRC的输出有效时，SDOUT在插值模式（Fsi<Fso）中大约27488/Fsi时间，或在抽取模式（Fsi>Fso）中54976/Fso后软件取消静音。当输出无效时，SRC的SDOUT立即设置为0输出（硬静音）。当所有的无效状态清除后，SRC就会软件取消SDOUT静音。

4.4 SRC主时钟

MS8422N可以使用通过XTI-XTO、锁相环或内部环形振荡器提供的时钟信号作为它的主时钟（MCLK）。如果SRC的MCLK时钟源选择XTI-XTO，要注意确保SRC的MCLK时钟源不要超过33MHz。如果SRC的MCLK时钟源超过33MHz，要使能内部时钟分频器，对SRC的MCLK时钟源2分频，这样才允许使用高频时钟。

如果SRC的MCLK是通过XTI的，那么它可以来源于数字时钟源、晶体振荡器、或基本模式晶体。如果不使用XTO，例如时钟源是数字时钟或晶体振荡器时，那么不应连接XTO或通过20kΩ的电阻接到GND。

如果与内部振荡器结合的晶体向SRC的MCLK提供时钟，那么晶体电路应该按照图20所示的方法连接。如果VL<2.5V，建议与XTI和XTO连在一起的晶体应该添加一个10pF的负载电容（图20中的电容应该是20pF）。如果VL>=2.5V，建议与XTI和XTO相连的晶体应该添加一个20pF的负载电容（图20中的电容应该是40pF）。

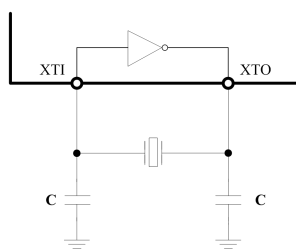


图20. 晶体电路的典型连接图

如果锁相环时钟作为SRC的MCLK，那么SRC的MCLK应该同步到输入的AES3数据或ISCLK。不同于RMCK，用户不能决定锁相环的时钟与输入AES3数据的采样频率（Fsi）或ISCLK的关系。Fsi或ISCLK/64和锁相环时钟的关系参见表2。

表 2. PLL 时钟比率

Fsi（或 ISCLK/64）	PLL/Fsi
Fsi≤49 kHz	512
60 kHz≤Fsi≤98 kHz	256
120 kHz≤Fsi	128

MS8422N可以在不使用从XTI输入的主时钟下工作。这有利于不要求额外的外部时钟组件设计（降低产品费用）、不需要把主时钟连到MS8422N上，最终减弱系统的噪声。在该模式下，内部振荡器提供时钟来运行所有的内部逻辑。

4.4.1 硬件模式控制

在硬件模式中，SRC的主时钟源默认是内部环形振荡器。因此，SRC无需使用外部的MCLK源。用户可以通过在MCLK_OUT和VL之间接一个20kΩ的上拉电阻来选择PLL时钟作为SRC的MCLK时钟源。

4.4.2 软件模式控制

在软件模式中，SRC的主时钟源由“SRC输出串行端口时钟控制（08h）”寄存器的SRC_MCLK[1:0]位选择的。如果XTI时钟作为SRC的MCLK，且XTI连接到VL或DGND上，XTO悬空，那么内部环形振荡器会取代XTI-XTO作为时钟源。

如果SRC的MCLK来源于XTI-XTO，且大于33MHz，那么用户可以设置控制端口寄存器08h中的SRC_DIV位对时钟二分频。

5、硬件控制模式

MS8422N提供单机硬件控制模式，该模式无需使用I²C或SPI控制端口。在硬件模式中，提供给用户的是软件模式中功能的子集，如图21所示。如果在C管脚和VL上连接一个20kΩ的上拉电阻，当复位信号失效后，那么该器件将进入硬件模式。

在硬件模式中，通过专用控制输入、20kΩ的上拉或下拉电阻连接到管脚，在两个专用的管脚

(SAOF和MS_SEL)上分别接一个特定的电阻到VL或地，来控制MS8422N。就SAOF和MS_SEL而言，电阻应该尽可能近的连接到那个管脚并且应该不超过±5%的误差。专用控制(TX_SEL和RX_SEL)可以在操作过程中变化，由于上拉电阻的控制是在启动时检测的。图21显示了在硬件模式中的时钟路径。

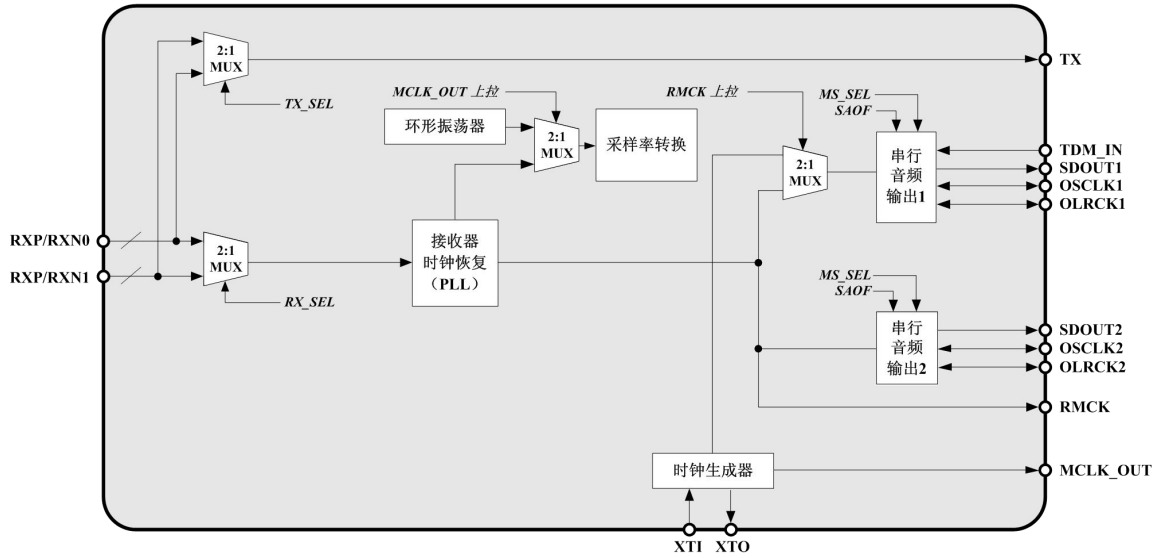


图21. 硬件模式时钟路径

表3. 硬件模式控制设置

管脚名	描述	管脚配置	选择
RX_SEL	选择有效的 RX 输入 AES3	连接 GND	RXP0/RXN0 有效
		连接 VL	RXP1/RXN1 有效
TX_SEL	选择 TX 管脚上 RX 的输入	连接 GND	RXP0/RXN0
		连接 VL	RXP1/RXN1
SDOUT1	使能或禁用去加重自动检测	SDOUT1 无上拉	使能去加重自动检测
		SDOUT1 有 20kΩ 上拉	禁用去加重自动检测
SAOF	选择 SDOU1 和 SDOUT2 的数据格式	见表 4	
MS_SEL	选择 SDOU1 和 SDOUT2 的主/从模式和时钟配置	见表 5	
RMCK	选择 SDOUT1 串行端口的主时钟源	RMCK 无上拉	XTI-XTO
		RMCK 有 20kΩ 上拉	RMCK
MCLK_OUT	选择 SRC 的主时钟源	MCLK_OUT 无上拉	环形振荡器
		MCLK_OUT 有 20kΩ 上拉	PLL 时钟
TX/U	选择输出 TX 或输入的 U 数据	无上拉	输出 TX 通路
		有 20kΩ 上拉	输出 U 数据
C	选择软件或硬件模式	无上拉	软件模式
		有 20kΩ 上拉	硬件模式
NV/RERR	选择输出错误信号	无上拉	NVERR
		有 20kΩ 上拉	RERR
V/AUDIO	选择输出有效位数据或 AUDIO 指示	有 20kΩ 下拉	输出有效位数据
		有 20kΩ 上拉	输出 AUDIO 指示

5.1 硬件模式串行音频端口控制

MS8422N 通过在 MS_SEL 和 SAOF 管脚上连接电阻，来控制串行输出端口的操作模式。复位信号失效后，检测电阻值和条件 (VL 或 GND)。完成该操作大概需要 4ms。在模式检测完成前，SRC_UNLOCK 管脚会一直保持高电平，且两个 SDOUT 管脚都保持静音。在这之后，如果所有的时钟保持稳定，当音频输出有效时，SRC_UNLOCK 才变低，并且开始正常工作。

连接每个模式选择管脚的电阻应靠近 MS8422N。没有连接到模式选择管脚的电阻应尽量靠近 VL 和 GND，以减少噪声。表 4 和表 5 显示了管脚功能和相应设置。

表4显示了针对硬件模式的串行端口输出格式和对应的SAOF管脚配置。对于SDOUT2，输出分辨率取决于输入的AES3数据分辨率。在右对齐模式中，串行格式的字长等于AES3的输入数据分辨率。唯一的例外是：在右对齐模式情况下，AES3输入字长为奇数位时，SDOUT2的字长比AES3输入的字长多一位，该位是用零填充的（例：19位输入字长的AES3将会有20位的右对齐串行数据格式）。

表5显示了硬件模式下关于两个串口的主/从模式和时钟选项，以及对应的MS_SEL管脚配置。对于SDOUT1，当串口设置为主模式时，主时钟频率决定了输出采样率是根据SDOUT1所选择的MCLK的，正如上面硬件控制管脚所描述的。对于SDOUT2，输出采样率受输入的AES3数据控制，并且主模式的时钟频率决定了RMCK的频率与输入的AES3采样率有关。注意：如果SDOUT1选择了TDM模式，那么它就不能再设置为“主模式， $F_{so} = MCLK/128$ ”。

表4. 硬件模式串行音频格式控制

SAOF 管脚	SDOUT1 数据格式	SDOUT2 数据格式
32.4 kΩ+5%到 GND	I ² S 模式 24 位数据	I ² S 模式
16.2 kΩ+5%到 GND	I ² S 模式 20 位数据	I ² S 模式
8.06 kΩ+5%到 GND	I ² S 模式 16 位数据	I ² S 模式
4.02 kΩ+5%到 GND	左对齐模式 24 位数据	左对齐模式
1.96 kΩ+5%到 GND	左对齐模式 20 位数据	左对齐模式
≤1.0 kΩ+5%到 GND	左对齐模式 16 位数据	左对齐模式
32.4 kΩ+5%到 VL	右对齐模式 24 位数据 (仅主模式)	右对齐模式 (仅主模式)
16.2 kΩ+5%到 VL	右对齐模式 20 位数据 (仅主模式)	右对齐模式 (仅主模式)
8.06 kΩ+5%到 VL	右对齐模式 16 位数据 (仅主模式)	右对齐模式 (仅主模式)
4.02 kΩ+5%到 VL	TDM 模式 24 位数据	I ² S 模式
1.96 kΩ+5%到 VL	TDM 模式 20 位数据	I ² S 模式
≤1.0 kΩ+5%到 VL	TDM 模式 16 位数据	I ² S 模式

表5. 硬件模式串行音频端口时钟控制

MS_SEL 管脚	SDOUT1	SDOUT2
127.0 kΩ+5%到 GND	从模式	从模式 RMCK=256*Fsi
63.4 kΩ+5%到 GND	主模式, Fso=MCLK/128	
32.4 kΩ+5%到 GND	主模式, Fso=MCLK/256	
16.2 kΩ+5%到 GND	主模式, Fso=MCLK/512	
8.06 kΩ+5%到 GND	从模式	主模式 RMCK=128*Fsi
4.02 kΩ+5%到 GND	主模式, Fso=MCLK/128	
1.96 kΩ+5%到 GND	主模式, Fso=MCLK/256	
≤1.0 kΩ+5%到 GND	主模式, Fso=MCLK/512	
127.0 kΩ+5%到 VL	从模式	主模式 RMCK=256*Fsi
63.4 kΩ+5%到 VL	主模式, Fso=MCLK/128	
32.4 kΩ+5%到 VL	主模式, Fso=MCLK/256	
16.2 kΩ+5%到 VL	主模式, Fso=MCLK/512	
8.06 kΩ+5%到 VL	从模式	主模式 RMCK=512*Fsi
4.02 kΩ+5%到 VL	主模式, Fso=MCLK/128	
1.96 kΩ+5%到 VL	主模式, Fso=MCLK/256	
≤1.0 kΩ+5%到 VL	主模式, Fso=MCLK/512	

6、软件控制模式

6.1 控制端口控制描述

控制端口用于读取寄存器，配置MS8422N所需的工作模式和数据格式。控制端口可以和音频采样速率完全异步。然而，为避免潜在的干扰问题，如果不需要任何操作，控制端口管脚应该保持静态。

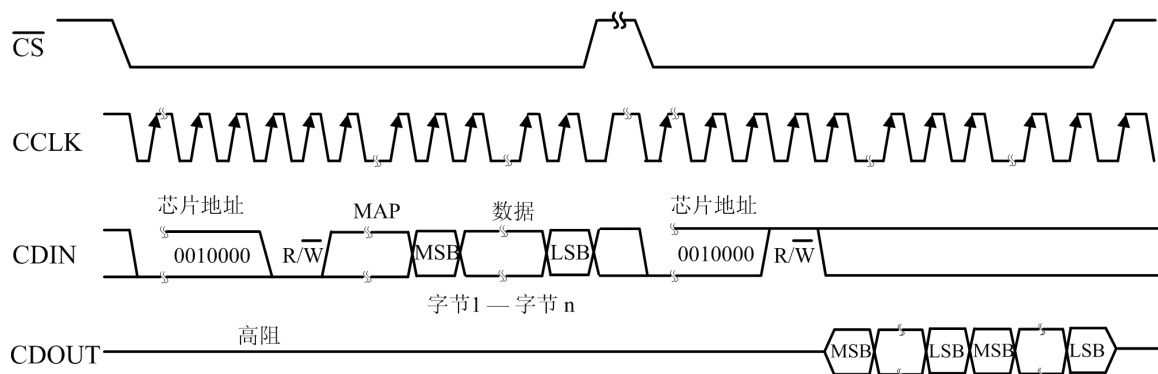
MS8422N 作为一个从设备，控制端口有两种模式：SPI 和 I²C。如果 \overline{RST} 管脚被置为高电平后，在 AD0/ \overline{CS} 管脚上有一个从高到低的转换，则选择 SPI 模式。在 AD0/ \overline{CS} 管脚上接一个电阻到 VL 或 DGND，则选择 I²C 模式。因此固定选择了所要的 AD0 位地址状态。

6.1.1 SPI模式

在 SPI 模式中， \overline{CS} 是 MS8422N 芯片的选择信号，CCLK 是数控制端口的位时钟（从微控制器输入到 MS8422N），CDIN 是输入数据管脚，CDOUT 是输出数据管脚。数据在 CCLK 的上升沿采样输入，在下降沿输出。

图 22 显示了 SPI 模式下控制端口的操作。写寄存器时，将 \overline{CS} 由高变低。CDIN 上的起始 7 位组成了芯片地址且必须为 0010000。第 8 位是读/写 (R/ \overline{W})，低电平表示写。接下来的 8 位包括 7 位的寄

寄存器地址指针（MAP），所需要读写寄存器的地址。接下来的 8 位是所要存放到 MAP 指定寄存器中的数据。在写操作中，CDOUT 输出保持高阻状态。如有需要，可在外部接一个 20kΩ 的上拉或下拉电阻。



MAP = 存储器地址指针，8位，MSB起始

图22. 控制端口时序，SPI模式

为了读取一个寄存器，MAP 必须通过执行部分写周期被设置为正确的地址，在 MAP 字节之后， \overline{CS} 立即变高。开始读寄存器， \overline{CS} 由高变低，发送芯片地址且设置读/写位 (R/\overline{W}) 为高。在接下来 CCLK 的下降沿将会输出寻址寄存器的最高有效位数据。MAP 会自动递增，因此寄存器的数据将会依次出现。

6.1.2 I²C模式

在 I²C 模式，SDA 是一个双向数据线。数据被 SCL 时钟输入和输出端口。此时没有 \overline{CS} 管脚。管脚 AD0 和 AD1 形成芯片地址的两个最低有效位，且需要应连接一个 20kΩ 的电阻到 VL 或 DGND。GPO2 管脚通过接一个 20kΩ 的电阻到 VL 作为 AD2（20kΩ 的上拉电阻设置 AD2=1，没有上拉电阻设置 AD2=0）。在 MS8422N 被复位后，检测管脚状态。

图 23 和 24 分别显示了一个写和一个读周期的信号时序。当时钟信号为高电平时，SDA 有一个下降的转变作为起始条件。时钟信号为高电平时，有一个上升转变作为结束条件。SDA 的其它所有转变都发生在时钟信号为低电平时。在起始条件后，由 7 位芯片地址和 1 位读/写位（高为读，低为写）组成的第一个字节被发送到 MS8422N。7 位地址的前 4 位是固定的 0010。

MS8422N 的通信中，芯片地址作为第一个字节被发送到 MS8422N，且 0010 后匹配设置的 AD2，AD1，和 AD0 管脚。地址的第 8 位是读/写位。如果是个写操作，接下来的一个字节包含寄存器地址指针（MAP），用来选择的所要读或写的寄存器。如果是个读操作，将输出 MAP 所指的寄存器的内容。MAP 自动递增，寄存器的数据将会依次出现。每一个字节由一个应答位（ACK）分隔开。在每次输入字节读取后 MS8422N 输出应答位，每一个传输的字节后微控制器发送应答位给 MS8422N。

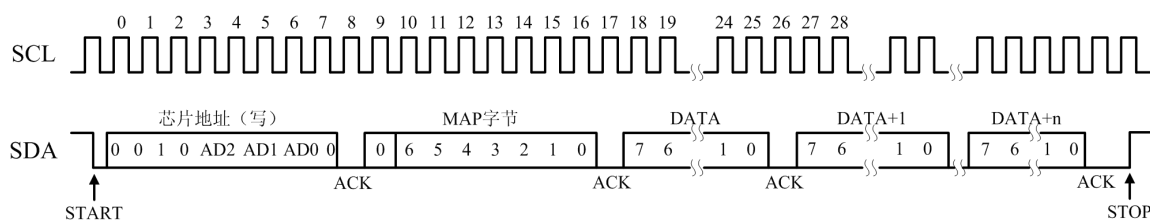


图 23. 控制端口时序，I²C 从模式写

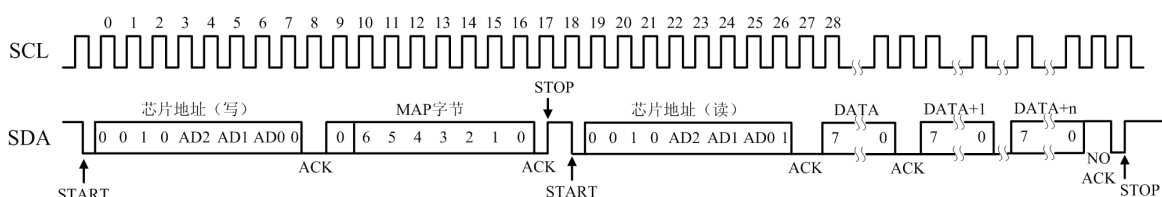


图 24. 控制端口时序，I²C 从模式读

注意读操作时不能设置 MAP，因此需要一个终止的写操作作为一个头码。如图 24 所示，在作为 MAP 的应答后发送一个停止条件，则写操作终止。

6.1.3 寄存器地址指针 (MAP)

MAP 有 8 位字长，它包含可以在 SPI 和 I²C 模式下读和写的控制端口地址，另外还有一个可以自增的控制位。MAP[6:0] 组成了可以读和写的地址，第 7 位 (INC) 决定在每个控制端口完成后 MAP[6:0] 是否自增。如果 INC=0，MAP[6:0] 在每个控制端口读或写完成后不会自增，如果 INC=1，MAP[6:0] 在每个控制端口读或写完成后自增。MAP 位如图 23 或 24 所示。

7、寄存器一览表

该表显示的寄存器名称和读写寄存器的默认值。

表 6. 软件模式寄存器位摘要

地址	功能	7	6	5	4	3	2	1	0
01h	芯片 ID&	ID4	ID3	ID2	ID1	ID0	REV2	REV1	REVO
	版本号	0	0	0	1	0	0	0	0
02h	时钟控制	PDN	FSWCLK	SWCLK	RMCK_ CTL1	RMCK_ CTL0	INT1	INT0	Reserved
		1	0	0	0	0	0	0	0
03h	接收器输入控制	RX_MOD E	RXSEL1	RXSEL0	TXSEL1	TXSEL0	INPUT_ TYPE	Reserved	Reserved
		0	0	0	0	1	0	0	0

地址	功能	7	6	5	4	3	2	1	0
04h	接收器数据控制	TRUNC	HOLD1	HOLD0	CHS	DETCI	EMPH_ CNTL2	EMPH_ CNTL1	EMPH_ CNTL0
		0	0	0	0	0	1	0	0
05h	GPO 控制 1	GPO0SEL	GPO0SEL	GPO0SEL	GPO0SEL	GPO1SEL	GPO1SEL	GPO1SEL	GPO1SEL
		3	2	1	0	3	2	1	0
		0	0	0	0	0	0	0	0
06h	GPO 控制 2	GPO2SEL	GPO2SEL	GPO2SEL	GPO2SEL	GPO3SEL	GPO3SEL	GPO3SEL	GPO3SEL
		3	2	1	0	3	2	1	0
		0	0	0	0	0	0	0	0
07h	SAI 时钟控制	SAI_CLK3	SAI_CLK2	SAI_CLK1	SAI_CLK0	SAI_MCL K	Reserved	Reserved	Reserved
		0	1	0	0	0	0	0	0
08h	SRC SAO 时钟控制	SAO_CLK	SAO_CLK	SAO_CLK	SAO_CLK	SAO_MCL K	SRC_ MCLK1	SRC_ MCLK2	SRC_DIV
		3	2	1	0	0	0	0	0
		0	1	1	0	0	0	0	0
09h	RMCK 控制	RMCK3	RMCK2	RMCK1	RMCK0	SRC_MU TE	Reserved	Reserved	Reserved
		0	0	0	0	1	0	0	0
0Ah	数据路径 控制	SDOUT1_	SDOUT1_	SDOUT2_	SDOUT2_	MUTE_ SAO1	MUTE_ SAO2	SRCD	Reserved
		1	0	1	0	0	0	0	0
		0	0	0	1	0	0	0	0
0Bh	SAI 数据格 式	SIMS	SISF	SIFSEL2	SIFSEL1	SIFSEL0	Reserved	Reserved	Reserved
		0	0	0	0	0	0	0	0
0Ch	SAO1 数据 格式 &TDM	SOMS1	SOSF1	SORES1_ 1	SORSE1_ 0	SOFSEL1_ 1	SOFSEL1_ 0	TDM1	TDM0
		0	0	0	0	0	0	0	0
0Dh	SAO2 数据 格式	SOMS2	SOSF2	SORES2_ 1	SORSE2_ 0	SOFSEL2_ 1	SOFSEL2_ 0	Reserved	Reserved
		0	0	0	0	0	0	0	0

地址	功能	7	6	5	4	3	2	1	0
0Eh	RERR 屏蔽	Reserved	QCRCM	CCRCM	UNLOCK M	VM	CONFM	BIPM	PARM
		0	0	0	0	0	0	0	0
0Fh	中断屏蔽	PCCHM	OSLIPM	DETCM	CCHM	RERRM	QCHM	FCHM	SRC_ UNLOCK M
		0	0	0	0	0	0	0	0
10h	中断模式	Reserved	Reserved	Reserved	Reserved	RERR1	RERR0	SRC_ UNLOCK1	SRC_ UNLOCK0
		0	0	0	0	0	0	0	0
11h	接收器通道状态	AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH
12h	格式检测状态	PCM	IEC61937	DTS_LD	DTS_CD	HD_CD	DGTL_SIL	Reserved	Reserved
13h	接收器错误	Reserved	QCRC	CCRC	UNLOCK	V	CONF	BIP	PAR
14h	中断状态	PCCH	OSLIP	DETC	CCH	RERR	QCH	FCH	SRC_ UNLOCK
15h	PLL 状态	RX_ ACTIVE	ISCLK_ ACTIVE	PLL_LOCK	96KHZ	192KHZ	Reserved	Reserved	Reserved
16h	接收器状态	CS_ UPDATE	RCVR_ RATE1	RCVR_ RATE0	RX_LOCK	BLK_VER R	BLK_CER R	BLK_BER R	BLK_PER R
		0							
17h	F _s /X _{TI} 比率 1	FS_XT15	FS_XT14	FS_XT13	FS_XT12	FS_XT11	FS_XT10	FS_XT9	FS_XT8
18h	F _s /X _{TI} 比率 2	FS_XT7	FS_XT6	FS_XT5	FS_XT4	FS_XT3	FS_XT2	FS_XT1	FS_XT0
19h	Q 子码 1	CONTROL	CONTROL	CONTROL	CONTROL	ADDRESS	ADDRESS	ADDRESS	ADDRESS
1Ah	Q 子码 2	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
1Bh	Q 子码 3	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX

地址	功能	7	6	5	4	3	2	1	0
1Ch	Q 子码 4	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
1Dh	Q 子码 5	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
1Eh	Q 子码 6	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
1Fh	Q 子码 7	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
20h	Q 子码 8	ABS	ABS	ABS	ABS	ABS	ABS	ABS	ABS
		MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
21h	Q 子码 9	ABS	ABS	ABS	ABS	ABS	ABS	ABS	ABS
		SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
22h	Q 子码 10	ABS	ABS	ABS	ABS	ABS	ABS	ABS	ABS
		FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
23h	A 通道状态字节 0	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
24h	A 通道状态字节 1	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
25h	A 通道状态字节 2	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
26h	A 通道状态字节 3	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
27h	A 通道状态字节 4	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
28h	B 通道状态字节 0	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
29h	B 通道状态字节 1	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
2Ah	B 通道状态字节 2	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
2Bh	B 通道状态字节 3	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
2Ch	B 通道状态字节 4	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]

地址	功能	7	6	5	4	3	2	1	0
2Dh	头码 PC 字节 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
2Eh	头码 PC 字节 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]
2Fh	头码 PDC 字节 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
30h	头码 PD 字节 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]

8、软件模式寄存器位定义

下面的表格包含了寄存器位名称及相应的默认值。寄存器位上标注为“Reserved”的，必须保持其默认值。

8.1 MS8422N I.D.和版本号 (01h)

7	6	5	4	3	2	1	0
ID4	ID3	ID2	ID1	ID0	REV2	REV1	REVO
0	0	0	1	0	0	0	0

ID[4:0] - MS8422N的ID码。固定为00010

REV[2:0] - 010

8.2 时钟控制 (02h)

7	6	5	4	3	2	1	0
PDN	FSWCLK	SWCLK	RMCK_CTL1	RMCK_CTL0	INT1	INT0	Reserved
0	0	0	1	0	0	0	0

PDN - 控制内部时钟，允许MS8422N进入低功耗模式。该位写0后才允许MS8422N开始工作。当PDN被设置为0时，所有输入时钟的频率和相位必须稳定。

0 - 正常工作。

1 - 内部时钟停止。可操作静态控制端口，允许寄存器读写。功耗很低。

FSWCLK - 强制在RMCK管脚上输出XTI上的时钟而无视SWCLK位的功能或PLL是否锁定。

0 - RMCK管脚根据SWCLK位功能输出XTI上的时钟。

1 - 强制在RMCK管脚上输出XTI上的时钟而无视SWCLK位的功能。

SWCLK - 当PLL失锁时，RMCK管脚上输出XTI的时钟。在正常条件下，任何由RMCK派生的OSCLK或OLRCK都来自XTI时钟。

0 - 关闭时钟自动转换。

1 - PLL失锁时开启时钟自动转换。PLL失锁时，XTI上的时钟信号自动输出到RMCK。

RMCK_CTL[1:0] - RMCK控制

00 - RMCK作为输出，由输入的AES3数据的帧速率得到。

01 - RMCK作为输出，由ISCLK输入信号的64分频得到。仅串行音频输入端口从模式有效 (“串行音频输入数据格式 (0Bh)”中的SIMS = 0)。

10 - RMCK高阻。

11 - 保留

INT[1:0] - 中断输出管脚 (INT) 控制

00 - 高有效，输出高电平表示中断条件发生。

01 - 低有效，输出低电平表示中断条件发生。

10 - 漏极开路，低有效。需要在 INT 管脚上一个外部上拉电阻。

11 - 保留。

8.3 接收器输入控制 (03h)

7	6	5	4	3	2	1	0
RX_MODE	RXSEL1	RXSEL0	TXSEL1	TXSEL0	INPUT_TYPE	Reserved	Reserved
0	0	0	1	0	0	0	0

RX_MODE - 选择RX管脚的输入模式

0 - 接收器输入来自RXP1/RXN1和RXPO/RXNO输入的差分对信号。

1 - 接收器输入来自RX[3:0]输入的单端信号。

RX_SEL[1:0] - 接收器输入选择

00 - RX0或RXPO/RXNO

01 - RX1 (仅RX_MODE = 1有效)

10 - RX2或RXP1/RXN1

11 - RX3 (仅RX_MODE = 1有效)

TX_SEL[1:0] - 选择GPO管脚TX源的接收器输入

00 - RX0或RXPO/RXNO

01 - RX1 (仅RX_MODE = 1有效)

10 - RX2或RXP1/RXN1

11 - RX3 (仅RX_MODE = 1有效)

INPUT_TYPE - 选择接收器输入模式

0 - 模式1, 接收多路选择器的输入是偏置为VA/2的比较器输入。

1 - 模式2, 接收多路选择器的输入是以VA为基准的数字输入。仅RX_MODE = 1有效。

8.4 接收器数据控制 (04h)

7	6	5	4	3	2	1	0
TRUNC	HOLD1	HOLD0	CHS	DETCI	EMPH_CNTL2	EMPH_CNTL1	EMPH_CNTL0
0	0	0	0	0	1	0	0

TRUNC - 决定音频字长是否由输入通道状态中的数据 AUX[3:0]解码确定。最终的字长为 24 减 AUX[3:0]。

HOLD[1:0] - 当接收错误发生时, 对接收到的音频采样的处理

- 00 - 保持上一次音频采样
- 01 - 用 0 取代当前的音频采样 (静音)。
- 10 - 不改变接收到音频采样。
- 11 - 保留

CHS - 设置A/B通道中的C数据被解码到接收器通道状态寄存器 (11h)

- 0 - A通道
- 1 - B通道

如果CHS=0且TRUNC=1, 两个通道的音频数据都会依据A通道中的通道状态数据指示的AUX[3:0]缩减。如果CHS=1且TRUNC=1, 两个通道的音频数据都会依据B通道中的通道状态数据指示的AUX[3:0]缩减。即使A通道中的通道状态数据指示的AUX[3:0]和B通道中的通道状态数据指示的AUX[3:0]不相同。

DETCI - 禁止D到E的状态传输

- 0 - 允许更新
- 1 - 禁止更新

EMPH_CNTL[2:0] - 去加重滤波器控制。图 25 显示了去加重滤波器响应。

- 000 - 关闭去加重滤波器
- 001 - 设置 32kHz
- 010 - 设置 44.1kHz
- 011 - 设置 48kHz

100 - 自动检测采样率。如果PLL判断输入采样率低于49kHz, 那么去加重滤波器将根据输入的AES3或S/PDIF数据的通道状态数据来使用。如果PLL判断输入采样率不低于49kHz, 那么不使用去加重滤波器。如果输入的通道状态数据指示不使用去加重滤波器, 那么去加重滤波器就不启动。如果检测到的数据是非音频数据, 那么去加重滤波器就不会被启动。

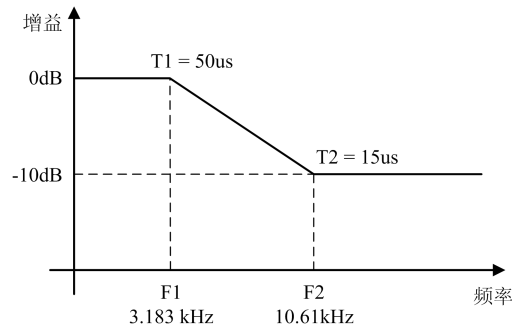


图25. 去加重滤波器响应

8.5 GPO控制1 (05h)

7	6	5	4	3	2	1	0
GPO0SEL3	GPO0SEL2	GPO0SEL1	GPO0SEL0	GPO1SEL3	GPO1SEL2	GPO1SEL1	GPO1SEL0
0	0	0	0	0	0	0	0

GPOxSEL[3:0] - GPO0和GPO1的源选择。表7为GPO[3:0]可用的输出。

8.6 GPO控制2 (06h)

7	6	5	4	3	2	1	0
GPO2SEL3	GPO2SEL2	GPO2SEL1	GPO2SEL0	GPO3SEL3	GPO3SEL2	GPO3SEL1	GPO3SEL0
0	0	0	0	0	0	0	0

GPOxSEL[3:0] - GPO2和GPO3的源选择。表7为GPO[3:0]可用的输出。

表7. GPO管脚配置

功能	码	定义
GND	0000	固定低电平
VL	0001	固定 VL 电平
EMPH	0010	输入数据流中的 EMPH 位状态
INT	0011	MS8422N 中断输出
C	0100	通道状态位
U	0101	用户数据位
RERR	0110	接收器错误。
NVERR	0111	无有效位的接收器错误（除了当有效位错误发生时无效，其余与 RERR 一致）。
RCBL	1000	接收器通道状态块
96KHZ	1001	描述见“PLL 状态 (15h)”

192KHZ	1010	描述见“PLL 状态 (15h)”
AUDIO	1011	输入数据流的非音频检测
VLCK	1100	虚拟 LRCK, 可用于 C 和 U 数据帧输出
TX	1101	通过设置“接收器输入控制 (03h)”中的 TXSEL[2:0]选择 AES/SPDIF 输入的通路
SRC_UNLOCK	1110	SRC 失锁指示
XTI_OUT	1111	缓冲输出 XTI-XTO

8.7 串行音频输入时钟控制 (07h)

7	6	5	4	3	2	1	0
SAI_CLK3	SAI_CLK2	SAI_CLK1	SAI_CLK0	SAI_MCLK	Reserved	Reserved	Reserved
0	1	0	0	0	-	-	-

SAI_CLK[3:0] - 当串行音频输入端口设置为主模式时 (SIMS=1, 如“串行音频输入数据格式 (0Bh)”中所示), 选择串行音频输入主时钟与ILRCK的比率。注意: 如果串行音频输出直接来源于串行音频输入, 在主模式中, SAI_CLK[3:0]将决定两个串行端口的MCLK/LRCK的比率。

0000 - ILRCK = MCLK/64

0001 - ILRCK = MCLK/96

0010 - ILRCK = MCLK/128

0011 - ILRCK = MCLK/192

0100 - ILRCK = MCLK/256

0101 - ILRCK = MCLK/384

0110 - ILRCK = MCLK/512

0111 - ILRCK = MCLK/768

1000 - ILRCK = MCLK/1024

SAI_MCLK - 当设置为主模式后, 选择串行音频输入的主时钟 (MCLK) 源 (SIMS=1, 如“串行音频输入数据格式 (0Bh)”中所示)。当设置为主模式后, ILRCK和ISCLK来源于寄存器中选择的MCLK。注意: 如果任意串行音频输出端口直接来源于串行音频输入端口, 当处于主模式时该位决定了选择的串行输出端口的主时钟源。

0 - XTI-XTO

1 - RMCK

8.8 SRC输出串行端口时钟控制 (08h)

7	6	5	4	3	2	1	0
SAO_CLK3	SAO_CLK2	SAO_CLK1	SAO_CLK0	SAO_MCLK	SRC_MCLK1	SRC_MCLK0	SRC_DIV
0	0	0	1	0	0	0	0

SAO_CLK[3:0] - 仅串行端口来源于SRC有效。当串行音频输出端口设置为主模式时，选择串行音频输入主时钟与OLRCK的比率（SOMS=1，如“串行音频输出数据格式-SDOUT1 (0Ch)”和“串行音频输出数据格式-SDOUT2 (0Dh)”）。

0000 - OLRCK = MCLK/64

0001 - OLRCK = MCLK/96

0010 - OLRCK = MCLK/128

0011 - OLRCK = MCLK/192

0100 - OLRCK = MCLK/256

0101 - OLRCK = MCLK/384

0110 - OLRCK = MCLK/512

0111 - OLRCK = MCLK/768

1000 - OLRCK = MCLK/1024

SAO_MCLK - 当设置为主模式后，选择来源于SRC的串行音频输出端的主时钟（MCLK）源（SOMS1或SOMS2=1，如“串行音频输出数据格式-SDOUT1 (0Ch)”和“串行音频输出数据格式-SDOUT2 (0Dh)”）。当设置为主模式后，OLRCK和OSCLK直接来源于该寄存器上选择的MCLK。

0 - XTI-XTO

1 - RMCK

SRC_MCLK[1:0] - 控制采样率转换器的主时钟（MCLK）源。详见“SRC主时钟”。

00 - XTI-XTO。如果XTI接GND或VL且XTO悬空，则SRC的主时钟为内部环形振荡器。

01 - PLL时钟

10 - 内部环形振荡器

11 - 保留

SRC_DIV - 对SRC主时钟二分频。仅SRC_MCLK = 00时有效。

0 - SRC主时钟不分频。SRC主时钟频率允许的最大值为33MHZ。

1 - SRC主时钟分频。SRC主时钟频率允许的最大值为49.152MHZ。

8.9 恢复的主时钟比率控制 (09h)

7	6	5	4	3	2	1	0
RMCK3	RMCK2	RMCK1	RMCK0	SRC_MUTE	Reserved	Reserved	Reserved
0	0	0	0	1	-	-	-

RMCK[3:0] - 当Fsi是输入 AES3 格式数据或 ISCLK/64 时，选择 RMCK/Fsi 的比率。注意：如果串行音频输出端口为主模式且直接来源于 AES3 接收器，那么 RMCK 是选择的串行输出端口的主时钟源，并且 RMCK[3:0] 决定了选择的串行输出端口 MCLK/OLRCK 的比率。

0000 - RMCK = 64 * Fsi

0001 - RMCK = 96 * Fsi

0010 - RMCK = 128 * Fsi

0011 - RMCK = 192 * Fsi

0100 - RMCK = 256 * Fsi

0101 - RMCK = 384 * Fsi

0110 - RMCK = 512 * Fsi

0111 - RMCK = 768 * Fsi

1000 - RMCK = 1024 * Fsi

SRC_MUTE - 当 SRC_MUTE 设置为 1 时，如果 SRC 未锁定，SRC 将软静音，重新锁定时将软件取消静音。

0 - 软静音禁用

1 - 软静音使能

8.10 数据路径控制 (0Ah)

7	6	5	4	3	2	1	0
SDOUT1_1	SDOUT1_0	SDOUT2_1	SDOUT2_0	MUTESAO	MUTESAO	SRCD	Reserved
0	0	0	1	1	2	0	-

SDOUT1[1:0] - 控制 SDOUT1 的数据源

00 - 采样率转换器

01 - AES3 接收器输出

10 - SDIN (SDIN 和 SDOUT 应同步)

11 - 保留

SDOUT2[1:0] - 控制SDOUT2的数据源

- 00 - 采样率转换器
- 01 - AES3接收器输出
- 10 - SDIN (SDIN和SDOUT应同步)
- 11 - 保留

MUTESAO1 - 串行音频输出端口1的静音控制

- 0 - SDOUT1不静音
- 1 - SDOUT1静音 (全部置0)

MUTESAO2 - 串行音频输出端口2的静音控制

- 0 - SDOUT2不静音
- 1 - SDOUT2静音 (全部置0)

SRCD - 控制采样率转换器的数据源

- 0 - 串行音频输入端口 (SDIN)
- 1 - AES3接收器输出

8.11 串行音频输入数据格式 (0Bh)

7	6	5	4	3	2	1	0
SIMS	SISF	SIFSEL2	SIFSEL1	SIFSEL0	Reserved	Reserved	Reserved
0	0	0	0	0	-	-	-

SIMS - 主/从模式选择

- 0 - 串行音频输入端口处于从模式。ISCLK和ILRCK作为输入。
- 1 - 串行音频输入端口处于主模式。ISCLK和ILRCK作为输出。

SISF - ISCLK频率。仅主模式有效 (SIMS = 1)。应在PDN为1时修改。详见表8。

表8. ISCLK/ILRCK比率和SISF设置

SAI_CLK[3:0]	MCLK/ILRCK 比率	ISCLK/ILRCK 比率	
		SISF = 0	SISF = 1
0000	64	64	无效
0001	96	48	96
0010	128	64	128
0011	192	48	96
0100	256	64	128
0101	384	48	96

0110	512	64	128
0111	768	48	96
1000	1024	64	128

SIFSEL[2:0] - 串行音频输入数据格式

000 - 左对齐, 最高24位数据

 001 - I²S, 最高24位数据

010 - 右对齐, 24位数据

011 - 右对齐, 20位数据

100 - 右对齐, 18位数据

101 - 右对齐, 16位数据

110,111 - 保留

8.12 串行音频输出数据格式-SDOUT1 (0Ch)

7	6	5	4	3	2	1	0
SOMS1	SOSF1	SOSES1_1	SOSES1_0	SOFSEL1_1	SOFSEL1_0	TDM1	TDM0
0	0	0	0	0	0	0	0

SOMS1 - 主/从模式选择

0 - 串行音频输出端口1处于从模式。OSCLK1和OLRCK1作为输入。

1 - 串行音频输出端口1处于主模式。OSCLK1和OLRCK1作为输出。

SOSF1 - OSCLK1频率。仅主模式有效 (SOMS1 = 1)。若果SDOUT1选择SRC作为数据源 (寄存器0Ah中的SDOUT1[1:0] = 00), 那么主时钟 (MCLK) 是SAO的主时钟 (寄存器08h中的SAO_MCLK位选择)。若果SDOUT1选择AES3接收器作为数据源 (寄存器0Ah中的SDOUT1[1:0] = 01), 那么主时钟 (MCLK) 是RMCK。应在PDN为1时修改。详见表9。注意: 如果串行音频输出端口1为主模式且直接来源于串行输入端口, 那么SAI_CLK[3:0]决定了MCLK/OLRCK1的比率。

表9. OSCLK1/OLRCK1比率和SOSF1设置

SAO_CLK[3:0], SAI_CLK[3:0], 或 RMCK[3:0]	MCLK/OLRCK1 比率	OSCLK1/OLRCK1 比率	
		SOSF1 = 0	SOSF1 = 1
0000	64	64	无效
0001	96	48	96
0010	128	64	128
0011	192	48	96

0100	256	64	128
0101	384	48	96
0110	512	64	128
0111	768	48	96
1000	1024	64	128

SOSES1[1:0] - SDOUT1上输出数据的分辨率

00 - 24位分辨率

01 - 20位分辨率

10 - 18位分辨率

11 - 16位分辨率

SOFSEL1[1:0] - SDOUT1上输出数据的格式

00 - 左对齐

01 - I²S

10 - 右对齐（仅主模式）

11 - AES3直接。直接复制来自AES3接收器接收到的NRZ数据包括C，U和V位。Z位被替换为用于指示数据块的起始位。仅串行端口直接来自AES3接收器有效。

TDM[1:0] - 对通过TDM_IN和SDOUT1或SDOUT2的数据启用时分复用(TDM)。详见“时分复用(TDM) 模式”。

00 - TDM模式不启用。串行音频格式由SOFSEL1[1:0]选择

01 - 启用通过TDM_IN和SDOUT1的TDM模式。SOFSEL1[1:0]在该模式下无效

10 - 启用通过TDM_IN和SDOUT2的TDM模式。SOFSEL2[1:0]在该模式下无效

11 - 保留

8.13 串行音频输出数据格式- SDOUT2 (0Dh)

7	6	5	4	3	2	1	0
SOMS2	SOSF2	SOSES2_1	SOSES2_0	SOFSEL2_1	SOFSEL2_0	Reserved	Reserved
0	0	0	0	0	0	-	-

SOMS2 - 主/从模式选择

0 - 串行音频输出端口2处于从模式。OSCLK2和OLRCK2作为输入。

1 - 串行音频输出端口2处于主模式。OSCLK2和OLRCK2作为输出。

SOSF1 - OSCLK2频率。仅主模式有效（SOMS2 = 1）。若果SDOUT2选择SRC作为数据源（寄存器0Ah中的SDOUT2[1:0] = 00），那么主时钟（MCLK）是SAO的主时钟（寄存器08h中的SAO_MCLK位选择）。

若果SDOUT2选择AES3接收器作为数据源（寄存器0Ah中的SDOUT2[1:0] = 01），那么主时钟（MCLK）是RMCK。应在PDN为1时修改。详见表10。注意：如果串行音频输出端口2为主模式且直接来源于串行输入端口，那么SAI_CLK[3:0]决定了MCLK/OLRCK1的比率。

表10. OSCLK2/OLRCK2比率和SOSF2设置

SAO_CLK[3:0], SAI_CLK[3:0], 或 RMCK[3:0]	MCLK/OLRCK2 比率	OSCLK2/OLRCK2 比率	
		SOSF2 = 0	SOSF2 = 1
0000	64	64	无效
0001	96	48	96
0010	128	64	128
0011	192	48	96
0100	256	64	128
0101	384	48	96
0110	512	64	128
0111	768	48	96
1000	1024	64	128

SOSES2[1:0] - SDOUT2上输出数据的分辨率

00 - 24位分辨率

01 - 20位分辨率

10 - 18位分辨率

11 - 16位分辨率

SOFSEL2[1:0] - SDOUT2上输出数据的格式

00 - 左对齐

01 - I²S

10 - 右对齐（仅主模式）

11 - AES3直接。直接复制来自AES3接收器接收到的NRZ数据包括C，U和V位。Z位被替换为用于指示数据块的起始位。仅串行端口直接来自AES3接收器有效。

8.14 接收器错误屏蔽（0Eh）

7	6	5	4	3	2	1	0
Reserved	QCRCM	CCRCM	UNLOCKM	VM	CONFM	BIPM	PARM
-	0	0	0	0	0	0	0

该寄存器能屏蔽接收器错误寄存器相应的位。如果屏蔽位被置1，则不屏蔽该错误，表示它将出现在接收器错误寄存器中，并且会影响RERR[6:0]、RERR中断、并根据HOLD位的状态影响当前的音频采样。如果屏蔽位被置0，则该错误被屏蔽，接收器错误寄存器不会置位，不会影响RERR管脚，RERR中断，和HOLD位设置的当前音频采样。CCRC和QCRC位和其它位不同：即使未屏蔽，它们也不会影响当前的音频采样。如果QCRC、CCRC、CONF、BIP或PARM未屏蔽，且寄存器0Fh中的RERRM也未屏蔽，那么在中断模式寄存器（寄存器10h）中的RERR[1:0]应设置为“上升沿有效”。该寄存器默认设置为00h。

8.15 中断屏蔽（0Fh）

7	6	5	4	3	2	1	0
PCCHM	OSLIPM	DETCM	CCHM	RERRM	QCHM	FCHM	SRC_UNLOCKM
0	0	0	0	0	0	0	0

该寄存器能屏蔽中断状态寄存器所接收的中断。如果屏蔽位被置1，则该错误未屏蔽，表明中断发生将会影响INT管脚和状态寄存器。如果屏蔽位被置0，则屏蔽该错误，中断发生将不会影响INT管脚和状态寄存器。该寄存器的位与中断状态寄存器位一一对应。该寄存器默认为00h。

INT信号可在GPO管脚输出。

8.16 中断模式（10h）

7	6	5	4	3	2	1	0
Reserved	Reserved	Reserved	Reserved	RERR1	RERR0	SRC_UNLOCK1	SRC_UNLOCK0
-	-	-	-	0	0	0	0

中断模式控制了INT管脚上RERR和SRC_UNLOCK的中断行为。可以设置INT管脚上3种相应的有效中断条件。在上升沿有效模式，中断条件发生时INT管脚变为有效状态。在下降沿有效模式，中断条件结束时INT管脚变为有效状态。在电平有效模式，在中断条件发生过程中INT管脚变为有效状态。注意有效电平（高或低）只取决于INT[1:0]位。该寄存器默认为00h。在这里没有展示的中断状态寄存器的中断都是上升沿有效。

00 - 上升沿有效

01 - 下降沿有效

10 - 电平有效

11 - 保留

8.17 接收器通道状态（11h）

7	6	5	4	3	2	1	0
AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH

该寄存器与A或B通道接收到的数据相关。通过“接收器数据控制（04h）”寄存器上的CHS位来选

择。

AUX[3:0] - 输入辅助数据的位宽，由输入的通道状态位指示，依据 IEC60958 和 AES3 解码。

0000 - 无辅助数据

0001 - 辅助数据的长度是 1 位

0010 - 辅助数据的长度是 2 位

0011 - 辅助数据的长度是 3 位

0100 - 辅助数据的长度是 4 位

0101 - 辅助数据的长度是 5 位

0110 - 辅助数据的长度是 6 位

0111 - 辅助数据的长度是 7 位

1000 - 辅助数据的长度是 8 位

1001 - 1111 保留

PRO - 指出通道状态块格式

0 - 接收到的通道状态块是消费者格式。

1 - 接收到的通道状态块是专家格式。

COPY - SCMS 版权指示

0 - 显示版权。

1 - 不显示版权。如果输入的 AES3 数据流中的类别码设置为通用码，由 COPY 位指示版权，即使数据流中指示没有版权。

ORIG - SCMS 代指示，由类别码和 L 位解码。

0 - 接收到的数据是第一代或更高。

1 - 接收到的数据是原始数据

注意：如果输入数据是专用格式或接收器不使用，COPY和ORIG都将被置1。

EMPH - 指示输入数据是否预加重。也指出在去加重自动选择模式中启动去加重滤波器。

0 - 表示 50µs/15µs 预加重。

1 - 表示无 50µs/15µs 预加重。

8.18 格式检测状态 (12h)

7	6	5	4	3	2	1	0
PCM	IEC61937	DTS_LD	DTS_CD	HD_CD	DGTL_SIL	Reserved	Reserved

注意：PCM，DTS_LD，DTS_CD 和 IEC61937 是互斥的。1 表示检测出格式。

PCM - 检测到未压缩的 PCM 数据。

IEC61937 - 检测到 IEC61937 数据。

DTS_LD - 检测到 DTS_LD 数据。

DTS_CD - 检测到 DTS_CD 数据。

HD_CD - 检测到 HD_CD 数据。

DGTL_SIL - 数字静音检测：两个通道中至少有2047个连续不变的24位音频采样。

8.19 接收器错误 (13h)

7	6	5	4	3	2	1	0
Reserved	QCRC	CCRC	UNLOCK	V	CONF	BIP	PAR

该寄存器包含了 AES3 接收器状态位。当错误发生时，未屏蔽的位将会变高，且会保持到该寄存器被读取。除非接收器错误中断模式设置为电平有效，且错误源仍然存在，否则读寄存器会使所有位复位到 0。若接收器错误屏蔽寄存器中的位设置为屏蔽状态，则该寄存器一直为 0。

QCRC - Q 子码数据 CRC 错误指示。在 Q 子码块边界更新。

0 - 无错误。

1 - 有错误。

CCRC - 通道状态块 CRC 错误指示。在通道状态数据块边界更新，在专业用格式有效。

0 - 无错误。

1 - 有错误。

UNLOCK - 当接收器来自 AES3 数据时的锁定状态。在通道状态数据块边界更新。

0 - 接收器锁定。

1 - 接收器失锁。

V - 接收到的 AES3 的有效位的状态。在子帧边界更新。

0 - 数据有效，且是正常的线性编码 PCM 音频。

1 - 数据无效，或是有效的压缩音频。

CONF - 可靠性位。在子帧边界更新。

0 - 无错误。

1 - 有错误。由于抖动恶化，输入数据流可能出现错误情况。

BIP - 双相编码错误位。在子帧边界更新。

0 - 无错误。

1 - 有错误。指示在接收到的双相编码数据有错误。

PAR - 奇偶校验位。在子帧边界更新。

0 - 无错误。

1 - 有错误。

8.20 中断状态 (14h)

7	6	5	4	3	2	1	0
PCCH	OSLIP	DETC	CCH	RERR	QCH	FCH	SRC_UNLOCK

对于该寄存器中的位，1 表示在寄存器最后一次读取后对应的中断至少发生过一次。0 表示在寄存器最后一次读取后相应的中断没有发生。除非中断模式设置为电平有效，且中断源一直存在，否则读寄存器将使所有位复位到 0。屏蔽寄存器设置为屏蔽状态，则该寄存器中相应的状态位一直为 0。

PCCH - PC 脉冲头码变化。

指出 PC 字节与先前的值发生变化。如果格式检测状态寄存器中的 IEC61937 位变高，即使 PC 字节未发生改变，也会引起一个 PCCH 中断。

OSLIP - 串行音频输出端口数据迟滞中断。

当串行音频输出端口在从模式下，且 OLRCK 与端口数据源异步，该位会在每次数据采样滞后或重复时变高。详见“串行端口时钟操作”。

DETC - D 到 E 的 C 缓冲器传输中断。

指出 D 到 E 的 C 缓冲器一次传输的完成。详见“通道状态缓冲器管理”。

CCH - C 数据变化。

指出当前 10 个字节的通道状态与先前 10 个字节不同。（每个通道 5 字节）

RERR - 发生一个接收器错误。

读取接收器错误寄存器可确定引起中断的错误原因。

QCH - 一个新的 Q 子码块可用于读取。

数据必须在中断发生后的 588 AES3 个帧内读取，以避免下被下一个数据块覆盖。

FCH - 格式改变。

在格式检测状态寄存器中的 PCM, IEC61937, DTS_LD, DTS_CD, 或 DGTL_SIL 位由 0 变 1 时，该位会变高。但在格式检测状态寄存器中的这些位由 1 变 0 时，不会产生中断。

SRC_UNLOCK - SRC 失锁。

指出 SRC 不能输出有效数据。

8.21 PLL 状态 (15h)

7	6	5	4	3	2	1	0
RX_ACTIVE	ISCLK_ACTIVE	PLL_LOCK	96KHZ	192KHZ	Reserved	Reserved	Reserved

RX_ACTIVE - 接收器有效

0 - RX 管脚上无连接。

1 - RX管脚上有连接信号。

ISCLK_ACTIVE - ISCLK有效

0 - ISCLK管脚上无连接，或连接信号的频率小于36KHz。

1 - ISCLK管脚上连接信号的频率至少1.536MHz。

PLL_LOCK - PLL锁定

0 - PLL未锁定。

1 - 无论是来自AES3或ISCLK输入的信号，PLL都锁定。

96KHZ - 指出输入AES3数据的采样率范围（Fsi）。如果Fsi≤49KHz或Fsi≥1220KHz，该位将输出0。如果60KHz≤Fsi≤98KHz，该位输出1。否则输出不确定。

192KHZ - 指出输入AES3数据的采样率范围（Fsi）。如果Fsi≤98KHz，该位将输出0。如果Fsi≥120KHz，该位输出1。否则输出不确定。

8.22 接收器状态（16h）

7	6	5	4	3	2	1	0
CS_UPDATE	RCVR_RATE1	RCVR_RATE0	RX_LOCK	BLK_VERR	BLK_CERR	BLK_BERR	BLK_PERR
0	-	-	-	-	-	-	-

CS_UPDATE - 决定通道状态寄存器和RCVR_RATE是否在出现的接收器错误上更新。

0 - 通道状态寄存器和RCVR_RATE在每一个AES3块边界更新。

1 - 在接收通道状态块中，若无双相编码，可靠性，奇偶校验或CRCC错误发生，则通道状态寄存器和RCVR_RATE在每一个AES3块边界更新。

RCVR_RATE - 输入AES3数据的通道状态数据所指示的输入采样率。

00 - Reserved

01 - 32KHz

10 - 44.1KHz

11 - 48KHz

RX_LOCK - AES3接收器PLL锁定

0 - 超过2个Z头码PLL还未锁定或AES3输入没有到PLL。

1 - 当选择AES3输入到PLL时，在PLL锁定后的2个Z头码，变高。

BLK_VERR - 块有效位错误。在DETC边界更新

0 - 在最后输入的AES3数据块中，有效位为低。

1 - 在最后输入的AES3数据块中，有效位为高。

BLK_CERR - 块可靠性错误。在DETC边界更新

- 0 - 在最后输入的AES3数据块中，相关的可靠性位为高。
- 1 - 在最后输入的AES3数据块中，相关的可靠性位为低。

BLK_BERR - 块双相编码错误。在DETC边界更新

- 0 - 在最后输入的AES3数据块中，没有相关的双相编码错误。
- 1 - 在最后输入的AES3数据块中，至少有一个相关的双相编码错误。

BLK_PERR - 块奇偶校验错误。在DETC边界更新

- 0 - 在最后输入的AES3数据块中，没有相关的奇偶校验错误。
- 1 - 在最后输入的AES3数据块中，至少有一个相关的奇偶校验错误。

8.23 Fs/XTI比率 (17h - 18h)

7	6	5	4	3	2	1	0
FS_XT15	FS_XT14	FS_XT13	FS_XT12	FS_XT11	FS_XT10	FS_XT9	FS_XT8
FS_XT7	FS_XT6	FS_XT5	FS_XT4	FS_XT3	FS_XT2	FS_XT1	FS_XT0

FS_XT[15:0] - $256 * F_s / X_{TI}$ ，其中 F_s 是输入AES3数据的采样率。

FS_XT[15:0]中的整数部分是寄存器17h中的位[15:10]，小数部分是寄存器17h和18h中的位[9:0]；在 F_s 中精度为300Hz并且大约每 $2048 / (X_{TI} \text{频率})$ 更新。读寄存器17h将使18h的值冻结，直到读取寄存器18h。

8.24 Q通道子码 (19h - 22h)

7	6	5	4	3	2	1	0
CONTROL	CONTROL	CONTROL	CONTROL	ADDRESS	ADDRESS	ADDRESS	ADDRESS
TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX
MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
ABS	ABS	ABS	ABS	ABS	ABS	ABS	ABS
MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
ABS	ABS	ABS	ABS	ABS	ABS	ABS	ABS
SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND

ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME
--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------

80位Q子码中的每个字节是以最低有效位开始。因此，地址19h的位7对应Q[0]，地址19h的位0对应Q[7]。相同地，地址22h的位0对应Q[79]。

8.25 通道状态寄存器（23h - 2Ch）

地址	通道状态字节	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
23h	A 通道状态字节 0	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
24h	A 通道状态字节 1	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
25h	A 通道状态字节 2	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
26h	A 通道状态字节 3	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
27h	A 通道状态字节 4	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
28h	B 通道状态字节 0	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
29h	B 通道状态字节 1	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
2Ah	B 通道状态字节 2	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
2Bh	B 通道状态字节 3	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
2Ch	B 通道状态字节 4	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]

关于80个通道状态位的每一个字节都是以最高有效位开始的。因此，地址23h中的位0，AC0[0]，是Pro位的位置。对于N为0-79的任意个数，通道状态位N（按照AES规格）在地址23h+floor（N/8）

（23h+N除以8的近似下取整）上映射到位N模8（N除以8的余数）。例如：通道状态位35映射到地址为27h（23h+4h）的位3（35/8=4余3）。

8.26 IEC61937 PC/PD头码（2Dh - 30h）

地址	头码字节	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
2Dh	PC 头码字节 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
2Eh	PC 头码字节 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]
2Fh	PD 头码字节 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
30h	PD 头码字节 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]

9、应用

9.1 复位，掉电和启动

当 $\overline{\text{RST}}$ 为低时，MS8422N进入低功耗模式，所有内部状态复位，并且输出禁用。在 $\overline{\text{RST}}$ 由低变高

后，在器件的配置管脚（MS_SEL和SAOF）检测电阻值，设置为相应的工作模式。在模式设置后（大约4 μ s），MS8422N进入正常工作且所有输出都是有效的。

9.2 供电电源，地和PCB布局

MS8422N可以在VA = +3.3V和VL = +1.8V至+5.0V供电下工作。这些电压可以独立设置。按照正常的电源去耦，详见“典型应用图”。

推荐在未使用区域填满地层和在表面放去耦合电容。去耦合电容需放置在PCB板的同一边，使MS8422N的电感效应最低，且所有去耦合电容必须尽可能的靠近MS8422N。没有连接到MS_SEL和SAOF管脚配置的电阻端要尽可能连到VL或DGND。

9.3 外部接收器元件

MS8422N的AES3接收器可用于专业和消费者模式接口。使用专业数字音频规格需要一个对称的接收器，使用带110 Ω ±20%阻抗的XLR连接器。在接收器上的XLR连接器需有带阳极外壳的阴极管脚。由于接收器有非常高的输入阻抗，接收器的末端应放置一个110 Ω 的电阻以匹配导线阻抗，如图26和27所示。尽管AES没有规定变压器，但强烈推荐使用变压器。

如需在使用变压器时隔离，一个0.01 μ F的电容应串联在每个输入管脚（RXP[3:0]和RXN[3:0]），如图27所示。当不使用变压器时，由于高频能量会耦合到接收器，导致模拟性能的降低。

图26和27显示了一个可选择的（推荐）直流隔离电容（0.1 μ F-0.47 μ F）串联在电缆输入。如果在电缆中存在直流电压，电容可以改善接收器的可靠性，防止变压器饱和，隔离直流电流。

图28的电路显示了在接收器输入模式1（模拟敏感模式）中在4个单端信号的输入电路上的转换。如果用户要求在单端消费者接口和差分接口之间转换，MS8422N必须处于差分模式并且图29的输入电路应该用作单端源。标准的消费者接口调用有75 \pm 5%阻抗的接收器电阻。消费者接口的连接器是一个RCA唱机插座。

图30的电路显示了在输入电路在多达4个单端的TTL或CMOS信号之间的切换，并且应该在S/PDIF接收器处于接收器输入模式2下使用。如果要求在CMOS或TTL源和差分源之间切换，那么MS8422N必须处于差分模式，且图31的输入电路必须用作单端数据源。如果要求在模式1的单端源和TTL或CMOS源之间切换，那么图31中的电路应该用作CMOS/TTL源（在这种情况下不显示RXN连接）。

在系统结构中，使用地环路和避免直流电流击穿电缆的屏蔽层是非常重要的，因为这会避免不同隔离的地连接在一起。通常推荐将传输单元底板的屏蔽层接地，且通过电容连接屏蔽层到接收器的底板地。然而，在某些情况下，它却有利于两个接地的装置保持在相同电位，且可依据电缆屏蔽层关闭电路连接。通常情况下，推荐接地或电容耦合到底板的屏蔽层。

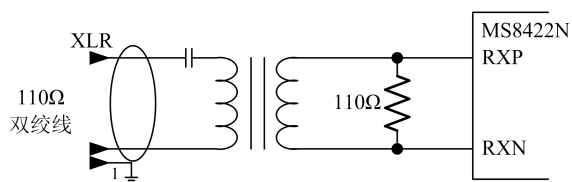


图26. 专业格式输入电路-差分模式

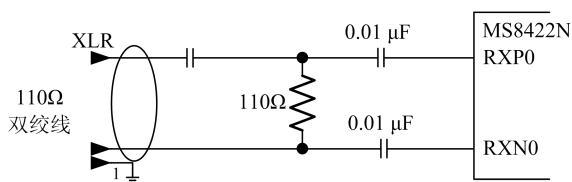


图27. 无变压器的专业格式输入电路-差分模式

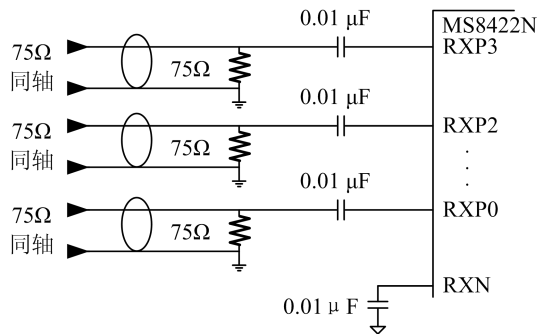


图28. S/PDIF多路选择输入电路-单端

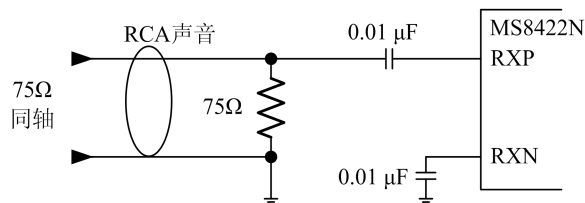


图29. 接收器模式1单端输入电路-差分模式

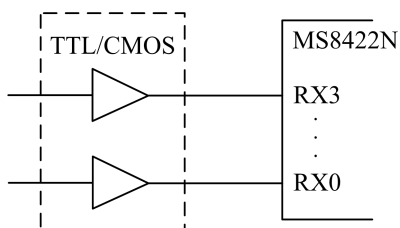


图30. S/PDIF多路选择输入电路-数字模式

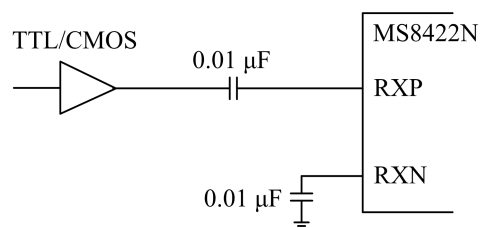
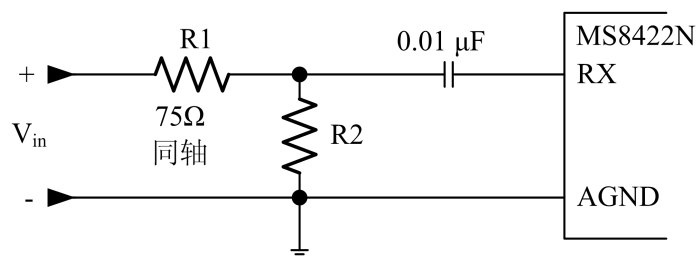


图31. TTL/CMOS输入电路-差分模式

9.3.1 衰减输入信号

在所有工作模式中，限制RX、RXP和RXN管脚输入信号的振幅小于等于+3.3V。在某些情况下，有必要减弱输入信号使得输入的信号在有效工作范围。图32和33显示了在单端和差分输入模式下应该如何连接电路。在两种情况下，等式（1）和（2）必须同时满足。



$$(1) R2 = 247.5/V_{in}$$

$$(2) R1 = 75 - R2$$

图32. 接收器输入衰减-单端输入

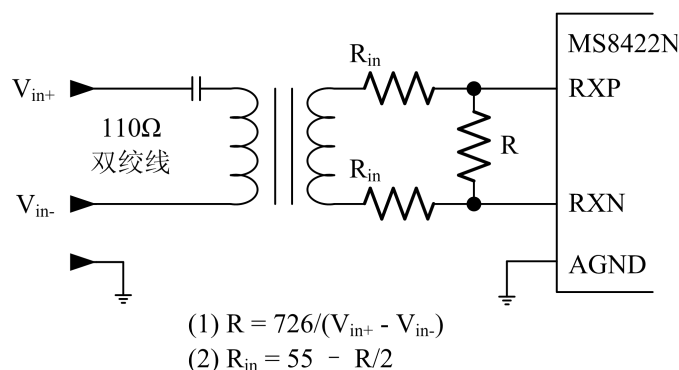


图33. 接收器输入衰减-差分输入

9.4 通道状态缓冲器处理

9.4.1 AES3通道状态位（C）处理

MS8422N 包含足够的 RAM 存储 A 和 B 通道前 5 个字节的 C 数据（ $5 \times 2 \times 8 = 80$ bits）。用户可以通过控制端口读取 RAM 的数据。

如图 34 所示，缓冲电路包括两个缓冲器，D 和 E。每个字节的最高有效位代表串行 C 数据流中的第一位。例如，字节 0 的最高有效位（在寄存器地址 23h）是通道状态块 A 的消费/专业位。

第一个缓冲器（D）接收来自 AES 接收器输入的 C 数据。第二个缓冲器（E）接收来自 D 缓冲器中的完整数据块。E 缓冲器也可通过控制端口读取，允许读取 C 数据的前 5 的字节。

完整的 C 数据可通过硬件模式的 C 管脚和软件模式的 GPO 管脚获得。C 数据在 OLRCK 或 VLRCK 的上升沿和下降沿从 MS8422N 中串行输出。

有许多种条件可以禁止缓冲器更新。如果“接收器状态（16h）”中的 CS_UPDATE 位设置为 0，唯一禁止更新的条件是 PLL 失锁。如果“接收器状态（16h）”中的 CS_UPDATE 位设置为 1，双相编码错误、可靠性错误、奇偶校验错误或 CRC 错误也会禁止更新。

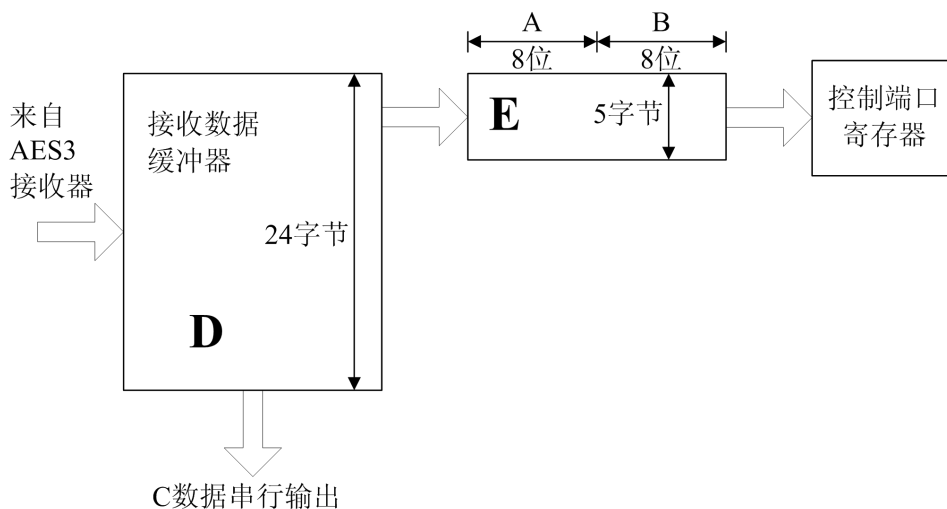


图34. 通道状态数据缓冲器结构

9.4.2 E缓冲器访问

用户可以通过控制端口读取 E 缓冲器来监测输入的数据，其中 E 缓冲器直接映射到 MS8422N 的寄存器空间。

用户可以配置中断使能寄存器，每当 D 到 E 缓冲器传输时产生中断。这样可以确定与 E 缓冲器通信所允许的时间。

在寄存器“接收器数据控制 (04h)”中提供了 D 到 E 的禁止位。可用于控制端口通信或排除故障。

图 35 显示了读取 E 缓冲器的流程。在读取后发生一个 D 到 E 的中断到下一个 D 到 E 的传输中，有一个充足的时间间隔（大约为 192 帧的时间）。在下一个传输没有被禁止时，通常有足够的时间读取 E 缓冲器的数据。

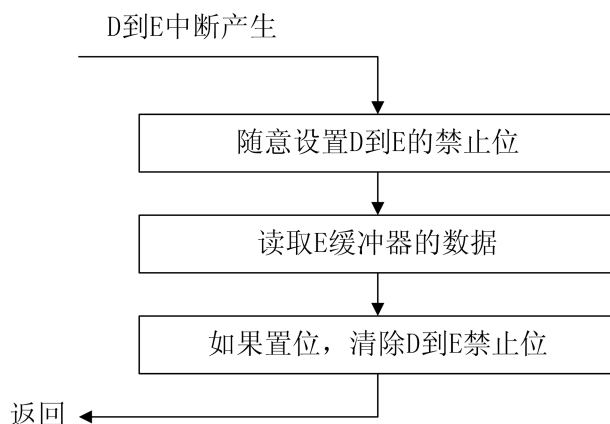


图35. E缓冲器的读取流程

9.4.3 串行复制管理系统 (SCMS)

在软件模式，MS8422N 允许读取所有的通道状态位。在消费者模式下的 SCMS，主机微控制器需要相应地读取和编译类型码，复制位和 L 位。

在硬件模式，SCMS 协议可以使用 C 位串行输出管脚。详见“通道状态和用户数据处理”。

9.5 抖动衰减

图36显示了MS8422N的PLL抖动衰减特性。AES3和IEC60958-4协议规定了最大2dB的抖动增益或脉冲尖峰。

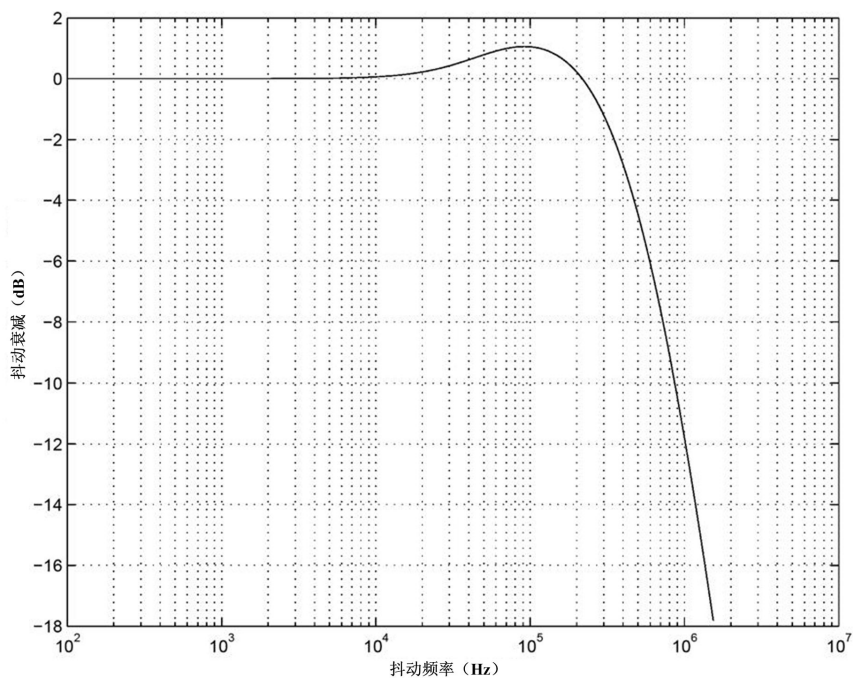


图36.MS8422N的PLL抖动衰减特性

9.6 抖动容限

MS8422N满足AES-3和IEC60958-4协议要求的抖动容限。图37显示了MS8422N所测试的接收器抖动容限，这与AES3和IEC60958-4协议的要求一致。

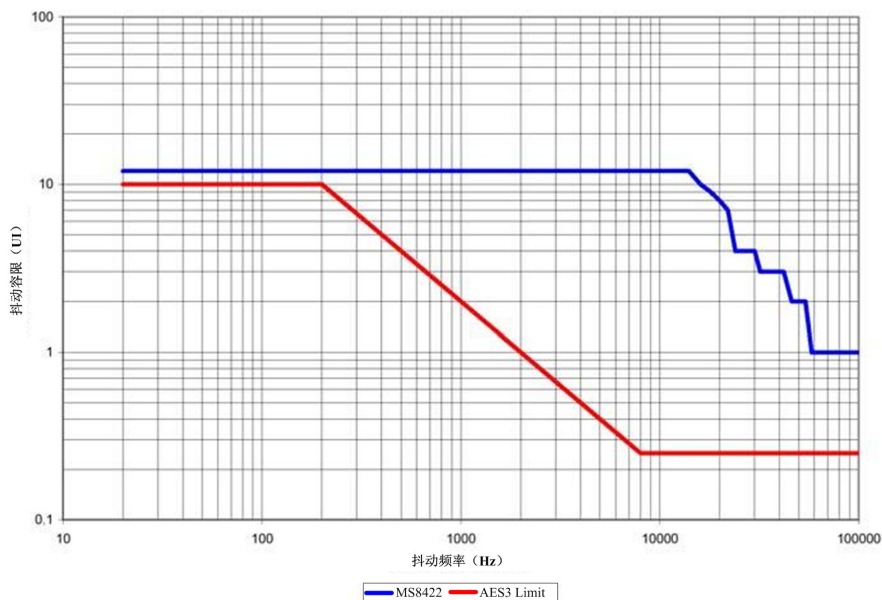


图37. 抖动容限模板

9.7 群延时

MS8422N的群组延时取决于选择的接口类型和采样率转换器中输入输出的采样率。MS8422N中使用采样率转换器的群延时表达式如下所示，其中除了AES3直接模式外的接口延时是3个OLRCK周期，AES3直接模式的接口延时是2个OLRCK周期。如果不使用采样率转换器，那么相应的群延时等于接口延时。

$$\text{总群延时} = \left(\frac{8.7}{F_{si}} + \frac{5}{F_{so}} + \text{接口延时} \right)$$

典型应用图

1. 软件模式

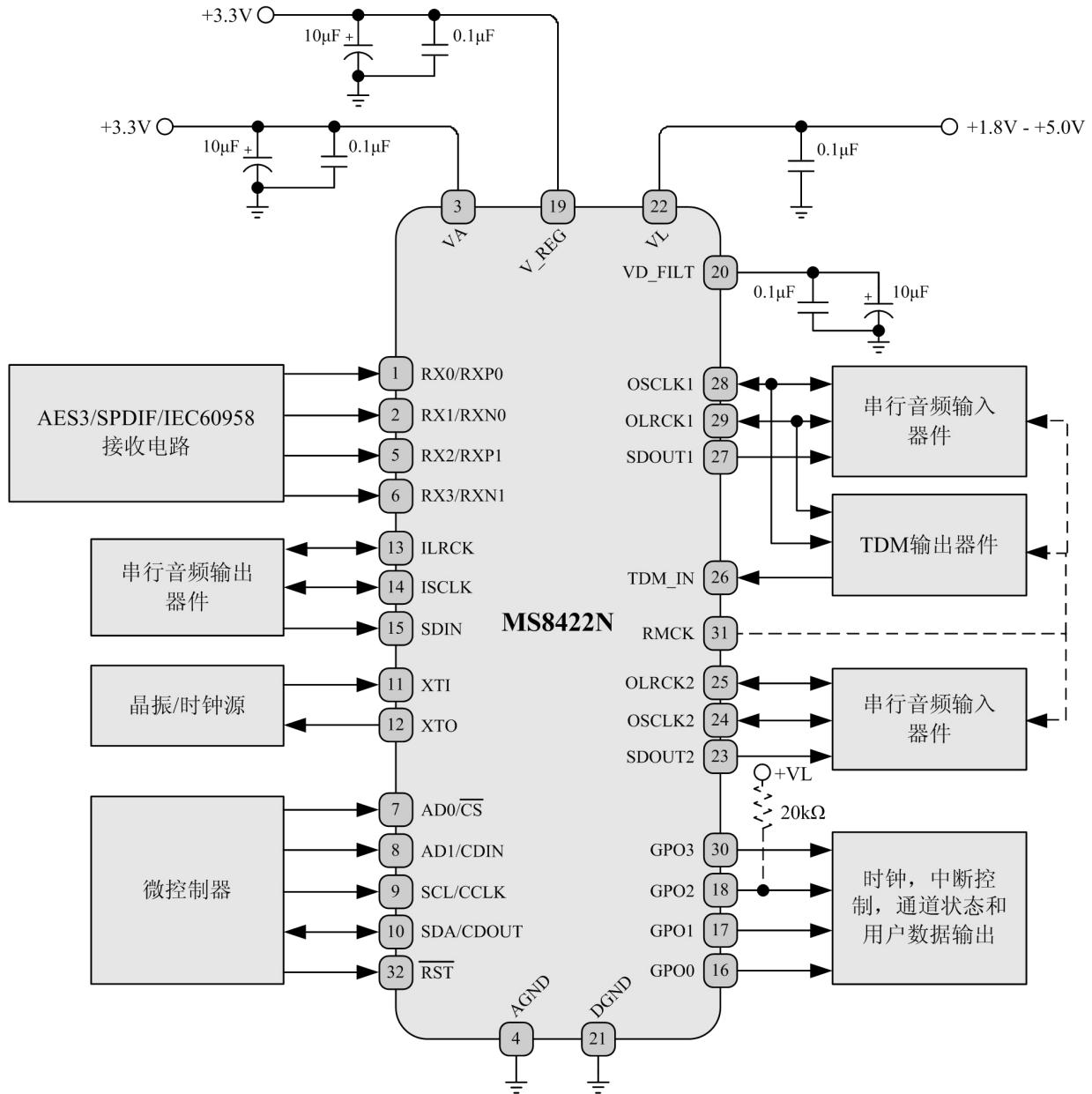


图 38. 软件模式下典型连接图

2. 硬件模式

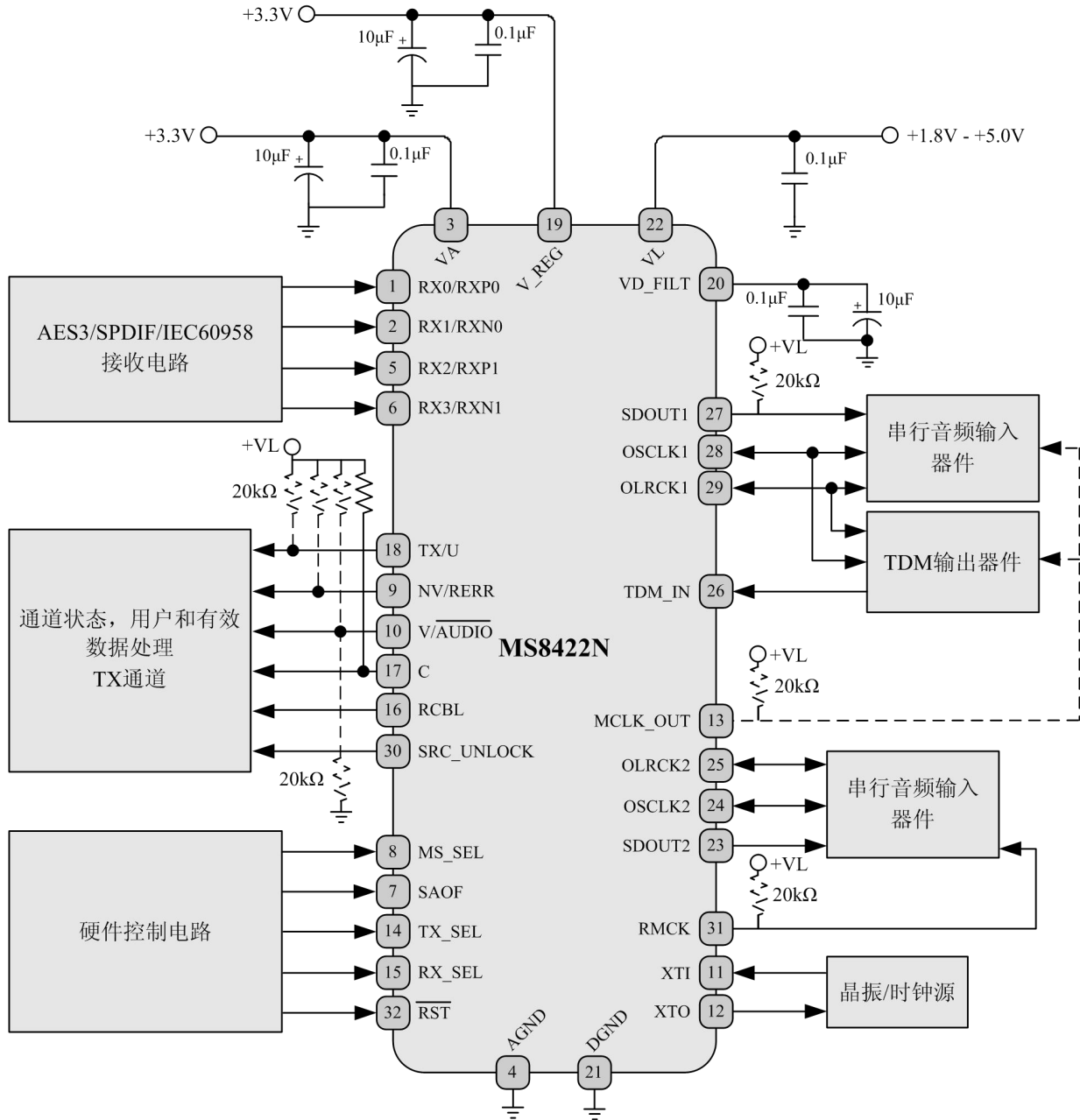
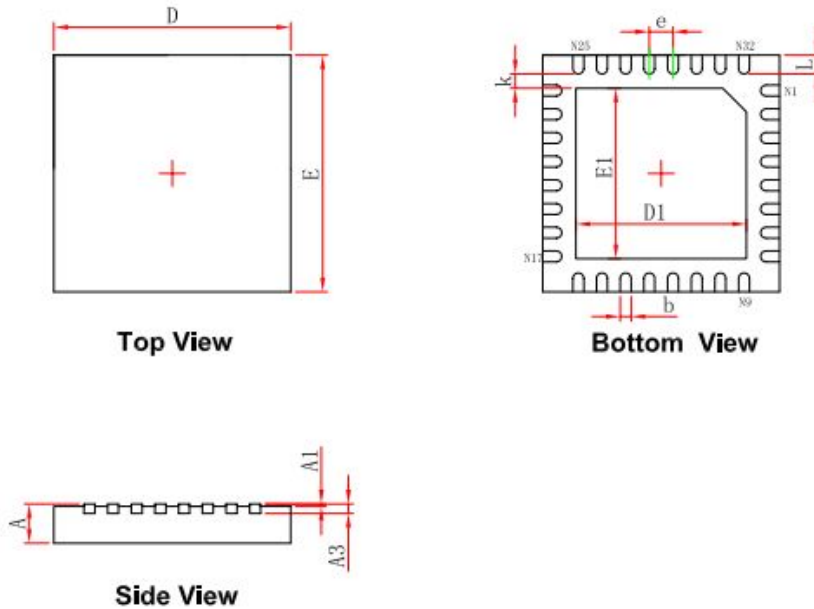


图 39. 硬件模式下典型连接图

封装外形图

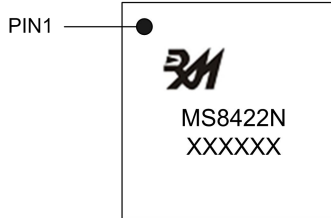
QFN32（背部带散热片）：



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019

印章与包装规范

一、印章内容介绍



MS8422N: 产品型号

XXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS8422N	QFN32	1000	8	8000	4	32000



MOS电路操作注意事项:

静电在很多地方都会产生, 采取下面的预防措施, 可以有效防止MOS电路由于受静电放电的影响而引起的损坏:

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)