

10MHz 至 80MHz, 10: 1 LVDS 并串转换器^① (串化器) / 串并转换器^② (解串器)

特征:

100Mbps 至 800Mbps 串行 LVDS 数据有效负载带宽在 10MHz 至 80MHz 的系统时钟之间
芯片功耗在 80MHz 输入时, 小于 550mW (典型值)
使用同步模式可快速锁定时钟
锁定指示器
不需要外部单元提供 PLL
28 引脚 SSOP 封装
满足工业级温度要求, 温度范围-40°C—85°C
时钟可编程边沿触发
流向行引脚排序, 易于 PCB 版图布局

应用:

无线基站
底板互连 (Backplane Interconnect)
数字用户线接入复用器 (DSLAM)

描述:

MS1023 串化器和 MS1224 解串器由一对 10bits 并串/串并转换芯片, 用于 LVDS 差分底板上传输和接收 10MHz 至 80MHz 的并行字速率的串行数据。加载起始停止位后, 转换为一个串行数据速率在 120Mbps 至 960Mbps 负载编码的输出。

上电时, 这一对芯片可通过一个内部产生的 SYNC 样本信号同步模式或者解串器可同步到随机数据来初始化。通过使用同步模式, 解串器可在特定的、更短的时间参数内建立锁定。

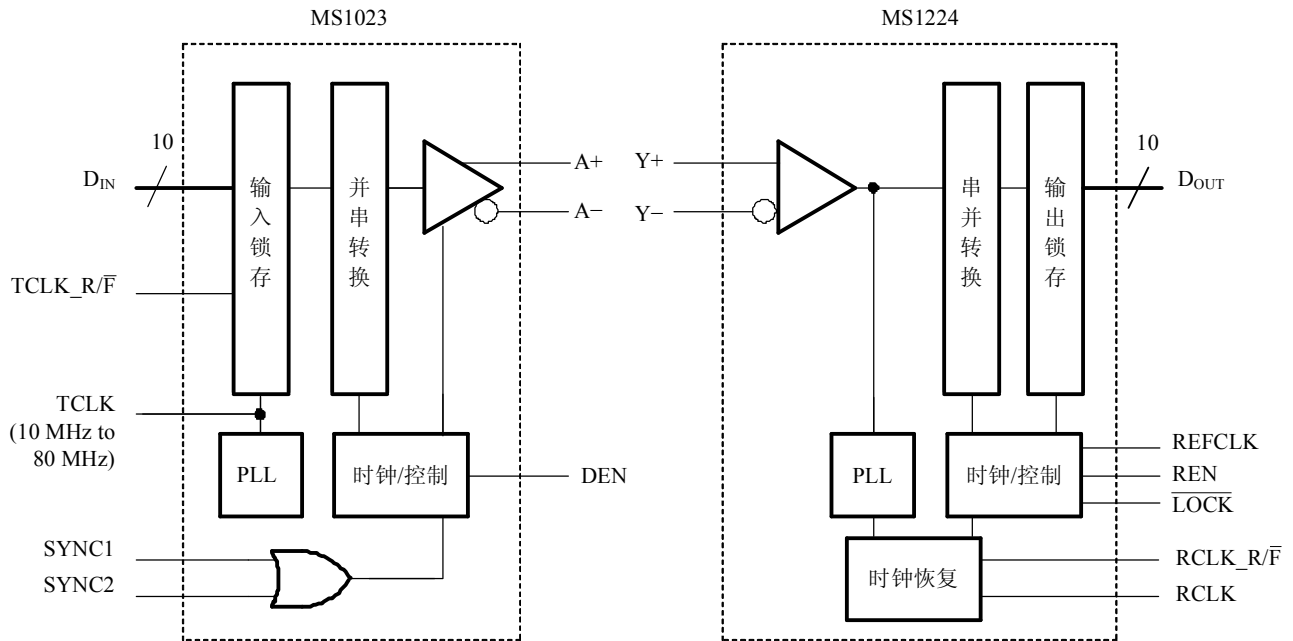
当没有数据传输要求, 设备可被设定并进入到掉电模式。另外, 一种模式可以通过设置输出脚为高阻态以避免 PLL 失锁。

MS1023 和 MS1224 具有工作周围空气温度范围为-40°C 至 85°C 的特征。

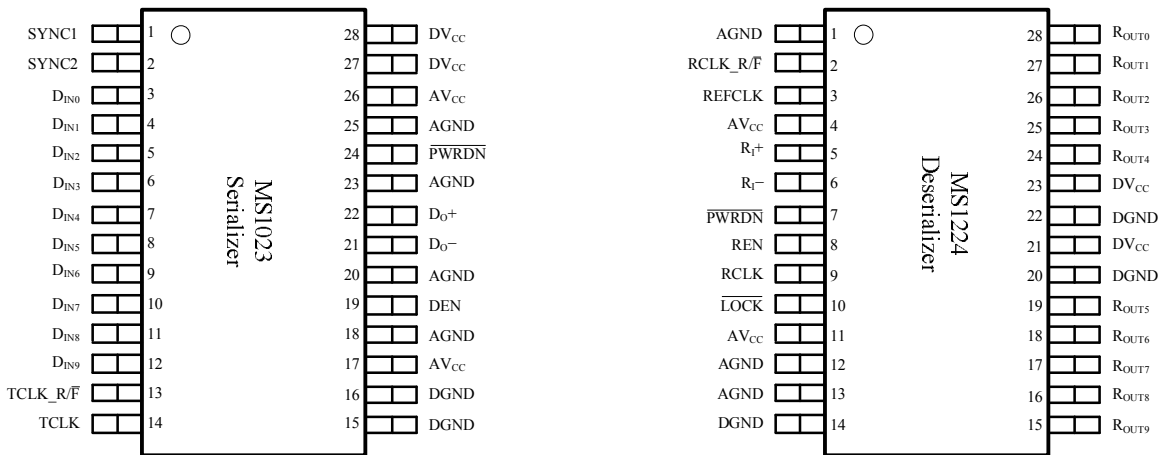
^① 并串转换器, 在这里简称串化器, 除特殊说明外。

^② 串并转换器, 在这里简称解串器; 除特殊说明外。

模块框图:



芯片引脚图:



功能描述:

MS1023 和 MS1224 是一对 10 位串化/解串器芯片，为在 10MHz 至 80MHz 通过差分背板或双绞线 (UTP) 传输数据而设计。这一对芯片有五种工作状态：初始化模式、同步模式、数据传输模式、掉电模式及高阻传输模式。下面将分节描述每一个工作状态。

初始化模式:

在数据传输启动前，设备的初始化都必须进行。初始化涉及串化器的同步和解串器的 PLL 锁定本地时钟。

当 V_{CC} 加到串化器或解串器上，输出响应进入高阻态，同时在芯片内电源电路使内部电路失去功能。

当 Vcc 达到 2.45V，任意设备中 PLL 开始锁定本地时钟。对于串化器，本地时钟是传输时钟 (TCLK) 提供一个外部时钟源。对于解串器，本地时钟必须对应 REFCLK 脚的输入。当 PLL 锁定到 TCLK，串化器输出保持高阻态。

同步模式：

为了接收有效数据，解串器的 PLL 必须同步到串化器。同步可通过以下两种方式完成：

- **快速同步：**串化器有能力发送特殊的 SYNC 样本信号——6 个 1 和 6 个 0 组成，其值转换由输入时钟速率决定。SYNC 样本传输使能解串器，在一个确定的时间帧内锁定到串化器信号上。SYNC 样本信号传输与否由串化器的 SYNC1 和 SYNC2 输入选通决定。当连续收到有效的 SYNC1 或 SYNC2 脉冲（时间宽度超过 6 个时钟周期），SYNC 样本信号将会发送。

当解串器在 LVDS 输入上探测到边沿传输，它将尝试锁定到内嵌的时钟信息。解串器 $\overline{\text{LOCK}}$ 输出保持高，同时 PLL 锁定输入数据或来自串化器的 SYNC 样本信号。当解串器锁定到 LVDS 数据， $\overline{\text{LOCK}}$ 输出变低。当 $\overline{\text{LOCK}}$ 为低，解串器输出开始恢复输入的 LVDS 数据。一种方法是将解串器 $\overline{\text{LOCK}}$ 直接连接 SYNC1 或 SYNC2。

- **随机锁定同步：**解串器可从数据流中获取时钟，而不需要串化器发送特殊的同步模式信号。这允许 MS1224 工作在开环应用中。很重要的是——解串器有能力在运行电路中支持热插拔。在开环或热插拔情况下，要求假定数据流在本质上是随机的。因此，由于锁定时间变量通过数据流特征，故准确的时间是不可能预知的。当解串器启动，在随机锁定时间上首先要约束的是输入数据与 REFCLK 之间的初始相位。

数据流中的数据同样影响锁定时间，如果一个特殊的模式是重复性的，解串器可能进入错误的锁定——把输入数据模式误认为起始/终止位。这被认为是重复性多级传输 (RMT)；见图 1 的 RMT 示例。当超过一个低-高电平转换传输每一个时钟，连续多个周期发生，将形成 RMT。在最坏情况中，解串器可能锁定数据模式而不是时钟。解串器中包含电路——检测可能存在的错误时钟。通过检测，电路防止 $\overline{\text{LOCK}}$ （输出）变为动态，直到潜在的错误时钟改变。观察到 RMT 模式仅仅影响到解串器锁定时间，同时一旦解串器锁定，RMT 模式不会影响解串器状态（即使每个周期相同数据边界发生）。解串器不会进入锁定直到它在同一位置找到一个特殊的/四个连续时钟的数据边界 (STOP/START bits)。

解串器保持锁定直到它连续四个时钟周期不能检测相同的数据边界 (STOP/START bits)。然后，解串器解除锁定和寻找新的数据边界 (STOP/START bits)。在同步缺失的情况下， $\overline{\text{LOCK}}$ 输出置高电平，输出（包括 RCLK）进入高阻态。用户系统应监控 $\overline{\text{LOCK}}$ 脚以防同步缺失。当检测到锁定缺失，如果在特殊的时间内复位锁定是达不到的，可发送要求重新同步的 SYNC 样本信号。然而，解串器可以锁定随机数据（前面已提及）。

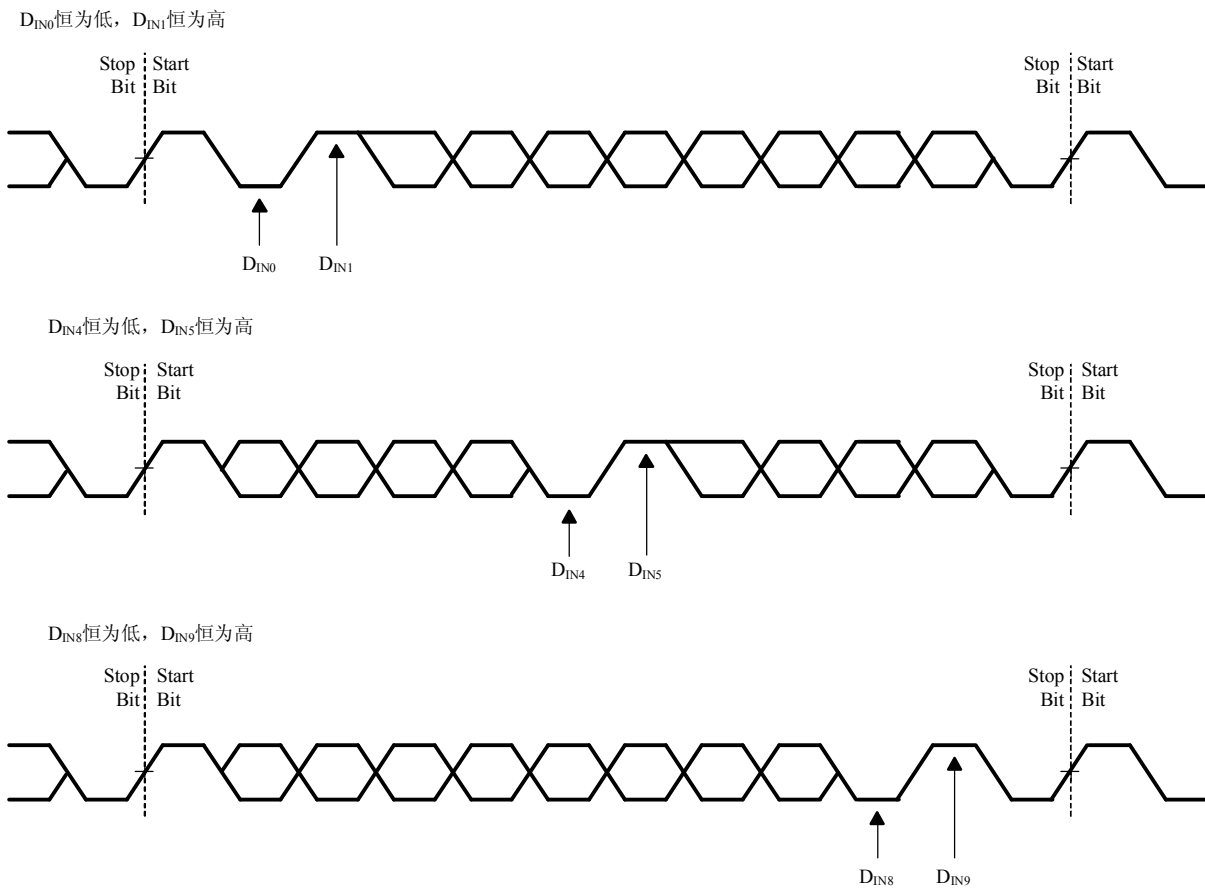


图 1.RMT 模式示例

数据传输模式:

在初始化和同步完成之后, 串化器从 DIN0-DIN9 输入口接收并行数据。串化器使用时钟输入来锁定输入数据。TCLK_{R/F} 引脚选择边沿过滤输入数据。如果任一个 SYNC 输入为高超过 6 个 TCLK 周期, DIN0-DIN9 数据会在选择的时钟边沿上被忽略及 1026 个时钟周期的 SYNC 样本信号会被发送。

在决定了使用的时钟边沿之后, 一个起始位和停止位嵌入到每一帧数据的寄存器中。起始位恒为高, 停止位恒为低。在串行数据流中, 起始停止位作为嵌入时钟信息。

在串化器传输串行数据的同时, 内嵌时钟位 (10+2bits) 通过在 TCLK 的 12 倍频上输出串行数据。比如, 如果 TCLK 为 80MHz, 串行速率为 $80 \times 12 = 960\text{Mbps}$ 。由于仅有 10 位输入数据, 有效数据速率应为 10 倍于 TCLK 频率。例如, 如果时钟为 80MHz, 有效数据速率为 $80 \times 10 = 800\text{Mbps}$ 。而提供 TCLK 的数据源要求在 10MHz 至 80MHz 之间。

串化器输出 (DO_±) 可以驱动点对点连接或有限复合点或复合压降底板。当使能脚 (DEN) 为高, $\overline{\text{PWRDN}}$ 为高, SYNC1 及 SYNC2 为低时, 输出正常数据。当 DEN 被置低时, 串化器输出高阻态。

一旦解串器同步到串化器， $\overline{\text{LOCK}}$ 脚输出低。解串器锁定到嵌入时钟，同时使用该时钟恢复被串化的数据。ROUT 数据在 $\overline{\text{LOCK}}$ 低时有效，因此 ROUT0-ROUT9 有效。ROUT0-ROUT9 使用 RCLK 边沿过滤。特殊的 RCLK 极性将由 RCLK_R/F 输入决定。在 80MHz 时钟时，ROUT0-ROUT9、 $\overline{\text{LOCK}}$ 、RCLK 输出可以驱动三端 CMOS 输入门（三个引脚接电容总和 15pF）。

掉电模式：

当没有输入传输需求，可以使用掉电模式。串化器和解串器使用掉电状态是一种低功耗的睡眠模式，可以减小功耗。当 $\overline{\text{PWRDN}}$ 和 DEN 被置低时，解串器进入掉电模式。当 $\overline{\text{PWRDN}}$ 为低时，串化器进入掉电模式。在掉电模式下，锁相环和输出进入高阻状态，这使得负载电流和减少供应电流到微安级（uA 级）。要退出掉电模式，你必须驱动 $\overline{\text{PWRDN}}$ 为高。

在串化器和解串器之间的有效数据交换恢复之前，必须再次初始化和再次同步相互连接的设备。串化器的初始化耗时 1026 个 TCLK 周期。解串器初始化，同时直至锁定到 LVDS 时钟发生将驱动 $\overline{\text{LOCK}}$ 为高。

高阻模式：

当 DEN 被置低时，串化器进入高阻模式。这将使所有输出脚（DO+和 DO-）进入高阻状态。当驱动 DEN 为高，串化器恢复到先前的状态，同时其他所有控制引脚保持静态（SYNC1, SYNC2, $\overline{\text{PWRDN}}$, TCLK_R/F）。当 REN 脚被置低时，解串器进入高阻模式。相应地，接收芯片的输出脚（ROUT0-ROUT9）和 RCLK 进入高阻状态。 $\overline{\text{LOCK}}$ 保持活动，用来跟踪 PLL 的状态。

输入		输出		
$\overline{\text{PWRDN}}$	REB	ROUT(0:9) ⁽¹⁾	$\overline{\text{LOCK}}$ (2)	RCLK ⁽¹⁾⁽³⁾
H	H	Z	H	Z
H	H	Active	L	Active
L	×	Z	Z	Z
H	L	Z	Active	Z

表 1.串并转换器真值表

(1)当 $\overline{\text{LOCK}}$ 置高，ROUT 和 RCLK 为不定态；

(2) $\overline{\text{LOCK}}$ 输出反映解串器处理输入数据流的状态；

(3)RCLK 为 Active 表明 RCLK 在工作，如果解串器锁定。RCLK 时序上表明到输出由 RCLK_R/F 决定。

MS1224 偏置故障保护

MS1224 有±50mV 的输入阈值灵敏度。这在 MS1224 允许更大的差分噪声极限输入。然而，在接收器输入没有被动态地驱动的情况下，MS1224 增加的灵敏度可能把噪声当作输入信号并且引起无法预料的锁定。这种情况可能在输入线悬空时发生。MS1224 有片上故障保护电路驱动输入和 $\overline{\text{LOCK}}$ 信号为高（高电平，简称高）。故障保护电路的响应时间取决于内部连接电路特征。

引脚功能

引脚	名称	功能描述
Serializer		
18, 20, 23, 25	AGND	模拟电路地（用于 PLL 和模拟电路）
17, 26	AV _{CC}	模拟电路电源供应（用于 PLL 和模拟电路）
19	DEN	LVTTL 逻辑输入。低时使能 LVDS 串行输出高阻状态，高时使能输出串行数据
15, 16	DGND	数字电路地
3-12	D _{IN0} -D _{IN9}	并行 LVTTL 数字输入
21	D _{O-}	LVDS 差分输出反向端
22	D _{O+}	LVDS 差分输出正向端
27, 28	DV _{CC}	数字电路电源供应
24	$\overline{\text{PWRDN}}$	LVTTL 逻辑输入。设定为低时会关掉 PLL 并输出高阻态，让设备进入低功耗模式。
1, 2	SYNC1, SYNC2	SYNC1 和 SYNC2 为或关系的 LVTTL 逻辑输入。当其中至少一个脚被置高长达 6 个 TCLK 周期，串化器初始化至少 1026 个 SYNC 样本的传输过程。如果 1026 个 SYNC 样本发送完成后 SYNC 继续为高，那么数据传输直到 SYNC 为低；且当 SYNC 保持超过 6 个周期，将会再次发送 1026 个 SYNC 样本。
13	TCLK _{R/F}	LVTTL 逻辑输入。低时选择忽略 TCLK 的下降沿数据；高时选择忽略 TCLK 上升沿数据。
14	TCLK	LVTTL 电平参考时钟输入。MS1023 可接收 10MHz 至 80MHz 时钟。TCLK 忽略并行数据到输入锁存，同时为 PLL 提供参考频率。
Deserializer		
1, 12, 13	AGND	模拟电路地（用于 PLL 和模拟电路）
4, 11	AV _{CC}	模拟电路电源供应（用于 PLL 和模拟电路）
14, 20, 22	DGND	数字电路地
21, 23	DV _{CC}	数字电路电源供应
10	$\overline{\text{LOCK}}$	LVTTL 输出， $\overline{\text{LOCK}}$ 变低，当解串器的 PLL 锁定到嵌入时钟边沿
7	$\overline{\text{PWRDN}}$	LVTTL 逻辑输入，低时关掉 PLL，使输出高阻态，并进入低功耗模式。要达到掉电模式，此脚置低至少 16ns。 $\overline{\text{PWRDN}}$ 一直为低，设备将进入掉电模式。
2	RCLK _{R/F}	LVTTL 逻辑输入，低时选择 RCLK 下降沿数据过滤；高时选择 RCLK 上升沿数据过滤
9	RCLK	LVTTL 输出恢复时钟，RCLK 可过滤 R _{OUTX}
3	REFCLK	LVTTL 输入，为 PLL 提供 REFCLK 信号
8	REN	LVTTL 逻辑输入，低时使 R _{OUT0} -R _{OUT9} 和 RCLK 进入高阻态
5	R _{I+}	串行数据输入，正向 LVDS 差分输入
6	R _{I-}	串行数据输入，反向 LVDS 差分输入

28-24, 19-15	ROUT0-ROUT9	并行 LVTTTL 数据输出
--------------	-------------	----------------

绝对最大值比例

	单位
Vcc	-3.0V 至 4V
LVTTTL 输入电压	-0.3V 至 (Vcc+0.3V)
LVTTTL 输出电压	-0.3V 至 (Vcc+0.3V)
LVDS 接收输入电压	-0.3V 至 3.9V
LVDS 驱动输出电压	-0.3V 至 3.9V
LVDS 输出短路持续时间	10ms
ESD 常量 (HBM)	最大 6KV
ESD 常量 (MM)	最大 200V
节点温度	150°C
存储温度	-65°C 至 150°C
最大功耗 (TA=25°C)	1.27W
功耗温度特性	10.3mw/°C 在 25°C 时

建议工作条件

	最小值	典型值	最大值	单位
Vcc 电源电压	3	3.3	3.6	V
接收输入电压范围	0		2.4	V
Vcm 接收输入一般模式范围	V _{ID} /2		2.4-(V _{ID} /2)	
噪声源电压			100	mVpp
Ta 常温工作温度	-40	25		°C

电学特征

参数	测试条件	最小值	典型值	最大值	单位
Serializer LVCMOS/LVTTL DC					
V _{IH} (高电平输入电压)		2		V _{CC}	V
V _{IL} (低电平输入电压)		GND		0.8	V
V _{CL} (输入坡度电压)	I _{CL} =-18mA		-0.86	-1.5	V
I _{IN} (输入电流)	V _{IN} =0V 或 3.6V	-200	±100	200	uA
Deserializer LVCMOS/LVTTL DC					
V _{IH} 高电平输入		2		V _{CC}	V
V _{IL} 低电平输入		GND		0.8	V
V _{CL} 爬坡电压输入	I _{CL} =-18mA		-0.62	-1.5	V
I _{IN} 输入电流	V _{IN} =0V or 3.6V	-200		200	uA
V _{OH} 高电平输出	I _{OH} =-5mA	2.2	3	V _{CC}	V
V _{OL} 低电平输出	I _{OL} =5mA	GND	0.25	0.5	V
I _{OS} 输出短路电流	V _{OUT} =0V	-15	-47	-85	mA
I _{OZ} 高阻输出电流	$\overline{\text{PWRDN}}/\overline{\text{REN}}=0.8\text{V}$, V _{OUT} =0V or V _{CC}	-10	±1	10	uA
Serializer LVDS DC					
V _{OD} 差分输出	R _L =27Ω, 见图 2	350	450		mV
ΔV _{OD} 差分输出抖动				35	mV
V _{OS} 偏置电压		1.1	1.2	1.3	V
ΔV _{OS} 偏置电压抖动			4.8	35	mV
I _{OS} 短路输出电流	D _O =0V, D _{INx} =high, $\overline{\text{PWRDN}}/\overline{\text{DEN}}=2.4\text{V}$		-10	-90	mA
I _{OZ} 高阻输出电流	$\overline{\text{PWRDN}}/\overline{\text{DEN}}=0.8\text{V}$ D _O =0V or V _{CC}	-10	±1	10	uA
I _{OX} 掉电输出电流	V _{CC} =0V, D _O =0 or 3.6V	-20	±1	25	uA
C _O 输出单端电容				1±20%	pF
Deserializer LVDS DC					
V _{TH} 差分阈值高电压	V _{CM} =1.1V			50	mV
V _{TL} 差分阈值低电压		-50			mV
I _{IN} 输入电流	V _{IN} =2.4V, V _{CC} =3.6 or 0	-10	±1	15	uA
	V _{IN} =0V, V _{CC} =3.6 or 0V	-10	±0.05	10	
C _I 输入单端电容			0.5±20%		pF
Serializer Supply Current					
I _{CCD} -串化器供电电流最坏情况	R _L =27Ω, 见图 5	f=10MHz	20	25	mA
		f=80MHz	65	80	
I _{CCXD} -输入电流	$\overline{\text{PWRDN}}=0.8\text{V}$		200	500	uA
Deserializer Supply Current					
I _{CCR} -解串器供电电流最坏情况	C _L =15pF,	f=10MHz	15	35	mA

	见图 5	f=80MHz	90	105	
I _{CCXR} -解串器掉电模式供电电流	$\overline{\text{PWRDN}}=0.8, \text{REN}=0.8\text{V}$		0.36	1	mA

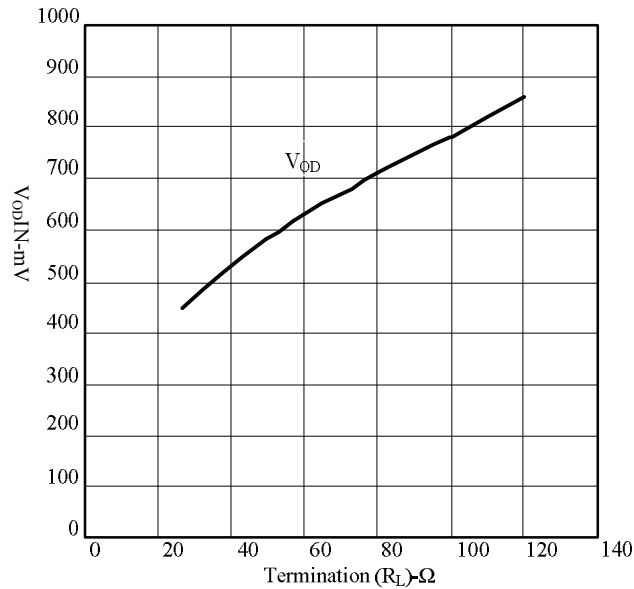


图 2. 典型 V_{OD} 曲线

串化器中 TCLK 的时序要求

参数	测试条件	最小	典型	最大	单位
t _{TCP} -时钟周期		15.15	T	100	ns
t _{TCH} -时钟高电平占空比		0.4T	0.5T	0.6T	ns
t _{TCL} -时钟低电平占空比		0.4T	0.5T	0.6T	ns
t _{t(CLK)} -TCLK 边沿时长			3	6	ns
t _{JIT} -TCLK 输入抖动	见图 19			150	ps
F _r -频率容差		-100		+100	ppm

串化器转换特征

说明：使用前面提出的工作条件（除给出的测试条件以外）

参数	测试条件	最小	典型	最大	单位
t _{TLH(L)} -上升沿转换时间	R _L =27Ω, C _L =10pF to GND,		0.2	0.4	ns
t _{LTH(L)} -下降沿转换时间	见图 6		0.25	0.4	ns
t _{su(DI)} -数据建立时间	见图 9	0.5			ns
t _{su(DI)} -数据保持时间		4			ns
t _{d(HZ)} -高-高阻延时	R _L =27Ω, C _L =10pF to GND,		2.5	5	ns
t _{d(LZ)} -低-高阻延时	见图 10		2.5	5	
t _{d(ZH)} -高-高阻-高延时			5	10	
t _{d(ZL)} -高-高阻-低延时			6.5	10	
t _{w(SPW)} -SYNC 脉冲持续时间	见图 12	6×t _{TCP}			ns
t _(PLD) -串化器 PLL 锁定时间		1026×t _{TCP}			ns
t _{d(S)} -串化器延时	见图 13	t _{TCP} +1	t _{TCP} +2	t _{TCP} +3	ns
t _{DJIT} -绝对抖动幅度	R _L =27Ω, C _L =10pF to GND			230	ps
				150	
t _{RJIT} -随机抖动幅度	R _L =27Ω, C _L =10pF to GND		10	9	ps

解串器中 REFCLK 时序要求

说明：使用前面提出的工作条件（除给出的测试条件以外）

参数	测试条件	最小	典型	最大	单位
t _{RFCP} -REFCLK 周期		15.15	T	100	ns
t _{RFDC} -REFCLK 占空比		30%	50%	70%	
t _{t(RF)} -REFCLK 边沿时长			3	6	ns
F _r -频率容差		-100		+100	ppm

解串器转换特征

参数	测试条件	引脚/频率	最小	典型	最大	单位
$t_{(RCP)}$ -接收器输出时钟周期	$t_{(RCP)} = t_{(TCP)}$ 见图 13	RCLK	15.15		100	ns
$t_{TLH(C)}$ -低-高转换时间	$C_L = 15\text{pF}$, 见图 7	$R_{OUT0} - R_{OUT9}$, \overline{LOCK} , RCLK		1.2	2.5	ns
$t_{THL(C)}$ -高-低转换时间				1.1	2.5	
$t_{d(D)}$ -解串器延时, 见图 14	室温, 3.3V	10MHz	$1.75 \times t_{(RCP)}$ +4.2		$1.75 \times t_{(RCP)}$ +12.6	ns
		80MHz	$1.75 \times t_{(RCP)}$ +7.4		$1.75 \times t_{(RCP)}$ +9.7	
$t_{(ROS)}$ -在 RCLK 之前 R_{OUTx} 数据有效	见图 15	RCLK10MHz	$0.4 \times t_{(RCP)}$	$0.5 \times t_{(RCP)}$		ns
		RCLK80MHz	$0.4 \times t_{(RCP)}$	$0.5 \times t_{(RCP)}$		
$t_{(ROH)}$ -在 RCLK 之后 R_{OUTx} 数据有效		10MHz	$-0.4 \times t_{(RCP)}$	$-0.5 \times t_{(RCP)}$		
		80MHz	$-0.4 \times t_{(RCP)}$	$-0.5 \times t_{(RCP)}$		
$t_{(RDC)}$ -时钟占空比			40%	50%	60%	ns
$t_{d(HZ)}$ -高-高阻延时	见图 16	$R_{OUT0} - R_{OUT9}$		6.5	8	ns
$t_{d(LZ)}$ -低-高阻延时				4.7	8	
$t_{d(HR)}$ -高阻-高延时				5.3	8	
$t_{d(ZL)}$ -高阻-低延时				4.7	8	
$t_{(DSR1)}$ -解串器 PLL 锁存时间	见图 17, 见图 18	10MHz			$850 \times t_{RFCP}$	us
		80MHz			$850 \times t_{RFCP}$	
$t_{(DSR2)}$ -解串器 PLL 锁存时间		10MHz			2	
		80MHz			0.303	
$t_{d(ZHLK)}$ -高阻-高延时(启动)		\overline{LOCK}			3	ns
t_{RNM} -解串器噪声极限	见图 19	10MHz		3680		ps
		80MHz		540		

TIMING DIAGRAMS AND TEST CIRCUITS

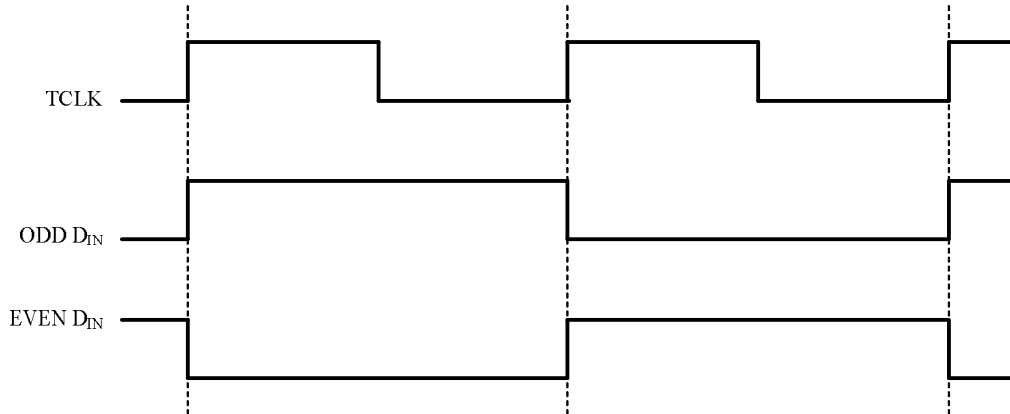


图 3 最坏情况串化器 I_{CC} 测试模式

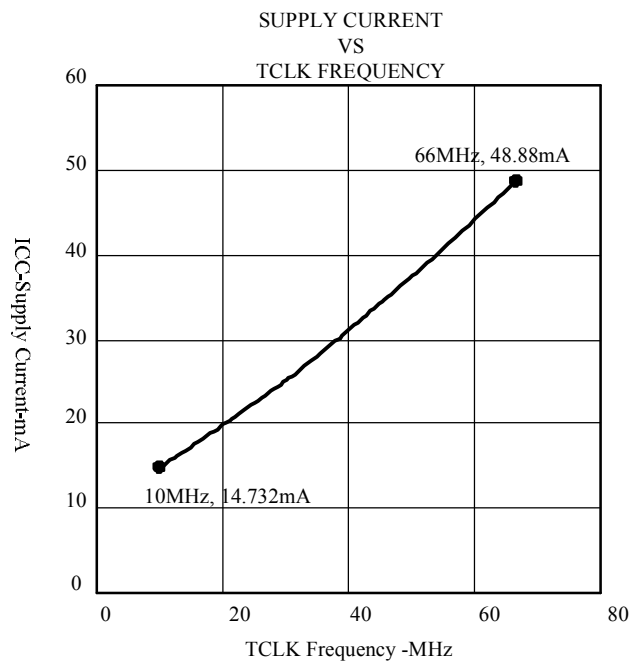


图 4. 电流与时钟关系图

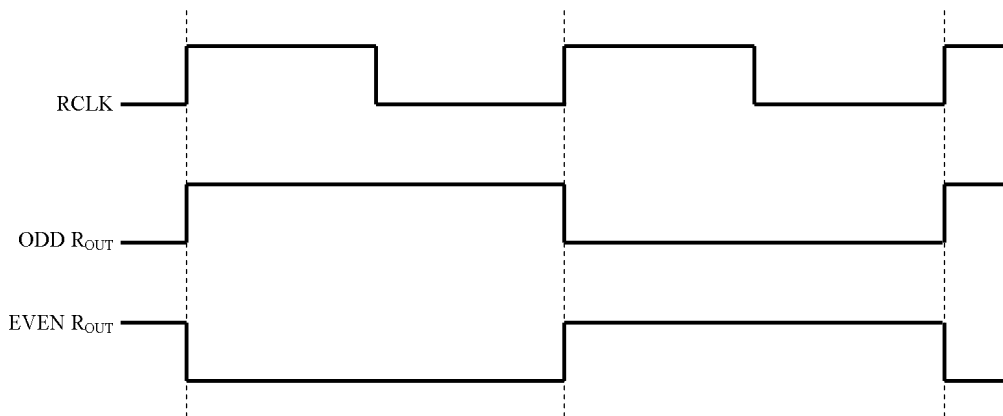


图 5.最坏情况解串器 I_{CC} 测试模式

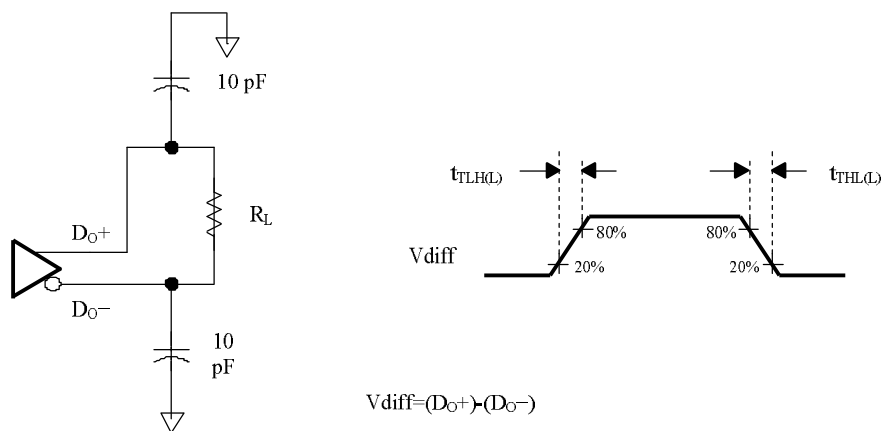


图 6.串化器 LVDS 输出负载和传输时间

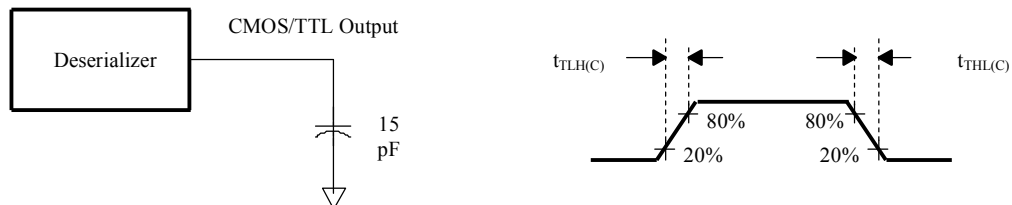


图 7.解串器 CMOS/TTL Output Load and Transition Times

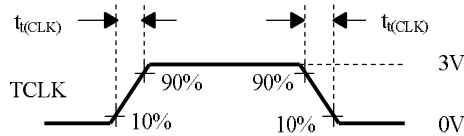


图 8.串化器输入时钟传输时间

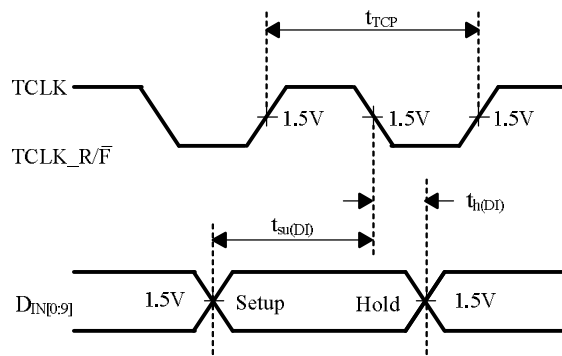


图 9.串化器建立/保持时间

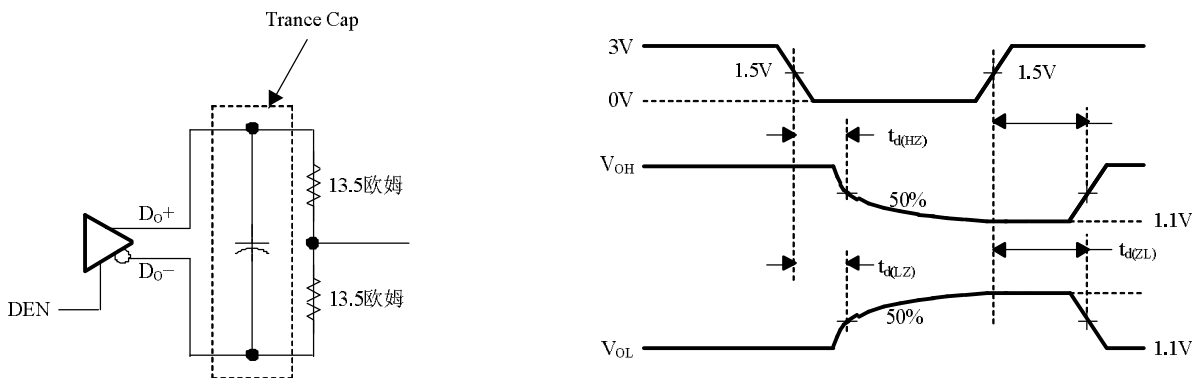


图 10.串化器高阻态测试电路和时序

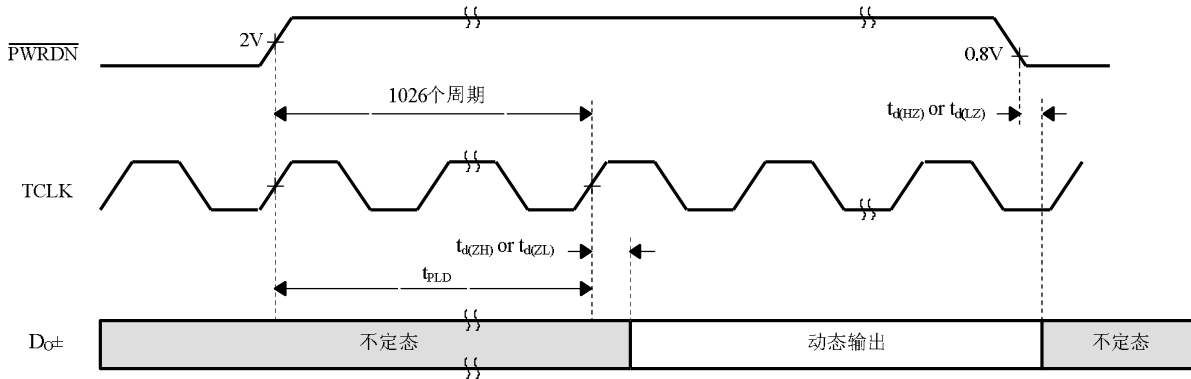


图 11.串化器 PLL 锁定时间和 PWRDN 高阻态延时

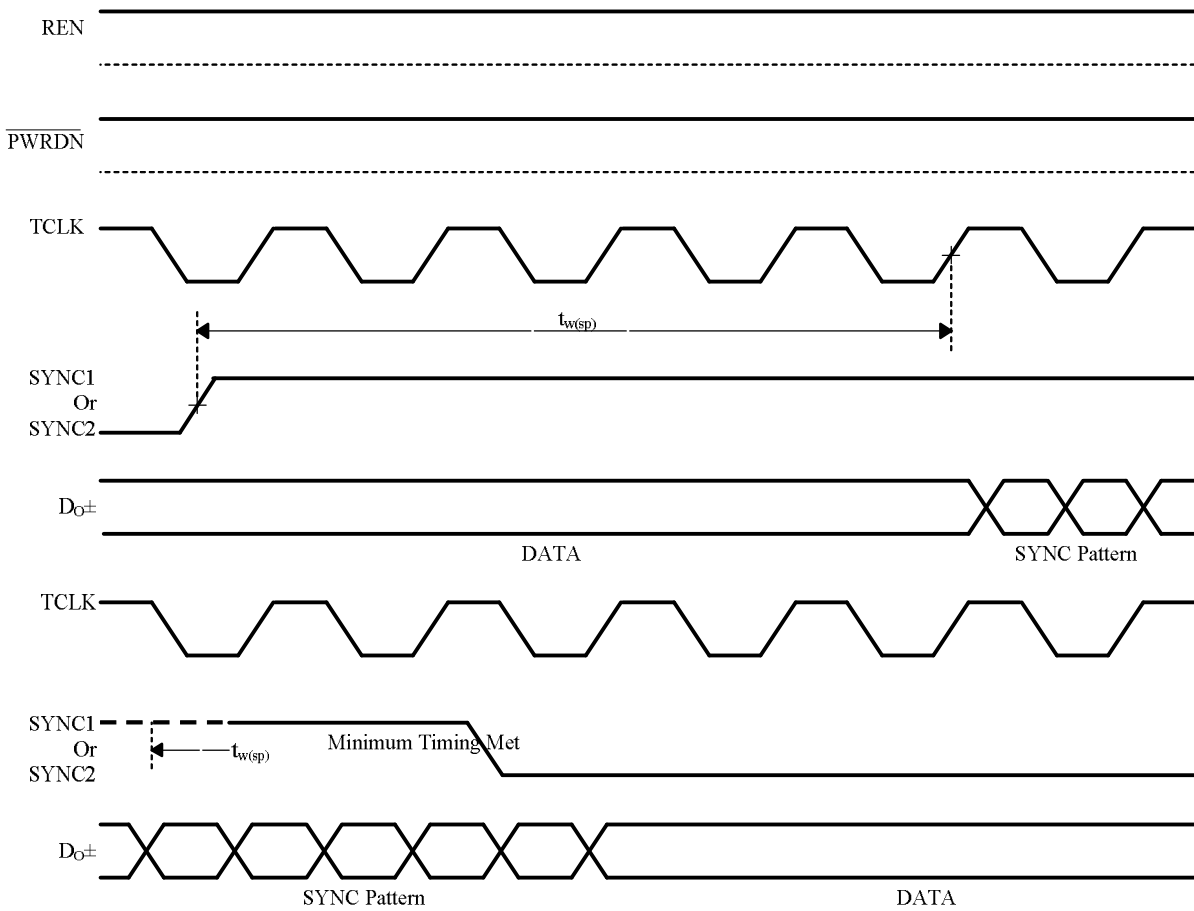


图 12.SYNC 时序延时

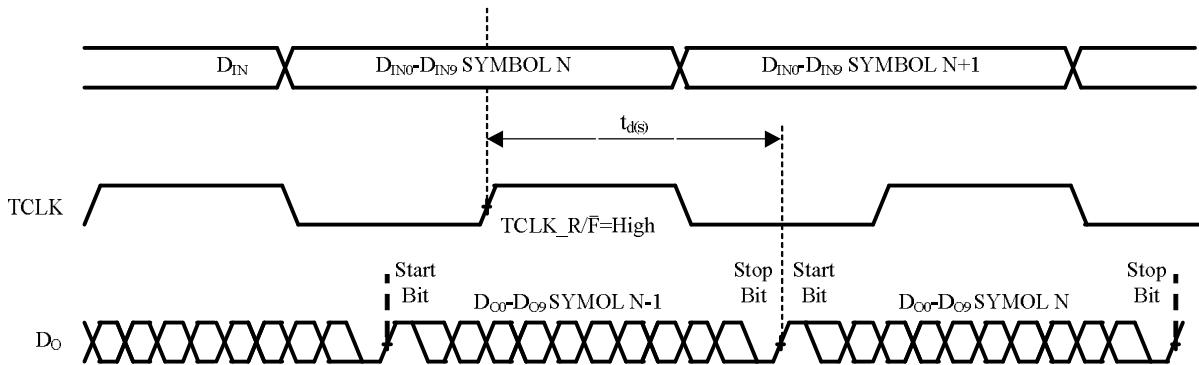


图 13.串化器延时

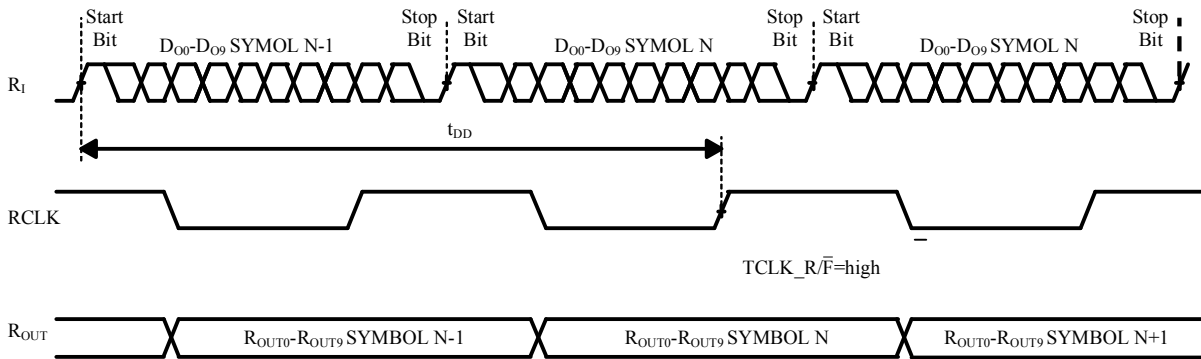


图 14.解串器延时

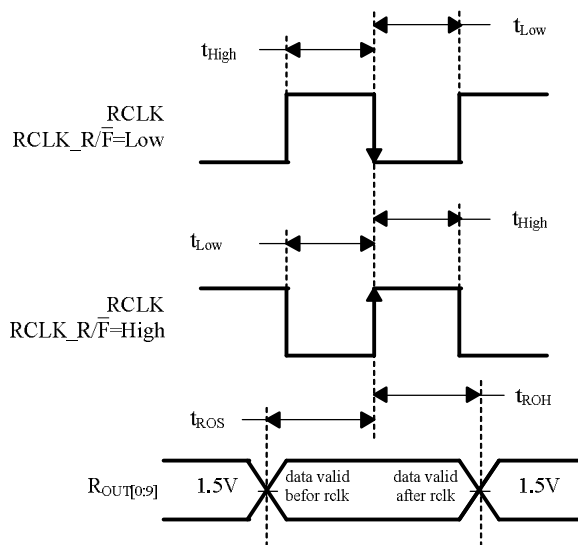


图 15.解串器数据有效输出时序

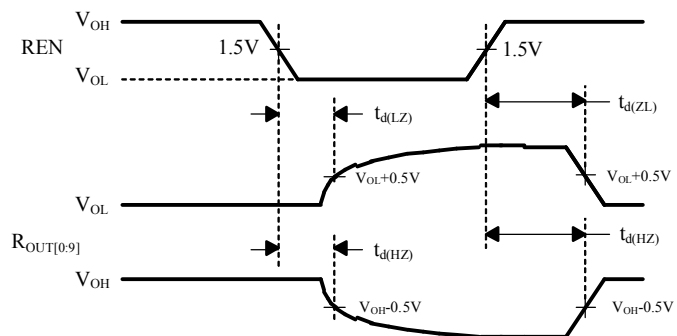
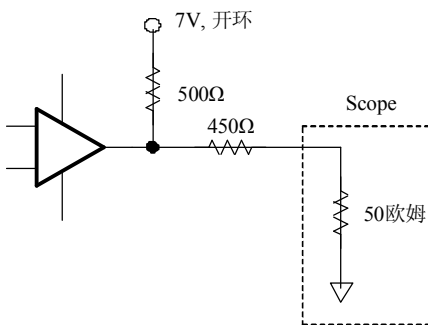


图 16.解串器高阻态测试电路及时序

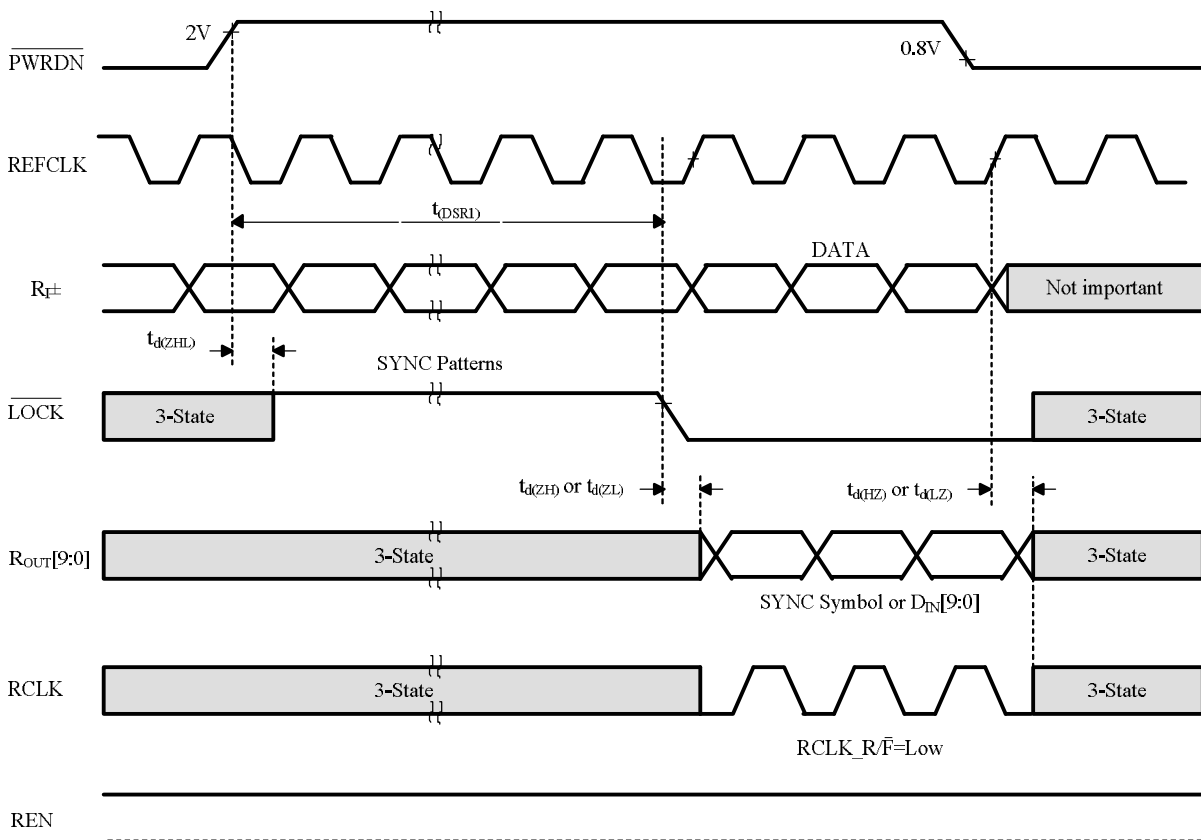


图 17.解串器 PLL 锁定时序及 PWRDN 不定态延时

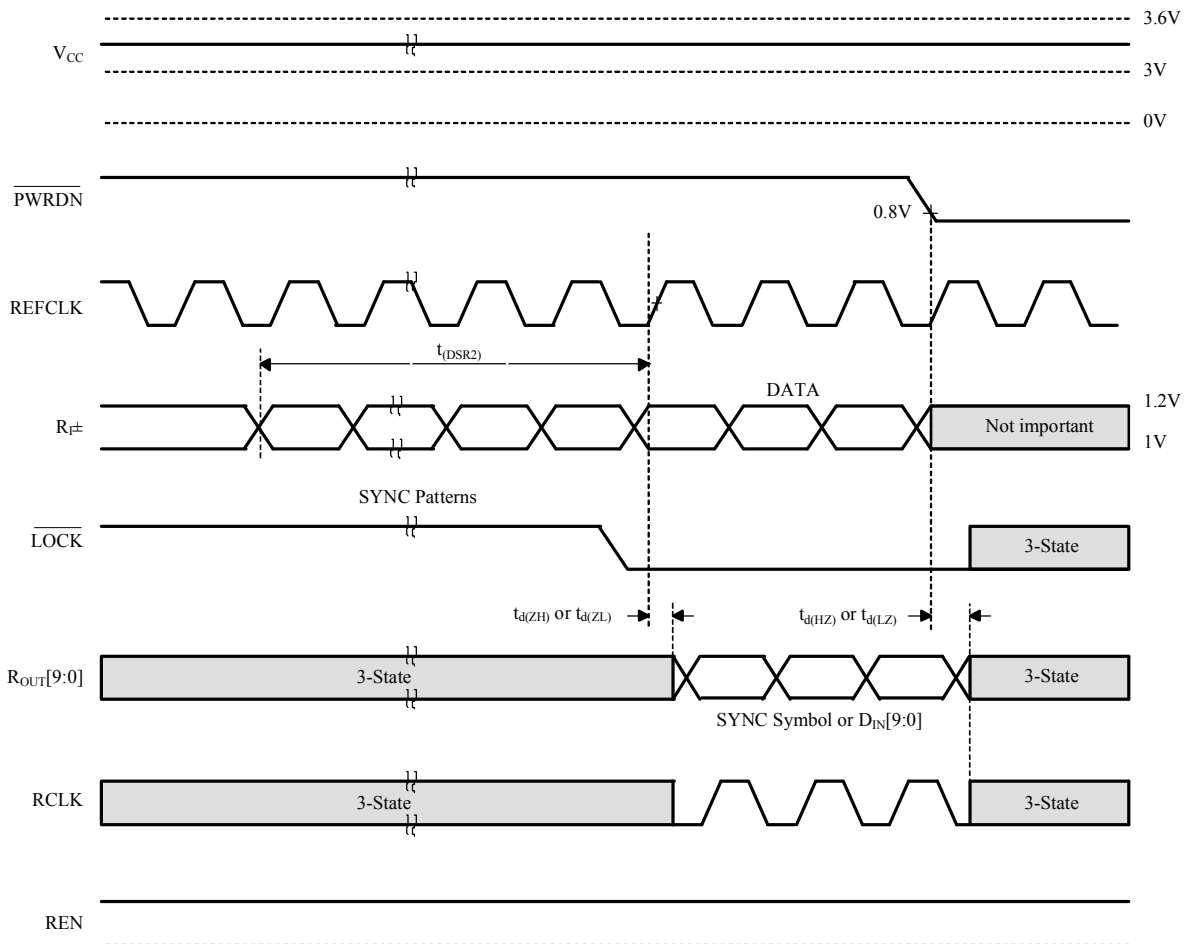


图 18.解串器 PLL 在同步过程的锁定时间

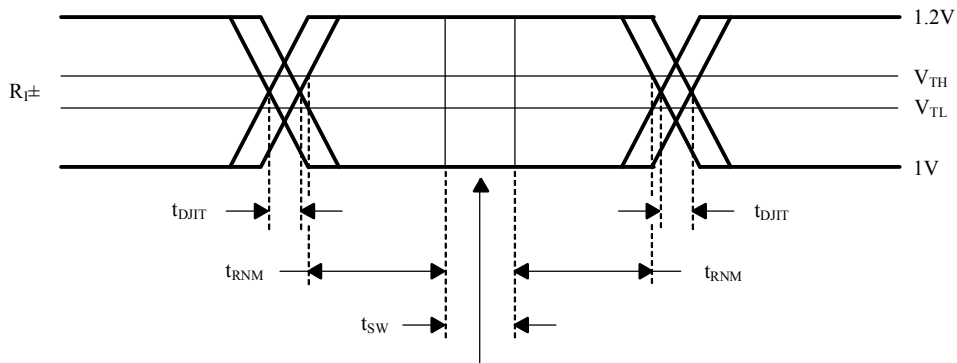


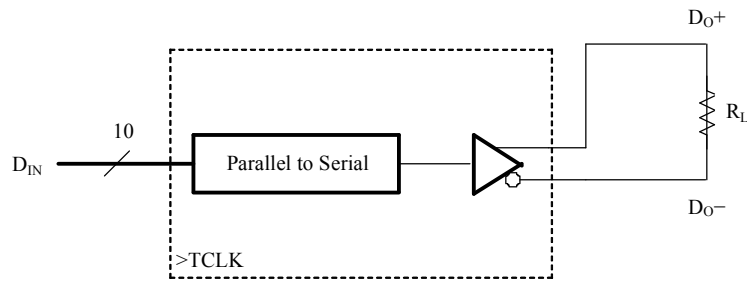
图 19.接收机 LVDS 输入边界采样

说明:

tSW: Setup and Hold Time (Internal Data Sampling Window)

tDJIT: Serializer Output Bit Position Jitter That Results From Jitter on TCLK

tRNM: Receiver Noise Margin Time



说明: $V_{OD}=(D_{0+})-(D_{0-})$, 即差分输出信号

图 20. V_{OD} 输出图

设备启动过程

图 21 表明了 PWRDNB 将在串化器和解串器中保持逻辑 0 直到电源供电达到至少 3V。

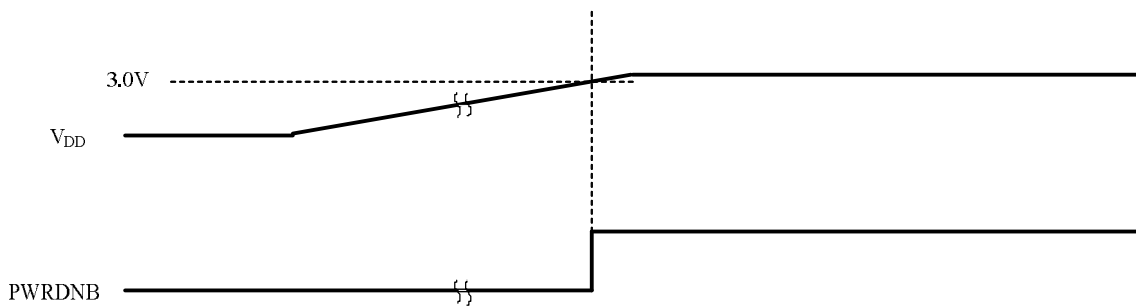


图 21. 设备启动

芯片应用

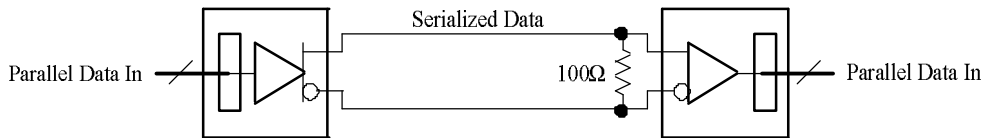


图 22. 单终端点对点连接

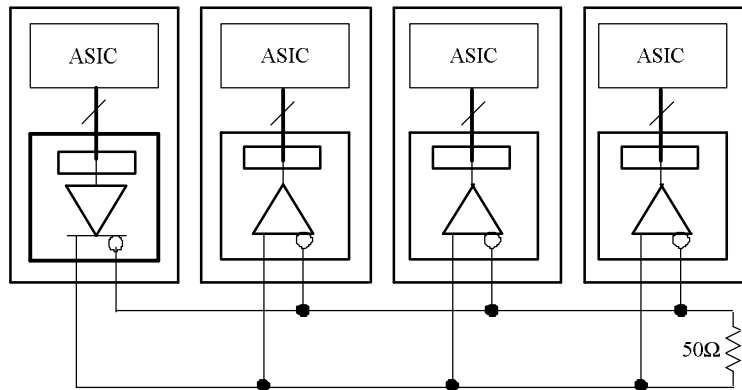
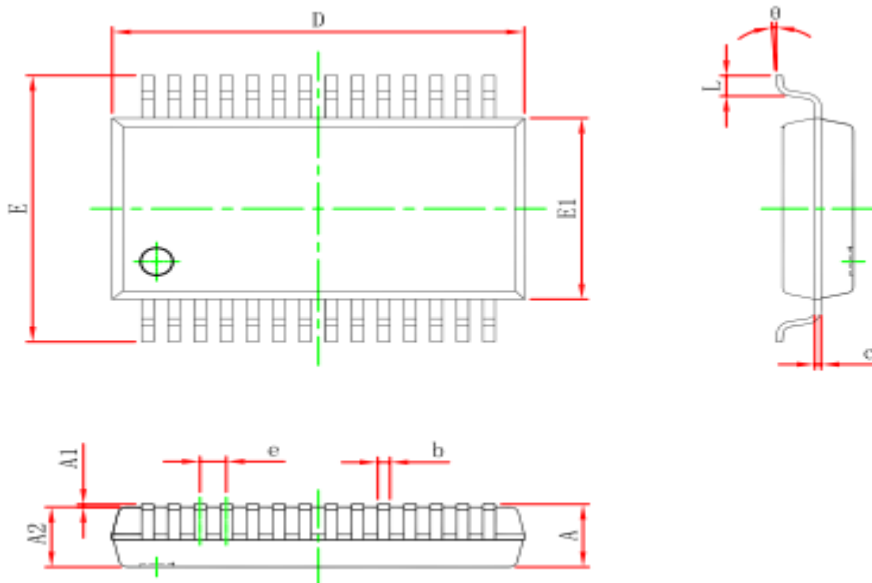


图 23. 多路连接配置

封装外形图



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	--	2.000	--	0.079
A1	0.050	--	0.002	--
A2	1.650	1.850	0.065	0.073
b	0.220	0.380	0.009	0.015
c	0.090	0.250	0.004	0.010
D	9.900	10.500	0.390	0.413
E	7.400	8.200	0.291	0.323
E1	5.000	5.600	0.197	0.220
e	0.650 (BSC)		0.026 (BSC)	
L	0.550	0.950	0.022	0.037
θ	0°	8°	0°	8°