

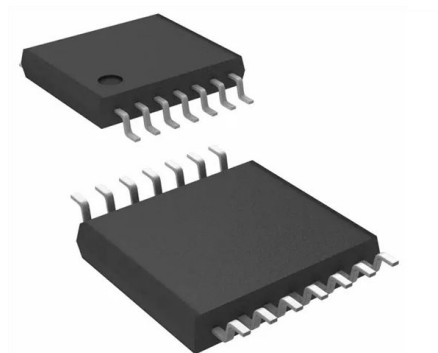
96kHz 24 位 $\Delta\Sigma$ ADC

MS1808 是带有采样速率 8kHz ~ 96kHz 的立体声 A/D 转换器，适合于面向消费者的专业音频系统。

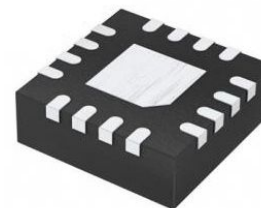
MS1808 通过使用增强型双位 $\Delta\Sigma$ 技术来实现其高精度的特点。MS1808 是单端的模拟输入所以不需要外部器件。音频接口有两种类型(最高有效位对齐, I^2S)适合用于像 DTV,DVR 和 AV 接收器的系统。

主要特点

- 线性相位抗混叠数字滤波器
- 单端输入
- 带失调电压消除的数字高通滤波器
- 信噪失真比: 85dB
- 动态范围: 95dB
- 信噪比: 95dB
- 采样速率 8kHz 到 96kHz
- 主时钟:
 - 256fs/384fs/512fs/768fs (8kHz ~ 48kHz)
 - 256fs/384fs (48kHz ~ 96kHz)
- 主机/从机模式
- 音频接口: 24 位最高有效位对齐/ I^2S
- 电源: 4.5 ~ 5.5V 模拟, 2.7 ~ 5.5V 数字
- 温度范围 -20 ~ 85°C
- TSSOP14、QFN16 封装



TSSOP14



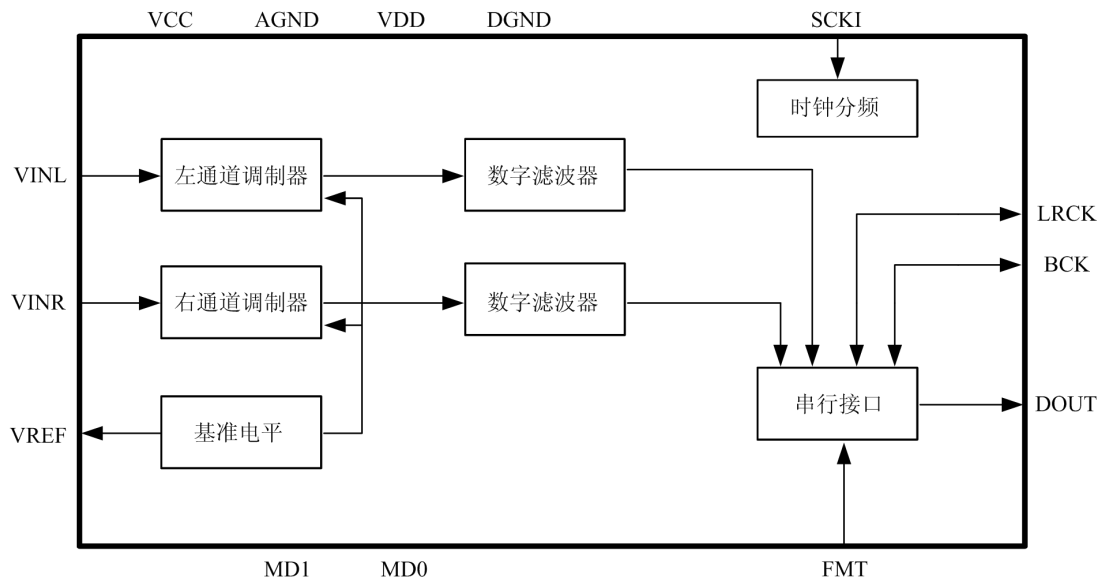
QFN16

应用

- DVD 录音机
- 数字 TV
- CD 录音机

产品规格分类

产品	封装形式	打印名称
MS1808	TSSOP14	MS1808
MS1808	QFN16	MS1808N

内部框图

极限参数

AGND, DGND = 0V (1)

参 数		符号	参 数 范 围	单 位
供电电压	模拟	VCC	-0.3 ~ 6.0	V
	数字	VDD	-0.3 ~ 6.0	V
	$ AGND - DGND $ (2)	ΔGND	0.3	V
除了电源之外，任何引脚的输入电流		IIN	± 10	mA
模拟输入电压 (VINL、VINR 引脚)		VINA	-0.3 ~ VCC+0.3	V
数字输入电压 (3)		VIND	-0.3 ~ VDD+0.3	V
环境温度		Ta	-20 ~ 85	°C
存储温度		Tstg	-65 ~ 150	°C

1. 所有的电压都以地为基准
2. AGND 和 DGND 必须连接到同一个模拟地
3. FMT、SCKI、BCK、LRCK、MD1、MD0 引脚

警告：操作在高于这些限制值也许会造成器件的永久损坏。在这些极限条件下不保证能正常工作。

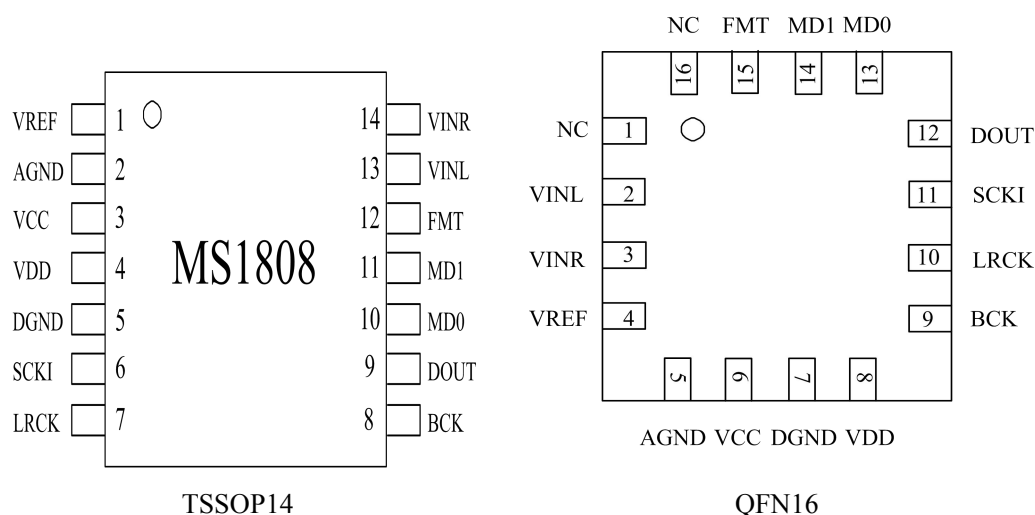
推荐工作电压

AGND, DGND = 0V

参 数		符号	参 数 范 围	单位
供电电压(4)	模拟	VCC	4.5 ~ 5.5	V
	数字	VDD	2.7 ~ VCC	V

4. VCC 和 VDD 的上电顺序没有明确要求
无用引脚处理

类别	管脚名称	设置
模拟	VINR	引脚应该开路
	VINL	引脚应该开路

管脚排列图

管脚描述

管脚号	管脚名称	I/O	管脚描述
TSSOP14封装			
1	VREF	O	共模电压输出引脚, VCC/2 的 ADC 输入偏置电压
2	AGND	-	模拟地引脚
3	VCC	-	模拟电源引脚, 4.5 ~ 5.5V
4	VDD	-	数字电源引脚, 2.7 ~ 5.5V
5	DGND	-	数字地引脚
6	SCKI	I	主时钟输入引脚
7	LRCK	I/O	输出通道时钟引脚
8	BCK	I/O	音频串口数据时钟引脚

9	DOUT	O	音频串口数据输出引脚
10	MD0	I	模式选择 0 引脚
11	MD1	I	模式选择 1 引脚
12	FMT	I	音频接口类型选择引脚 “L” :24 位兼容 I^2S , “H” :24 位最高有效位对齐
13	VINL	I	Lch 模拟输入引脚
14	VINR	I	Rch 模拟输入引脚
QFN16 封装			
1	NC		无连接
2	VINL	I	Lch 模拟输入引脚
3	VINR	I	Rch 模拟输入引脚
4	VREF	O	共模电压输出引脚, VCC/2 的 ADC 输入偏置电压
5	AGND	-	模拟地引脚
6	VCC	-	模拟电源引脚, 4.5 ~ 5.5V
7	DGND	-	数字地引脚
8	VDD	-	数字电源引脚, 2.7 ~ 5.5V
9	BCK	I/O	音频串口数据时钟引脚
10	LRCK	I/O	输出通道时钟引脚
11	SCKI	I	主时钟输入引脚
12	DOUT	O	音频串口数据输出引脚
13	MD0	I	模式选择 0 引脚
14	MD1	I	模式选择 1 引脚
15	FMT	I	音频接口类型选择引脚 “L” :24 位兼容 I^2S , “H” :24 位最高有效位对齐
16	NC		无连接

电气参数
模拟特性

除非特别说明, $T_a = 25^\circ\text{C}$; $V_{CC} = 5.0\text{V}$, $V_{DD} = 3.3\text{V}$; $AGND = DGND = 0\text{V}$; $f_s = 48\text{kHz}$, 96kHz ; $BCK = 64\text{fs}$; 信号频率 = 1kHz ; 24 位数据; 在 $f_s=48\text{kHz}$ 下测量频率为 $20\text{Hz} \sim 20\text{kHz}$, $f_s = 96\text{kHz}$ 下为 $40\text{Hz} \sim 40\text{kHz}$

参数		最小	典型	最大	单位
ADC 模拟输入特性					
精度				24	Bits
输入电压 (5)		2.7	3.0	3.3	V _{pp}
信噪失真比	$f_s = 48\text{kHz}$ BW = 20kHz	-1dBFS	75	85	dB
		-60dBFS		39	dB
	$f_s = 96\text{kHz}$ BW = 40kHz	-1dBFS		90	dB
		-60dBFS		38	dB
动态范围 (-60dBFS,A-weighted)		85	95		dB
信噪比 (A-weighted)		85	95		dB
输入阻抗	$f_s = 48\text{kHz}$	13	20		k Ω
	$f_s = 96\text{kHz}$	9	14		k Ω
内部通道隔离		80	85		dB
内部通道增益失配			0.1	0.5	dB
增益漂移			100	-	ppm/ $^\circ\text{C}$
电源抑制比 (6)		-	50		dB
供电电源					
供电电流					
正常操作					
VCC					
VDD ($f_s = 48\text{kHz}$)					
VDD ($f_s = 96\text{kHz}$)					
			10	16	mA
			2	5	mA
			4	9	mA

- 这个值是输入电压的全摆幅(0dB)，输入电压正比于电压 VCC。
 $V_{in}=0.6*V_{CC}(V_{pp})$
- 电源抑制比中电源是带有 1kHz，50mV_{pp} 交流信号的 VCC 和 VDD

滤波器特性 $f_s = 48\text{kHz}$
 $T_a = -20^\circ\text{C} \sim 85^\circ\text{C}; V_{CC} = 4.5\text{V} \sim 5.5\text{V}; V_{DD} = 2.7\text{V} \sim 5.5\text{V}$

参数		信号	最小	典型	最大	单位
ADC 数字滤波器(抽取低通滤波器)						
通带 (7)	$\pm 0.1\text{dB}$	PB	0		18.9	kHz
	-0.2dB		-	20.0	-	kHz
	-3.0dB		-	23.0	-	kHz
阻带		SB	28			kHz
通带纹波		PR			± 0.04	dB
阻带衰减		SA	68			dB
群延时失真		ΔGD		0		us
群延时		GD		16		1/fs
ADC 数字滤波器(高通滤波器)						
频率响应 (8)	-3dB	FR		1.0		Hz
	-0.1dB			6.5		Hz

滤波器特性 $f_s = 96\text{kHz}$
 $T_a = -20^\circ\text{C} \sim 85^\circ\text{C}; V_{CC} = 4.5\text{V} \sim 5.5\text{V}; V_{DD} = 2.7\text{V} \sim 5.5\text{V}$

参数		信号	最小	典型	最大	单位
ADC 数字滤波器(抽取低通滤波器)						
通带 (7)	$\pm 0.1\text{dB}$	PB	0		37.8	kHz
	-0.2dB		-	40.0	-	kHz
	-3.0dB		-	46.0	-	kHz
阻带		SB	56			kHz
通带纹波		PR			± 0.04	dB
阻带衰减		SA	68			dB
群延时失真		ΔGD		0		us
群延时		GD		16		1/fs
ADC 数字滤波器(高通滤波器)						
频率响应 (8)	-3dB	FR		2.0		Hz
	-0.1dB			13.0		Hz

7. 通带和阻带频率随 f_s 改变, 如: $\text{PB} = 18.9\text{kHz} @ \pm 0.1\text{dB}$ 是 $0.39375 * f_s$

8. 数字滤波引入的计算延时时间

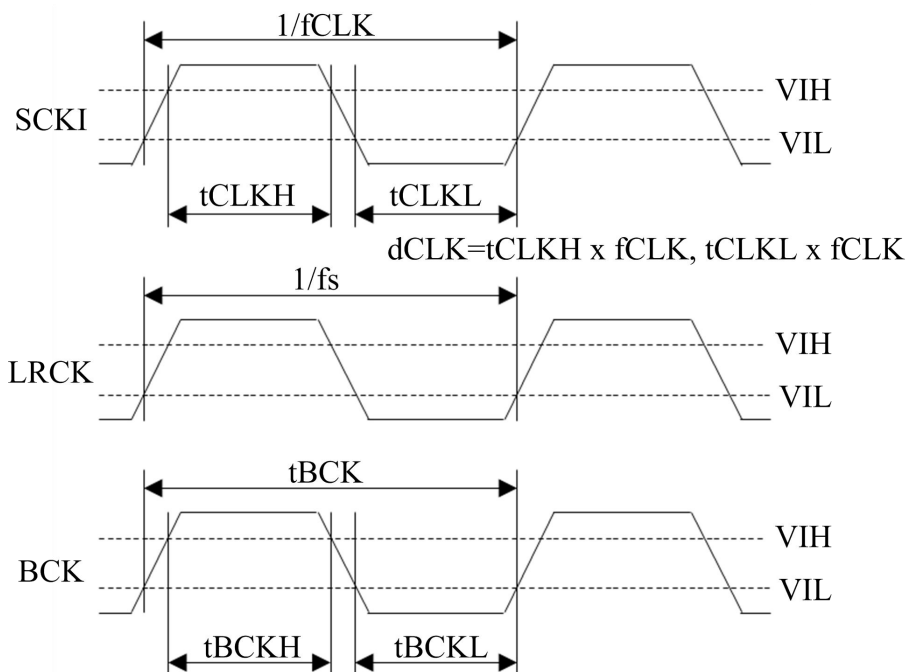
开关特性

Ta = -20°C ~ 85°C; VCC = 4.5V ~ 5.5V; VDD = 2.7V ~ 5.5V; CL=20pF

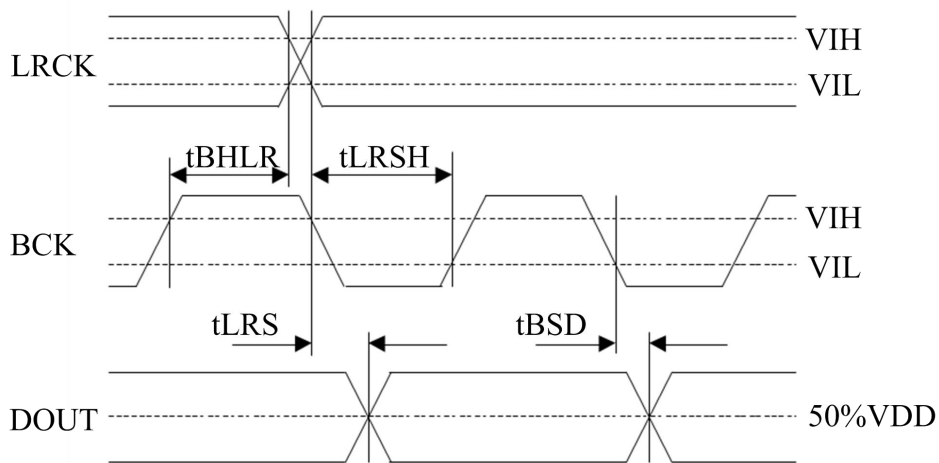
参数	信号	最小	典型	最大	单位
主时钟时间					
512fs,256fs 频率	fCLK	2.048		24.576	MHz
占空比	dCLK	40		60	%
768fs,384fs 频率	fCLK	3.072		36.864	MHz
占空比	dCLK	40		60	%
LRCK 频率	fs	8		96	kHz
占空比 从机模式		45		55	%
占空比 主机模式			50		%
音频接口时间					
从机模式					
BCK 周期	tBCK	160			ns
BCK 低脉冲宽度	tBCKL	65			ns
高脉冲宽度	tBCKH	65			ns
LRCK 边沿到 BCK “↑” (9)	tLRSH	30			ns
BCK “↑” 到 LRCK 边沿 (9)	tBHLR	30			ns
LRCK 到 DOUT(MSB) (除 I ² S 模式)	tLRS			35	ns
BCK “↓” 到 DOUT	tBSD			35	ns
主机模式					
BCK 频率	fBCK		64fs		Hz
BCK 占空比	dBCK		50		%
BCK “↓” 到 LRCK	tMBLR	-20		20	ns
BCK “↓” 到 DOUT	tBSD	-20		35	ns

9. BCK 的上升沿一定不能在 LRCK 上升和下降沿上

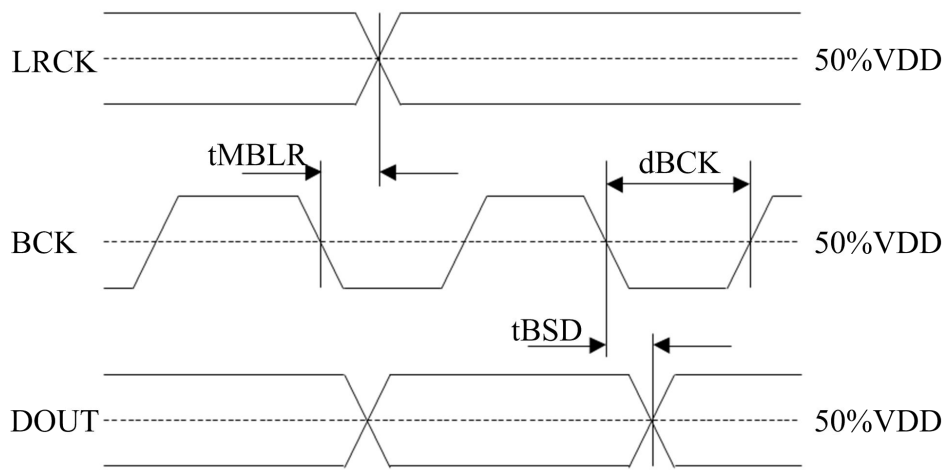
时序图



时钟时序



音频接口时序(从机模式)



音频接口时序(主机模式)

操作概述

硬件控制

上拉下拉电阻和数字 IC 的 GPIO 通过控制芯片的 FMT、MD0 和 MD1 引脚来选择其输出编码格式和工作模式。

系统时钟

MS1808 支持 256fs、384fs 和 512fs 作为系统时钟。fs 是音频采样频率，系统时钟的输入引脚是 SCKI。

表一显示了一些典型采样频率和系统时钟频率之间的关系。

fs	SCKI		
	256fs	384fs	512fs
32kHz	8.192MHz	12.288 MHz	16.384 MHz
44.1kHz	11.2896 MHz	16.9344 MHz	22.5792 MHz
48 kHz	12.288 MHz	18.432 MHz	24.576 MHz
96 kHz	24.576 MHz	36.864 MHz	N/A

表一：系统时钟举例

接口模式

MD1 和 MD0 作为模式选择引脚来选择主机模式和从机模式。表二显示了接口模式的选择。

在主机模式中，BCK 和 LRCK 作为输出引脚，BCK 的频率为 64fs。

在从机模式中，BCK 和 LRCK 作为输入引脚，BCK 的频率为 48fs 或者 64fs。

MD1	MD0	接口模式
0	0	从机模式(256fs、384fs、512fs 自动检测)
0	1	主机模式(512fs)
1	0	主机模式(384fs)
1	1	主机模式(256fs)

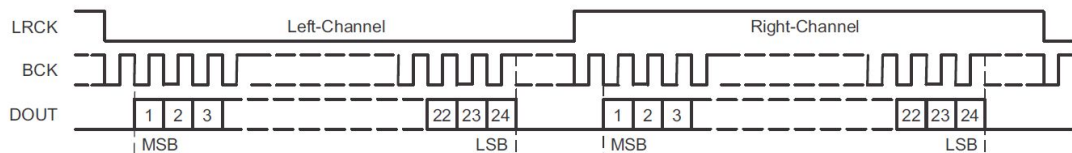
表二：接口模式

数据格式

Mode	FMT	数据格式
0	L	24bit, I^2S Compatible
1	H	24bit, MSB justified

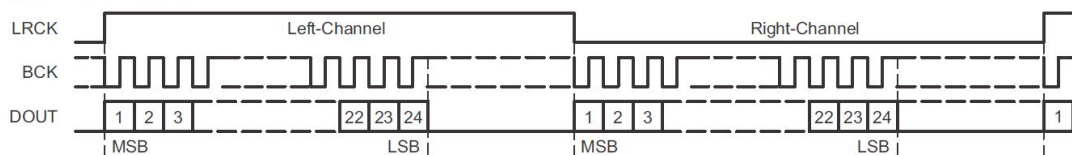
表三：数据格式

Format 0: FMT = LOW

 24-Bit, MSB-First, I^2S


Format 1: FMT = HIGH

24-Bit, MSB-First, Left-Justified

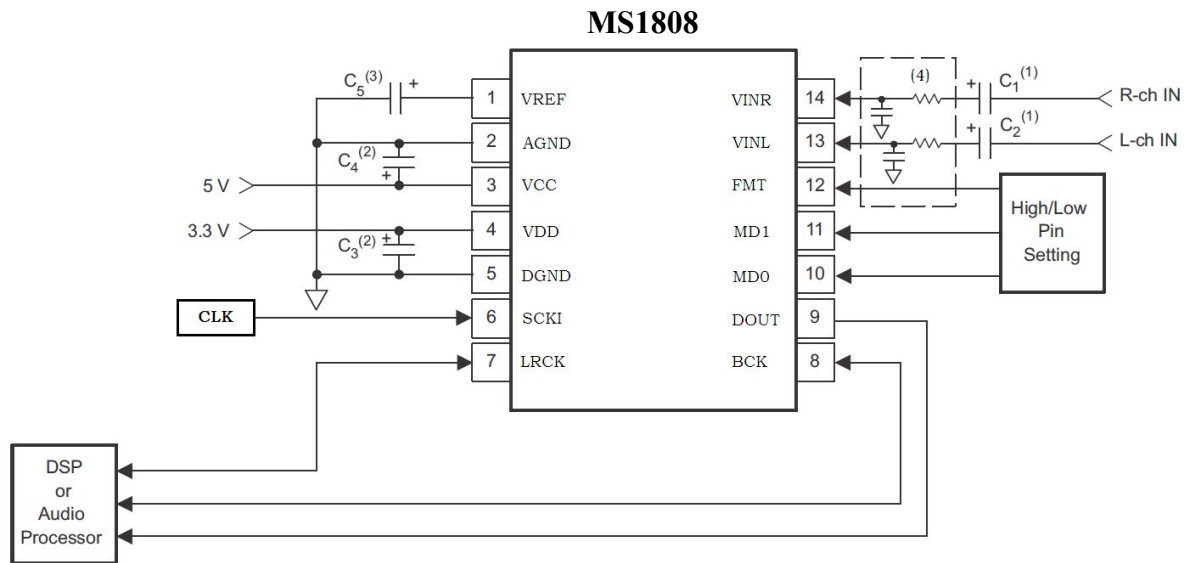


图一：音频数据格式

数字高通滤波器

ADC 有一个数字高通滤波器来消除直流失调。高通滤波器的截止点是 1.0Hz (@ $f_s = 48\text{kHz}$)并且随着其采样频率(f_s)而扩展。

在初始化期间两个通道的 ADC 数字数据输出被置为二进制的补码“0”。在初始化结束之后 ADC 的输出渐渐对应输入信号(稳定大约需要群延时的时间)。

典型应用


1. C₁, C₂: 10uF 的交流耦合电容
2. C₃, C₄: 10uF 的电解电容和 0.1uF 的陶瓷电容
3. C₅: 2.2uF 电容
4. 可选择的外部抗混叠滤波器

地和电源退耦

MS1808 需要特别小心电源和地的排布。另外如果 VCC 和 VDD 分开，它们的上电顺序并不是关键。MS1808 的 AGND 和 DGND 一定要连接在同一个模拟地上。系统的模拟地和数字地应该被连在一起，并且要靠近印刷电路板地的供电处。退耦电容应该尽可能的靠近 MS1808，小的陶瓷电容应该靠最近。

电源基准

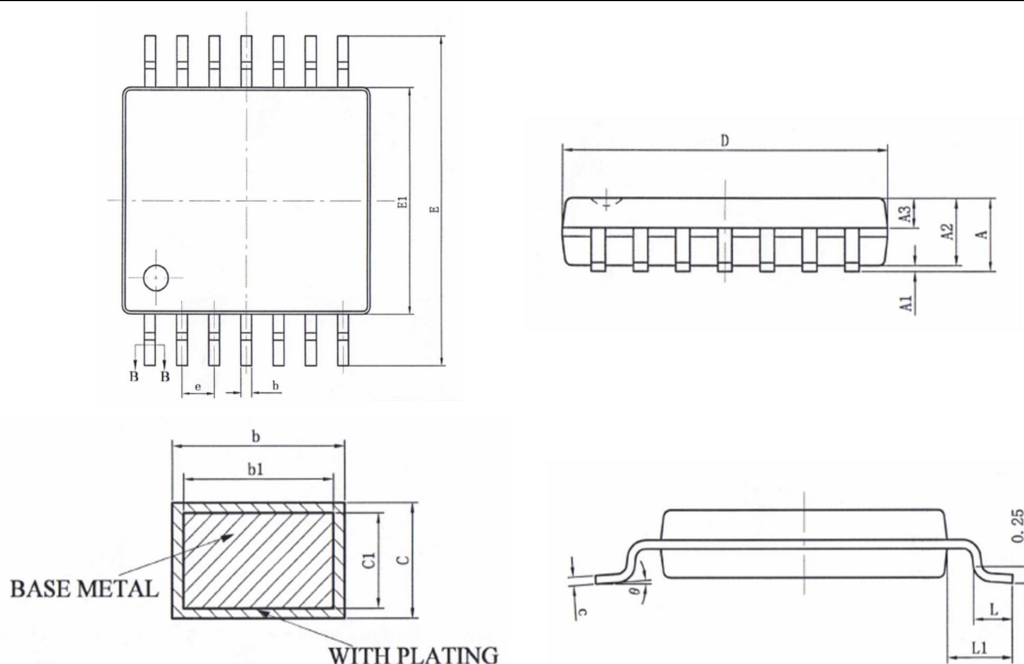
模拟电压输入范围是由 VCC 设置，VREF 是 50% 的 VCC。一个 2.2uF 电容贴在 VREF 引脚。为了避免带入 MS1808 不需要的耦合，所有信号特别是时钟应该远离 VREF 引脚。

模拟输入

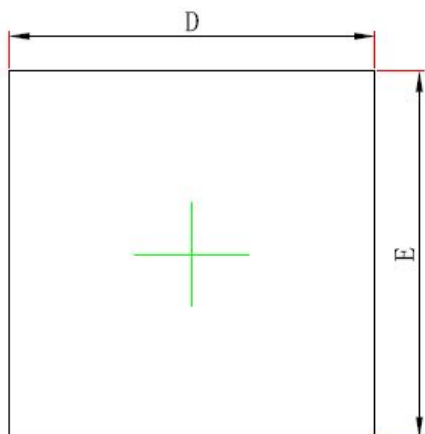
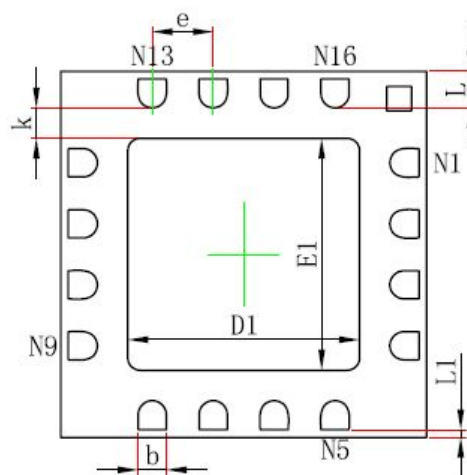
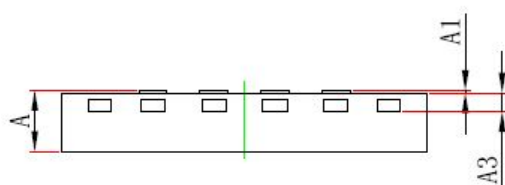
ADC 输入是单端而且内部通过 20kΩ 电阻偏置在共模电压 (50%*VCC) (典型 @fs=48kHz)。输入信号范围随着电源电压扩张，正常情况为 0.6*VCC Vpp (典型)。ADC 输出数据格式是二进制的补码。内部高通滤波器消除直流失调电压。

封装外形图

TSSOP14



符号	尺寸 (毫米)		
	最小	典型	最大
A			1.20
A1	0.05		0.15
A2	0.90	1.00	1.05
A3	0.39	0.44	0.49
b	0.20		0.30
b1	0.19	0.22	0.25
c	0.13		0.19
c1	0.12	0.13	0.14
D	4.86	4.96	5.06
E1	4.30	4.40	4.50
E	6.20	6.40	6.60
e	0.65BSC		
L	0.45		0.75
L1	1.00BSC		
θ	0		8°
L/F 载体尺寸 (mil)	79×79	90×110	
	118×153		

QFN16

Top View

Bottom View

Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.450/0.500/0.550	0.550/0.600/0.650	0.018/0.020/0.022	0.022/0.024/0.026
A1	0.000	0.050	0.000	0.002
A3	0.152REF.		0.006REF.	
D	2.924	3.076	0.115	0.121
E	2.924	3.076	0.115	0.121
D1	1.800	2.000	0.071	0.079
E1	1.800	2.000	0.071	0.079
k	0.200MIN.		0.008MIN.	
b	0.230	0.330	0.009	0.013
e	0.500TYP.		0.020TYP.	
L	0.250	0.350	0.010	0.014
L1	0.013	0.113	0.000	0.004



MOS电路操作注意事项:

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。