

CI1102

神经网络智能语音芯片

■ 神经网络处理器（BNPU）

- 神经网络运算 DNN 处理器内核
- 本地语音识别
- 硬件 VAD 语音检测和中断唤醒

■ 硬件音频处理模块

- 支持单麦远场降噪、单麦回声消除

■ CPU 和存储器

- 32 位高主频 CPU
- 支持 4 线 QSPI Nor Flash
- 内置 SRAM

■ 音频接口

- 高性能低功耗 Audio Codec，支持两路 ADC 采样和 DAC 播放
- 16kHz/24kHz/32kHz/44.1kHz/48kHz 采样率
- 支持 ALC 功能

■ 外设

- 3 路 UART 接口，最高可支持 3M 波特率



- 2 路 I2C 接口
- 1 路通用 SPI 接口
- 1 路 QSPI 接口

■ 定时器和看门狗

- 内置 4 组 32-bit 定时器
- 支持 6 路 PWM 接口
- 内置独立看门狗和窗口看门狗
- 支持超时产生中断或复位

■ ADC 转换器

- 内置 4 通道 12bit SAR ADC

■ 时钟及复位

- 支持外接晶体或有源晶振
- 内置 PLL
- 内置上电及欠压复位电路

目 录

1 功能描述.....	3
2 芯片规格.....	4
3 引脚图和功能描述.....	6
3.1 CI1102 引脚图.....	6
3.2 引脚功能描述.....	6
4 IO 复用.....	11
4.1 IO 复用切换控制寄存器 0 (IO_REUSE_CFG0, 见表 4-1)	11
4.2 IO 复用切换控制寄存器 1 (IO_REUSE_CFG1, 见表 4-1)	11
4.3 模数 IO 复用配置寄存器 (AD_IO_REUSE_CFG)	12
5 应用.....	14
5.1 应用参考电路图.....	14
5.2 应用注意事项.....	14
6 电气特性.....	16
7 封装信息.....	17
8 器件信息.....	18

1 功能描述

CI1102 是一颗专用于语音处理的人工智能芯片，可广泛应用于家电、家居、照明、音箱、玩具、穿戴设备、汽车等产品领域，实现语音交互及控制。CI1102 内置自主研发的脑神经网络处理器 **BNPU**，支持本地语音识别，和内置的 **CPU** 核结合可以做各类智能语音方案应用。

CI1102 内置高性能低功耗 **Audio Codec** 模块和硬件音频处理模块，可以外接麦克风实现单芯片远场降噪或者回声消除等功能。同时该芯片还集成多路 **UART**、**I2C**、**SPI**、**PWM**、**GPIO** 等外围控制接口，可以开发低成本单芯片智能语音离线识别方案。

2 芯片规格

CI1102 芯片功能框图如下图所示：

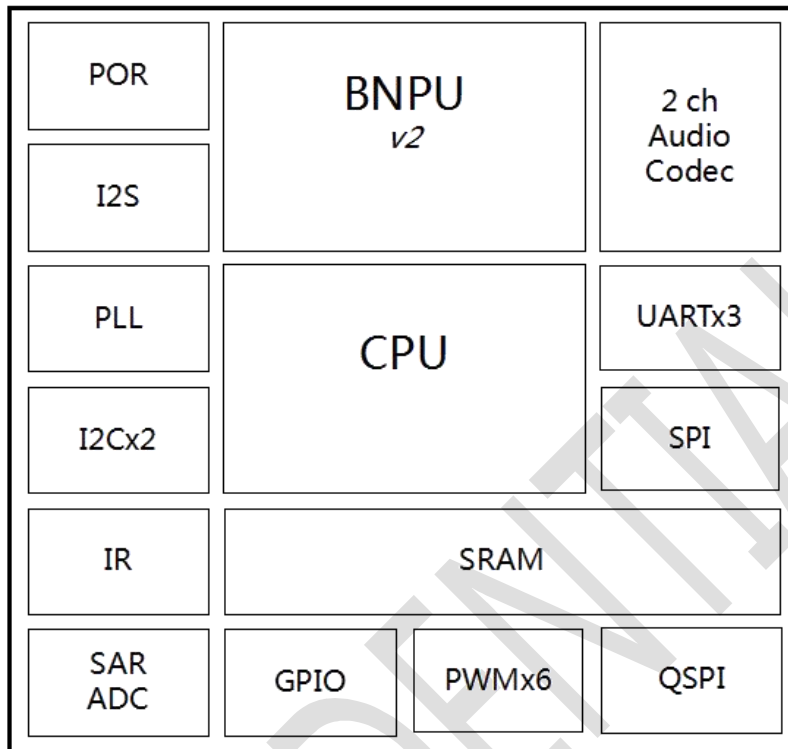


图 2-1 CI1102 芯片功能框图

■ 神经网络处理器 BNPV

- 基于 DNN 架构开发，采用硬件进行神经网络运算，内核可配置并独立处理 AI 语音功能

- 支持本地语音识别
- 支持硬件 VAD 语音检测和打断唤醒

■ 硬件音频处理模块

- 支持硬件处理语音远场降噪与回声消除功能选择使用

■ CPU

- 支持 24-bit 系统 timer
- 32-bit 单周期乘法器
- 支持 Serial Wire Debug Port(SW-DP) debug
- 内置 DMA 控制器

■ 存储器

- 支持 4 线 QSPI Nor Flash
- 内置 SRAM
- 内置 ROM

■ 音频接口

- 内置高性能低功耗 Audio Codec 模块，支持两路 ADC 采样和 DAC 播放
- 支持 Automatic Level Control (ALC)功能
- 支持 16kHz/24kHz/32kHz/44.1KHz/48KHz 采样率，支持 44.1KHz 时钟频

点

- 支持一路 I2S 音频扩展通路

■ SAR ADC

- 4 路 12bit SAR ADC 输入通道
- ADC IO 可与数字 GPIO 进行功能复用

■ 外设和定时器

- 3 路 UART 接口，最高可支持 3M 波特率
- 2 路 I2C 接口
- 1 路通用 SPI 接口
- 1 路 QSPI (Quad) 接口
- 6 路 PWM 接口
- 内置 4 组 32-bit timer
- 内置 1 组独立看门狗 (IWDG)
- 内置 1 组窗口看门狗 (WWDG)

■ GPIO

- 支持超 30 个 GPIO 口 (IO 功能复用)
- 每个 GPIO 口可配置中断功能
- 支持两路带滤波功能的外部中断

■ 时钟及复位

- 支持外接晶体或有源晶振
- 内置 PLL 和上电及欠压复位电路

3 引脚图和功能描述

3.1 CI1102 引脚图

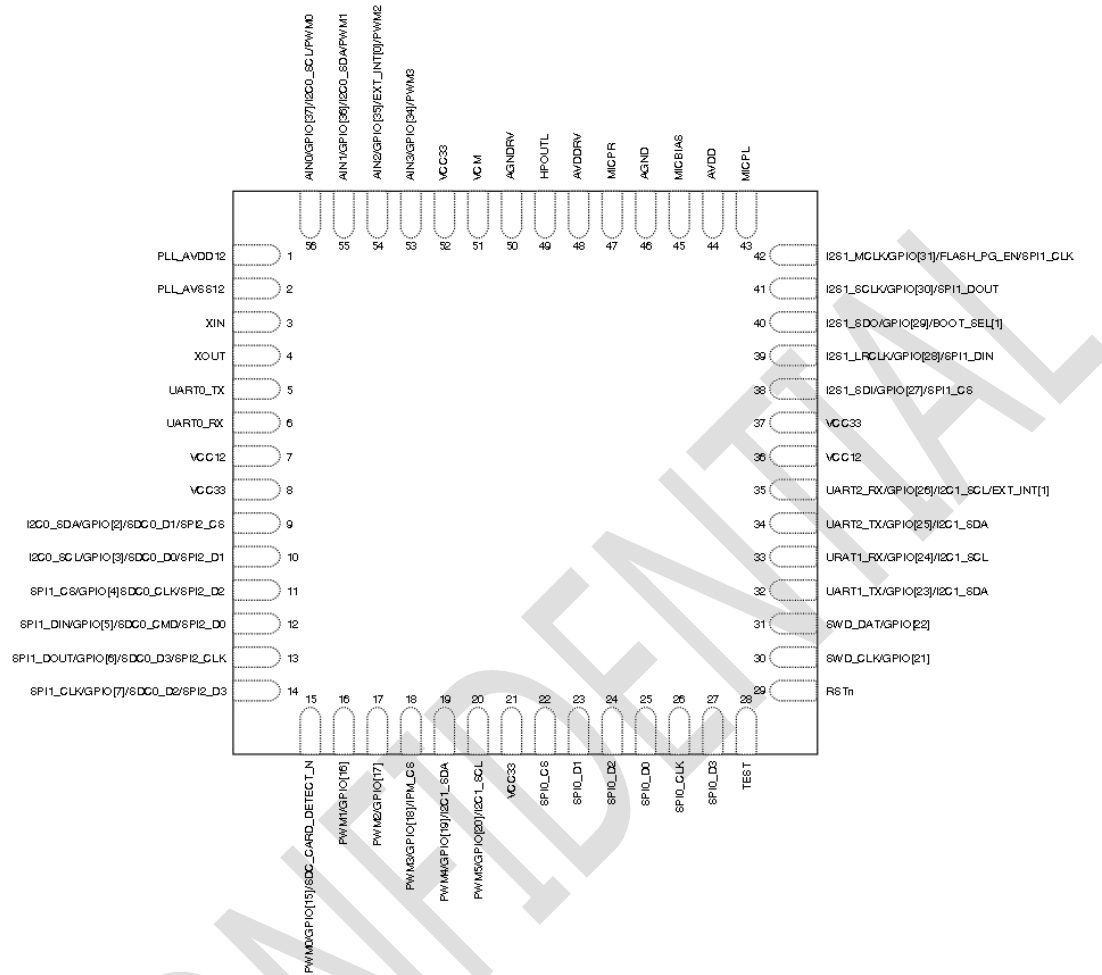


图 3-1 CI1102 引脚图

3.2 引脚功能描述

表 3-1 引脚功能表

CI1102 Chip Pin					
Pin Number	Pin name	Pin type	IO driving capability	IO power-on default state	Alternate functions
1	PLL_AVDD12	P	-	-	PLL 1.2V power supply
2	PLL_AVSS12	P	-	-	PLL ground
3	XIN	I	-	-	12.288MHZ crystal oscillator interface
4	XOUT	O	-	-	12.288MHZ crystal oscillator interface
5	UART0_TX	IO	4mA	IN,T+U	1.GPIO[0] 2.UART0 TX:Transmit channel

					of UART0
6	UART0_RX	IO	4mA	IN,T+U	1.GPIO[1] 2.UART0_RX:Receive channel of UART0
7	VCC12	P	-	-	1.2V Core power supply
8	VCC33	P	-	-	3.3V power supply
9	I2C0_SDA	IO	4mA	IN,T+U	1.GPIO[2] 2.I2C0_SDA:I2C0 Serial Data 3.SDC0_D1:SDC0 interface data 1 4.SPI2_CS:SPI2 interface chip selection signal
10	I2C0_SCL	IO	4mA	IN,T+U	1.GPIO[3] 2.I2C0_SCL:I2C0 Serial Clock 3.SDC0_D0:SDC0 interface data 0 4.SPI2_D1:SPI2 interface data 1
11	SPI1_CS	IO	4mA	IN,T+U	1.GPIO[4] 2.SPI1_CS:SPI1 interface chip selection signal 3.SDC0_CLK:SDC0 Serial Clock 4.SPI2_D2:SPI2 interface data 2
12	SPI1_DIN	IO	4mA	IN,T+D	1.GPIO[5] 2.SPI1_DIN:SPI1 interface data input 3.SDC0_CMD:Command pin for SDC0 interface 4.SPI2_D0:SPI2 interface data 0
13	SPI1_DOUT	IO	8mA	IN,T+D	1.GPIO[6] 2.SPI1_DOUT:Transmit channel of SPI1 3.SDC0_D3:SDC0 interface data 3 4.SPI2_CLK:SPI2 Serial Clock
14	SPI1_CLK	IO	8mA	IN,T+D	1.GPIO[7] 2.SPI1_CLK:Serial Clock for SPI1 interface 3.SDC0_D2:SDC0 interface data 2 4.SPI2_D3:SPI2 interface data 3
15	PWM0	IO	4mA	IN,T+D	1.GPIO[15] 2.PWM0 Output 3.SDC CARD_DETECT_N
16	PWM1	IO	4mA	IN,T+D	1.GPIO[16] 2.PWM1 Output
17	PWM2	IO	4mA	IN,T+D	1.GPIO[17] 2.PWM2 Output
18	PWM3	IO	4mA	IN,T+D	1.GPIO[18] 2.PWM3 Output 3.IPM_CS
19	PWM4	IO	4mA	IN,T+D	1.GPIO[19] 2.PWM4 Output 3.I2C1_SDA:I2C1 Serial Data
20	PWM5	IO	4mA	IN,T+D	1.GPIO[20] 2.PWM5 Output 3.I2C1_SCL:I2C1 Serial Clock

21	VCC33	P	-	-	3.3V power supply
22	SPI0_CS	IO	8mA	OUT,T	QSPI interface chip selection signal
23	SPI0_D1	IO	8mA	OUT,T+U	QSPI interface data 1
24	SPI0_D2	IO	8mA	OUT,T	QSPI interface data 2
25	SPI0_D0	IO	8mA	IN,T	QSPI interface data 0
26	SPI0_CLK	IO	8mA	IN,T	Serial Clock for QSPI interface
27	SPI0_D3	IO	8mA	IN,T	QSPI interface data 3
28	TEST	I	-	IN, L	Internal pull-down 0—functional mode 1—test mode
29	RSTn	I	-	IN,H	External reset input.Pull this pin low to reset device to initial state.Has internal weak pull-up.
30	SWD_CLK	IO	4mA	IN,T+D	1.TCK:Serial Wire Debug port clock pin.Has internal weak pull-down. 2.GPIO[21]
31	SWD_DAT	IO	4mA	IN,T+U	1.TMS:Serial Wire Debug port data pin.Has internal weak pull-up. 2.GPIO[22]
32	UART1_TX	IO	4mA	IN,T+U	1.GPIO[23] 2.UART1_TX:Transmit channel of UART1 3.I2C1_SDA:I2C1 Serial Data
33	UART1_RX	IO	4mA	IN,T+U	1.GPIO[24] 2.UART1_RX:Receive channel of UART1 3.I2C1_SCL:I2C1 Serial Clock
34	UART2_TX	IO	4mA	IN,T+U	1.GPIO[25] 2.UART2_TX:Transmit channel of UART2 3.I2C1_SDA:I2C1 Serial Data
35	UART2_RX	IO	4mA	IN,T+U	1.GPIO[26] 2.UART2_RX:Receive channel of UART2 3.I2C1_SCL:I2C1 Serial Clock 4.EXT_INT[1]
36	VCC12	P	-	-	Core 1.2V power supply
37	VCC33	P	-	-	3.3V power supply
38	I2S1_SDI	IO	4mA	OUT,T+D	1.GPIO[27] 2.I2S1_SDI:Serial Data Input for I2S1 interface 4.SPI1_CS:SPI1 interface chip selection signal
39	I2S1_LRCLK	IO	4mA	IN,T+D	1.GPIO[28] 2.I2S1_LRCLK:I2S1 interface LRCLK clock 4.SPI1_DIN:SPI1 interface data input
40	I2S1_SDO	IO	4mA	IN,T+D	1.GPIO[29](BOOT_SEL[1]) At startup,Boot1 option bit is used to select one of two modes:

					0---Normal functional model 1---Debug mode 2.I2S1_SDO:Serial Data Output for I2S1 interface
41	I2S1_SCLK	IO	4mA	IN,T+D	1.GPIO[30] 2.I2S1_SCLK:Serial Clock for I2S1 interface 4.SPI1_DOUT:Transmit channel of SPI1
42	I2S1_MCLK	IO	4mA	IN,T+D	1.GPIO[31](UART_UPDATE_EN) At startup,this pin is used to select one of two functional modes: 1---Start serial port upgrade service and program 0---Start directly from Flash 2.I2S1_MCLK:Master Clock for I2S1 reference 4.SPI1_CLK:Serial Clock for SPI1 interface
43	MICPL	I		IN	Left ADC channel input
44	AVDD	P	-	-	3.3V analog supply
45	MICBIAS	O			Microphone bias output
46	AGND	P	-	-	Analog ground
47	MICPR	I		IN	Right ADC channel input
48	AVDDRV	P	-	-	3.3V analog supply
49	HPOUTL	O		OUT	Left DAC channel output
50	AGNDRV	P	-	-	Analog ground
51	VCM	O		OUT	Reference voltage output
52	VCC33	P	-	-	3.3V power supply
53	AIN3	IO	-	IN,T+D	1.GPIO[34] 2.ADC3 Input 4.PWM3 Output
54	AIN2	IO	-	IN,T+D	1.GPIO[35] 2.ADC2 Input 3.EXT_INT[0] 4.PWM2 Output
55	AIN1	IO	-	IN,T+D	1.GPIO[36] 2.ADC1 Input 3.I2C0 Serial Data 4.PWM1 Output
56	AIN0	IO	-	IN,T+D	1.GPIO[37] 2.ADC0 Input 3.I2C0 Serial Clock 4.PWM0 Output

Conformity with definition:

- I input
- O output
- IO bidirectional
- P power or ground
- L low level
- H high level
- T tristate state
- T+D tristate plus pull-down

T+U tristate plus pull-up
OUT power-on defaults to output mode
IN power-on defaults to input mode

CONFIDENTIAL

4 IO 复用

4.1 IO 复用切换控制寄存器 0 (IO_REUSE_CFG0, 见表 4-1)

地址: 0x4001008C

复位值: 0x00000000

Reserved						SPI0									
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														UART0_TX	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

4.2 IO 复用切换控制寄存器 1 (IO_REUSE_CFG1, 见表 4-1)

地址: 0x40010090

复位值: 0x00000000

Reserved															SPI2	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
														PWM0_1		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

系统 IO 复用切换控制寄存器 0 和 1 决定芯片的管脚复用关系。CI1102 芯片的芯片管脚功能由分组决定，其分组状态如下表：

表 4-1 GPIO 复用列表

名称	IO_REUS E_CFG	IO_PU LL_C FG	数字功能			
			第 1 功能 (0x0)	第 2 功能 (0x1)	第 3 功能 (0x2)	第 4 功能 (0x3)
UART0_TX	reg0[1:0]	reg0[0]	GPIO[0]	UART0_TX		
UART0_RX	reg0[3:2]	reg0[1]	GPIO[1]	UART0_RX		
UART1_TX	reg0[5:4]	reg0[2]	GPIO[23]	UART1_TX	I2C1_SDA	
UART1_RX	reg0[7:6]	reg0[3]	GPIO[24]	UART1_RX	I2C1_SCL	
I2C0_SCL	reg0[9:7]	reg0[4]	GPIO[3]	I2C0_SCL	SDC_D0	SPI2_D1
I2C0_SDA		reg0[5]	GPIO[2]	I2C0_SDA	SDC_D1	SPI2_CS
UART2_TX	reg0[11:10]	reg0[6]	GPIO[25]	UART2_TX	I2C1_SDA	
UART2_RX	reg0[13:12]	reg0[7]	GPIO[26]	UART2_RX	I2C1_SCL	EXT_INT[1]
I2C1_SCL	reg0[15:14]	reg0[8]	GPIO[32]	I2C1_SCL		
I2C1_SDA		reg0[9]	GPIO[33]	I2C1_SDA		
I2S1_MCLK	reg0[17:16]	reg0[10]	GPIO[31]	I2S1_MCLK		SPI1_CLK
I2S1_SCLK		reg0[11]	GPIO[30]	I2S1_SCLK		SPI1_DOUT
I2S1_SDO		reg0[12]	GPIO[29]	I2S1_SDO		
I2S1_LRCLK		reg0[13]	GPIO[28]	I2S1_LRCLK		SPI1_DIN
I2S1_SDI		reg0[14]	GPIO[27]	I2S1_SDI		SPI1_CS
SWD_CLK	reg0[19:18]	reg0[15]	TCK	GPIO[21]		
SWD_DAT		reg0[16]	TMS	GPIO[22]		
SPI1_CS	reg0[21:20]	reg0[17]	GPIO[4]	SPI1_CS	SDC_CLK	SPI2_D2

名称	IO_REUSE_CFG	IO_PULL_CFG	数字功能			
			第 1 功能 (0x0)	第 2 功能 (0x1)	第 3 功能 (0x2)	第 4 功能 (0x3)
SPI1_DIN	reg0[23:22]	reg0[18]	GPIO[5]	SPI1_DIN	SDC_CMD	SPI2_D0
SPI1_DOUT		reg0[19]	GPIO[6]	SPI1_DOUT	SDC_D3	SPI2_CLK
SPI1_CLK		reg0[20]	GPIO[7]	SPI1_CLK	SDC_D2	SPI2_D3
SPI0_CS	reg0[25:24]	reg0[21]	SPI0_CS			
SPI0_D1		reg0[22]	SPI0_D1			
SPI0_D2		reg1[0]	SPI0_D2			
SPI0_D0		reg1[1]	SPI0_D0			
SPI0_CLK		reg1[2]	SPI0_CLK			
SPI0_D3		reg1[3]	SPI0_D3			
PWM0	reg1[1:0]	reg1[4]	GPIO[15]	PWM0	SDC_DET	
PWM1		reg1[5]	GPIO[16]	PWM1		
PWM2	reg1[3:2]	reg1[6]	GPIO[17]	PWM2		
PWM3		reg1[7]	GPIO[18]	PWM3	IPM_CS	
PWM4	reg1[5:4]	reg1[8]	GPIO[19]	PWM4	I2C1_SDA	
PWM5		reg1[9]	GPIO[20]	PWM5	I2C1_SCL	
SDC_DET	reg1[7:6]	reg1[10]	GPIO[14]	SDC_DET		
SDC_D2		reg1[11]	GPIO[13]	SDC_D2		
SDC_D3		reg1[12]	GPIO[12]	SDC_D3		
SDC_CMD		reg1[13]	GPIO[11]	SDC_CMD		
SDC_CLK		reg1[14]	GPIO[10]	SDC_CLK		
SDC_D0		reg1[15]	GPIO[9]	SDC_D0		
SDC_D1		reg1[16]	GPIO[8]	SDC_D1		
AIN0	reg1[9:8]	reg1[17]	GPIO[37]	AIN0	I2C0_SCL	PWM0
AIN1	reg1[11:10]	reg1[18]	GPIO[36]	AIN1	I2C0_SDA	PWM1
AIN2	reg1[13:12]	reg1[19]	GPIO[35]	AIN2	EXT_INT[0]	PWM2
AIN3	reg1[15:14]	reg1[20]	GPIO[34]	AIN3		PWM3
SPI2_CLK	reg1[17:16]	reg1[21]	SPI2_CLK	GPIO[42]		
SPI2_CS		reg1[22]	SPI2_CS	GPIO[41]		
SPI2_D0		reg1[23]	SPI2_D0	GPIO[38]		
SPI2_D1		reg1[24]	SPI2_D1	GPIO[40]		
SPI2_D2		reg1[25]	SPI2_D2	GPIO[39]		
SPI2_D3		reg1[26]	SPI2_D3	GPIO[43]		

每一组管脚功能使用时需要配置对应的 IO_REUSE_CFG 寄存器位, 举例如下: 如果用户想将 UART0_TX 配置成 UART0 功能, 则需要将寄存器 IO_REUSE_CFG0 的第 0 位和第 1 位配置为 0x1; 如果想将这个引脚配置为 GPIO 功能, 则将寄存器 IO_REUSE_CFG0 的第 0 位和第 1 位配置为 0x0, 以此类推。注意: 如果是模拟管脚需要根据复用情况先选择是作为模拟管脚还是数字管脚使用。

4.3 模数 IO 复用配置寄存器 (AD_IO_REUSE_CFG)

地址: 0x4001009C

复位值: 0x00FF

[Bit Field Diagram]																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved													AIN3	AIN2	AIN1	AIN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	
位域	名称		复位值		类型		描述									

15:4	Reserved	0x00	R/W	保留
3	AIN3	1	R/W	AIN3 IO 模拟/数字功能复用： 0: 数字功能 1: 模拟功能
2	AIN2	1	R/W	AIN2 IO 模拟/数字功能复用： 0: 数字功能 1: 模拟功能
1	AIN1	1	R/W	AIN1 IO 模拟/数字功能复用： 0: 数字功能 1: 模拟功能
0	AIN0	1	R/W	AIN0 IO 模拟/数字功能复用： 0: 数字功能 1: 模拟功能

5 应用

5.1 应用参考电路图

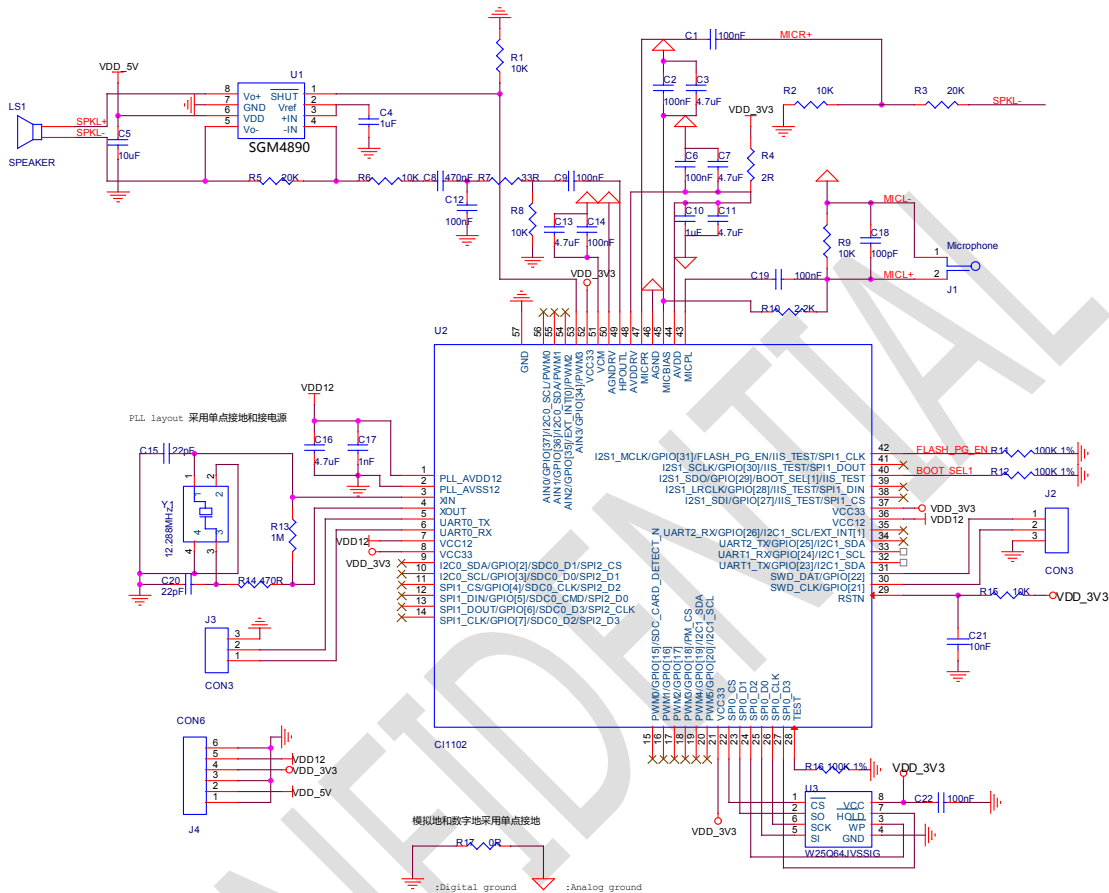


图 5-1 单麦克风本地语音识别应用系统图

上图为单麦克风输入，单喇叭输出的应用原理图，可以实现单麦克风 AEC 回声消除离线语音识别应用方案。用户也可根据应用要求设计多种原理图。

5.2 应用注意事项

1. 芯片供电有上电时序要求：需要先上 VDD33 电源，再上 VDD12 电源。如图 5-2 所示，VDD33 电源上电与 VDD12 电源上电间隔时间需要大于 0.1ms，VDD12 上电后在小于 40ms 时间内，芯片 POR 复位完成，同时系统时钟有效输出。

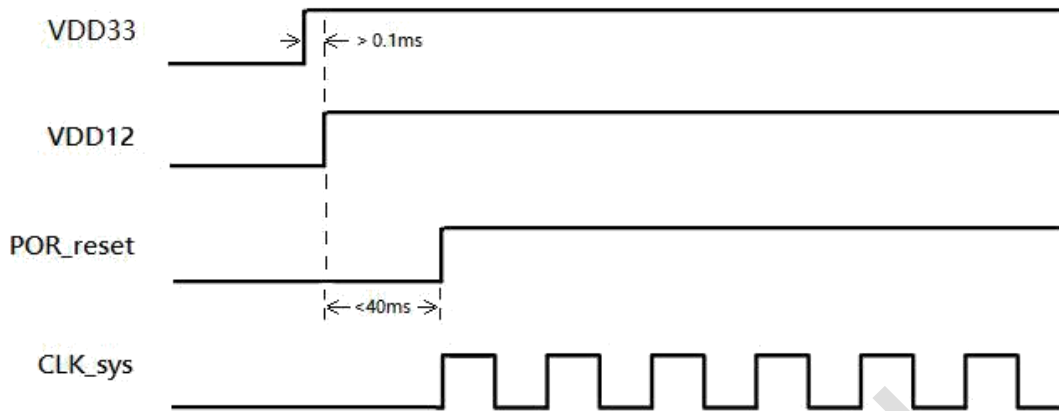


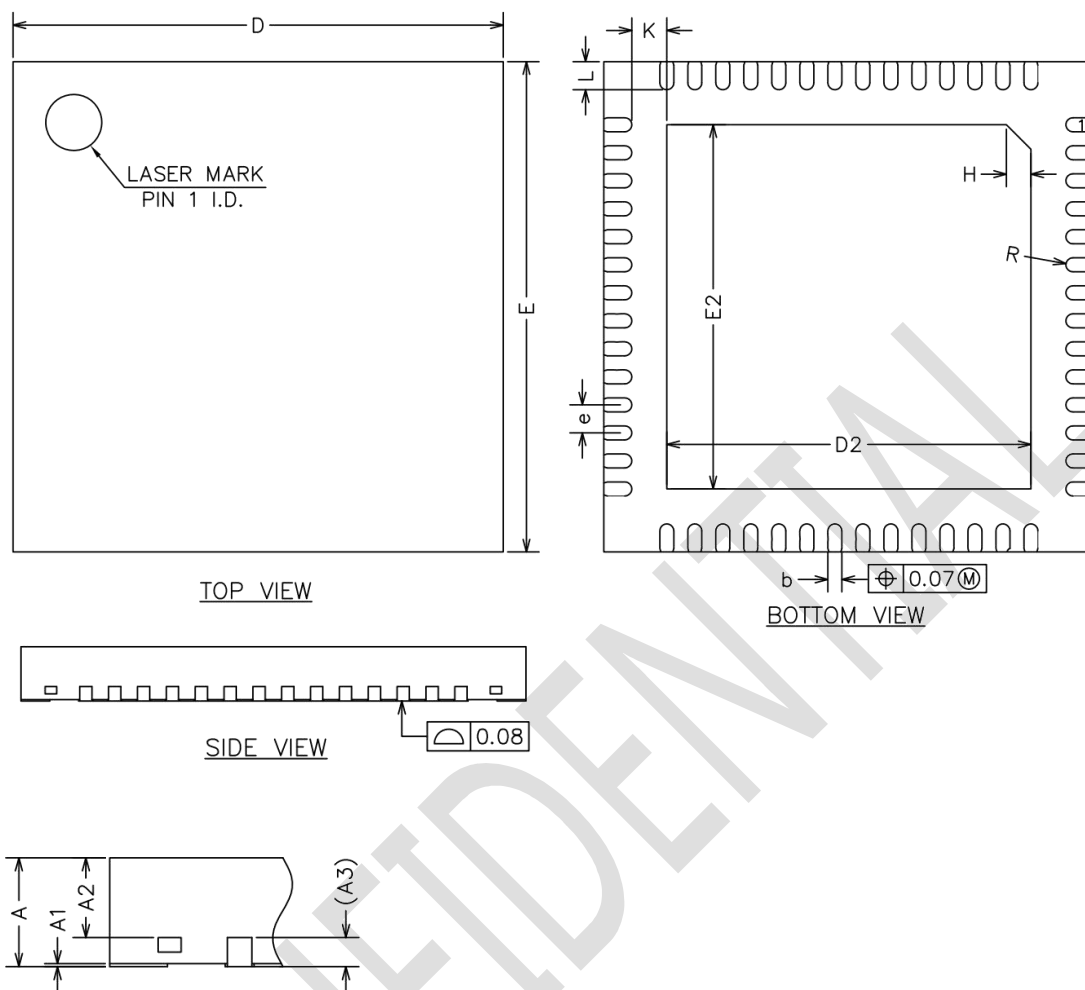
图 5-2 上电时序图

2. RSTN 为复位引脚，该引脚输入一个低电平时芯片进入复位。
3. TEST 引脚为测试模式选择，正常使用该引脚应保持低电平。
4. 芯片上电时管脚 I2S1_SDO 的电平会作为芯片启动模式判断信号，当上电判断为高时，则会进入调试模式，上电判断为低时进入正常启动模式。正常使用时应该保持该引脚为低电平信号。
5. 芯片上电时管脚 I2S1_MCLK 的电平会作为升级模式判断信号，当上电判断为高时，启动串口升级服务,这次可使用配套的升级工具对板上的 Nor Flash 进行编程。上电判断为低时直接从板上的 Nor Flash 启动。
6. 芯片采用无铅环保工艺制造，SMT 焊接时请按照无铅标准设置炉温和时间等参数。
7. 芯片取用、包装时需注意静电影响，建议采用抗静电材料隔离。

6 电气特性

符号	参数	最小值	典型值	最大值	单位
VCC	芯片IO供电电压	2.97	3.3	3.63	V
VDD	芯片内核供电电压	1.08	1.2	1.32	V
V _{IH}	输入高电压	2.0	-	3.6	V
V _{IL}	输入低电压	-0.3	-	0.8	V
V _{OL}	输出低电压 @I _{OL} = 2,4,8mA	-	-	0.4	V
V _{OH}	输出高电压 @I _{OH} = 2,4,8mA	2.4	-	-	V
ADC_VREF ₃₃	SAR ADC参考电压	2.97	3.3	3.63	V
PLL_AVDD ₁₂	PLL模拟供电电压	1.08	1.2	1.32	V
I _{3.3V}	芯片3.3V供电工作电流	9.5	11	13	mA
I _{1.2V}	芯片1.2V供电工作电流	49	51	53	mA
I _{S3.3V}	芯片3.3V供电睡眠模式工作电流	8.5	8.75	9	mA
I _{S1.2V}	芯片1.2V供电睡眠模式工作电流	4.5	4.75	5	mA
TA	芯片工作环境温度	0	-	+70	°C
T _{ST}	芯片储存环境温度	-55	-	+150	°C

7 封装信息



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.15	0.20	0.25
D	6.90	7.00	7.10
E	6.90	7.00	7.10
D2	5.10	5.20	5.30
E2	5.10	5.20	5.30
e	0.30	0.40	0.50
H	0.35REF		
K	0.50REF		
L	0.35	0.40	0.45
R	0.09	-	-

8 器件信息

ChipIntelli:Logo

CI1102:product part number

XXXXXX:internal control code

○ :pin 1



IC Model	Batch Number	Packaging Dimensions	Packing
CI1102	XXXXXX	QFN56L(7mm*7mm*0.75mm)	TBD

- 启英泰伦保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整和最新。
- 任何半导体产品特定条件下都有一定的失效或发生故障的可能，买方有责任在使用本产品进行系统设计和整机制造时遵守安全标准并采取安全措施，以避免潜在失败风险可能造成人身伤害或财产损失情况的发生！
- 产品提升永无止境，我司将竭诚为客户提供更优秀的产品！