

8位模拟数字转换串行控制器

概述

XL548是8位串行A/D转换器芯片，采用了CMOS工艺，它以8位开关电容逐次逼近的方法实现 A/D转换，可与通用微处理器、控制器通过CLK、CS、DATAOUT三条口线进行串行接口，构成各种廉价的测控应用系统。具有4MHz片内系统时钟和软、硬件控制电路，转换时间最长17 μ s，XL548采样为45500次/s。

其它功能总失调误差最大为 ± 0.5 LSB，典型功耗值为6mW。采用差分参考电压高阻输入，抗干扰，可按比例量程校准转换范围， $VREF+ - VREF- \geq 1V$ ，可用于较小信号的采样。

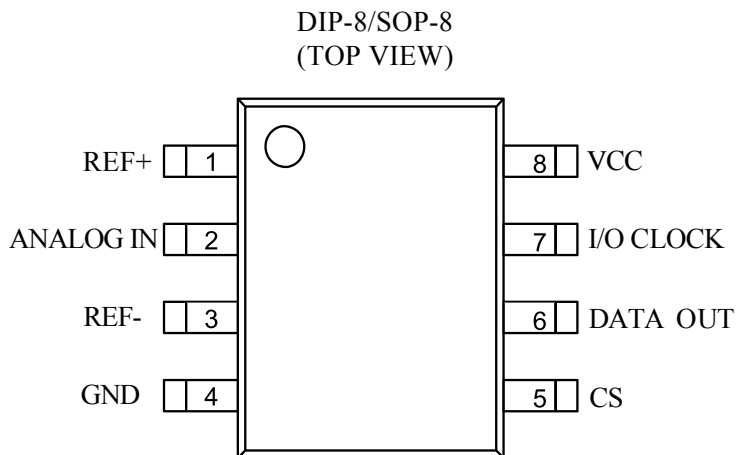
产品特点

- 采用三线串行方式与微处理器接口
- 8位分辨率AD转换器
- 4MHz的典型内部系统时钟
- 片内采样保持电路，转换时间 $\leq 17\mu s$
- 差分电压输入
- 宽工作电压3V-6.5V
- 低功耗15mW
- 总失调误差 $\leq \pm 0.5$ LSB
- 采样速度45500次/S
- 片内提供4MHz内部系统时钟，并于操作控制用的外部I/OLOCK相互独立。
- 采用常规的DIP8封装和SOP8封装

应用领域

- 手持式设备
- 便携式监控器及功率管理
- 工业信号监测
- 测控仪表

引脚示意图及说明



管脚序号	名称	说明
1	REF+	正基准电压输入 $2.5V \leq \text{REF+} \leq V_{CC} + 0.1$
2	ANALOG IN	模拟信号输入端
3	REF-	负基准电压输入端, $-0.1V \leq \text{REF-} \leq 2.5V$ 。
4	GND	电源地
5	CS	芯片片选端
6	DATA OUT	数据转换接口输出端
7	I/O CLOCK	外接时钟输入端
8	VCC	电源端

极限参数

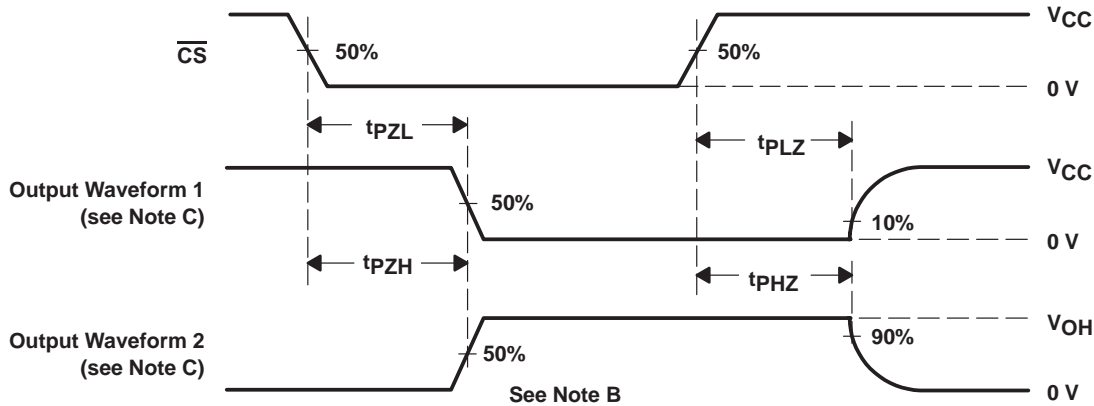
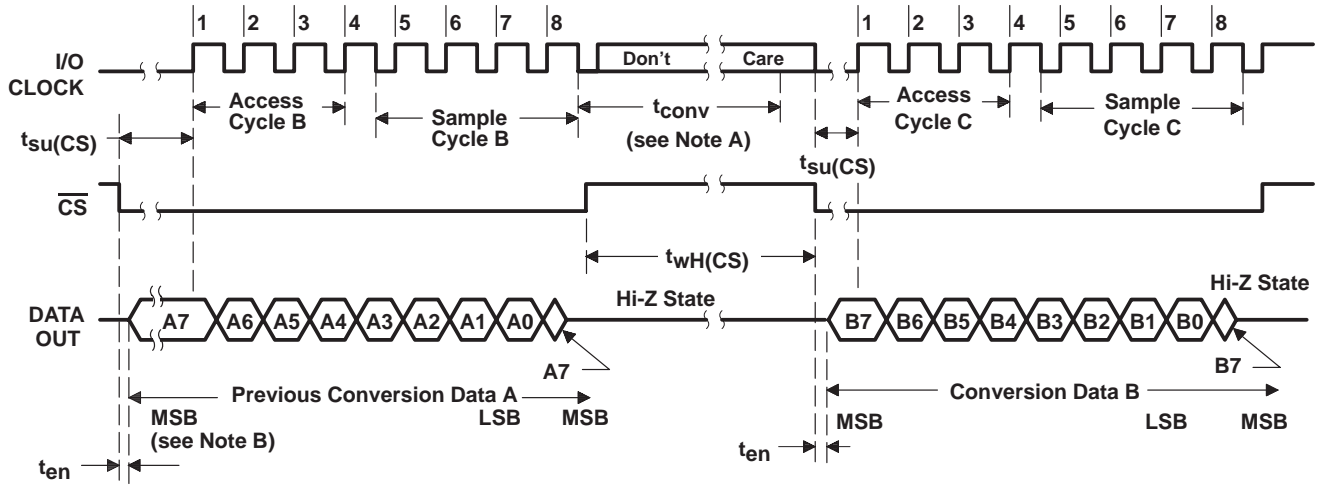
VCC 端到 GND 电压.....	-0.5V to 6.5V
所有输入管脚到 GND 电压.....	-0.5V to 6V
OUT 管脚到 GND 电压.....	-0.3V to VCC+0.3V
Vref+ 管脚到 GND 电压.....	-0.3V to VCC+0.1V
Vref-管脚到 GND 电压.....	-0.1V
所有输入管脚峰值电流	±20mA
存储温度	-65°C to +150°C
工作环境温度	-40°C to +85°C
焊接温度(10 秒)	+260°C
最高结温	+150°C

电气特性

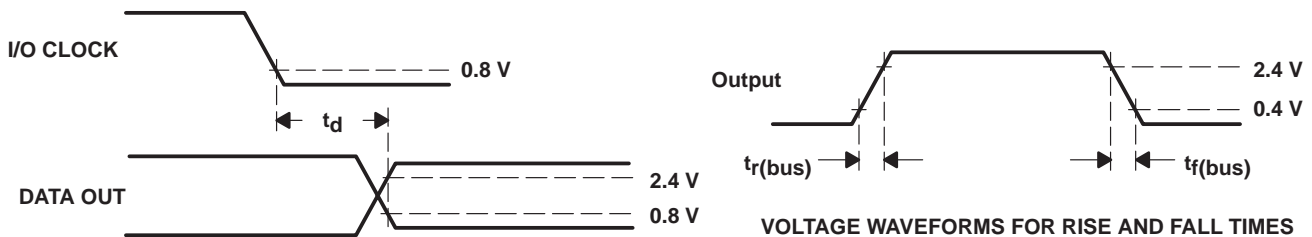
(VIN=5V, 除非另外注明, TA=-40°C 到 85°C, 典型值在环境温度为25°C时测得)

符号	参数说明	测试条件	最小值	典型值	最大值	单位
VCC	Supply voltage		3	5	5.5	V
VOH	High-level output voltage	VCC = 4.5 V, IOH = -1.6 mA	2.4			V
		VCC = 4.5 V to 5.5 V, IOH = -20uA	VCC-0.1			
VOL	Low-level output voltage	VCC = 4.5 V, IOL = 1.6 mA			0.4	V
		VCC = 4.5 V to 5.5 V, IOL = 20uA			0.1	
IOZ	Off-state (high-impedance-state) output current	VO = VCC, CS at VCC			10	A
		VO = 0, CS at VCC			-10	
IiH	High-level input current	VI = VCC		0.05		A
IiL	Low-level input current	VI = 0		-0.005	-2.5	A
ICC	Operating supply current	CS at 0 V		0.8	2.5	mA
Ileakage	Analogue input leakage current	VI = VCC			1	A
		VI = 0			-1	
	Maximum static analog	Vref+ = VCC, Vref- = GND			10	A
tsu(CS)	Setup time, CS low before first I/O CLOCK				1.425	s
th(CS)	Hold time, CS low after last I/O CLOCK				0	ns
twH	Pulse duration, I/O CLOCK high				190	ns
twL(I/O)	Pulse duration, I/O CLOCK low				190	ns
tt(CS)	Transition time				10	us

时序图及说明



VOLTAGE WAVEFORMS FOR ENABLE AND DISABLE TIMES



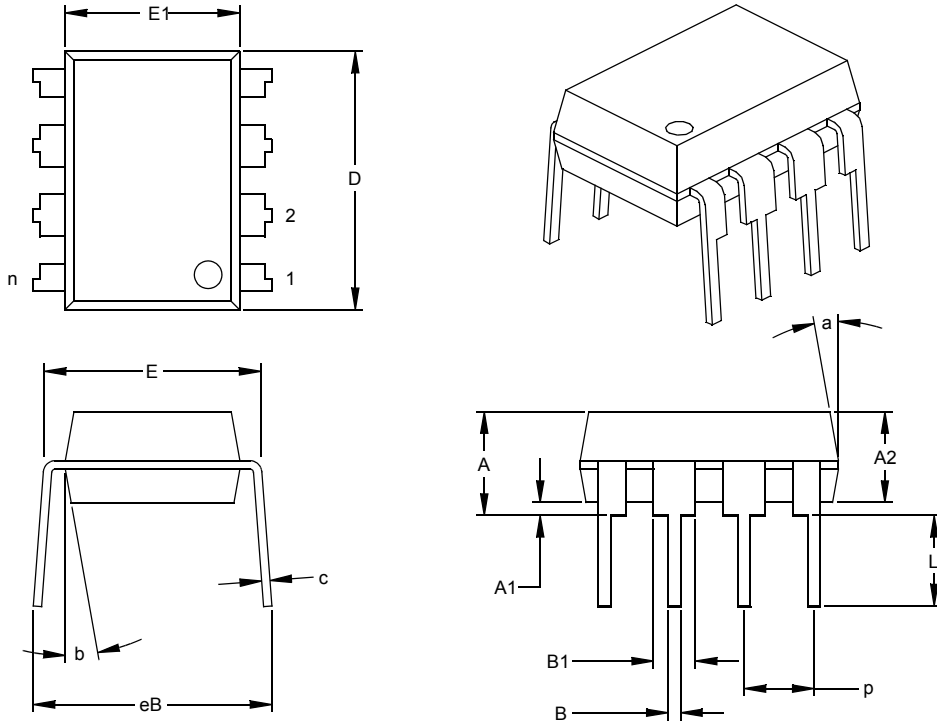
VOLTAGE WAVEFORMS FOR RISE AND FALL TIMES

通常的控制时序为：

- (1) 将CS置低。内部电路在测得CS下降沿后，再等待两个内部时钟上升沿和一个下降沿后，然后确认这一变化，最后自动将前一次转换结果的最高位（D7）位输出到DATAOUT端上。
- (2) 前四个I/OCLOCK周期的下降沿依次移出第2、3、4和第5个位（D6、D5、D4、D3），片上采样保持电路在第4个I/OCLOCK下降沿开始采样模拟输入。
- (3) 接下来的3个I/OCLOCK周期的下降沿移出第6、7、8（D2、D1、D0）个转换
- (4) 片上采样保持电路在第8个I/OCLOCK周期的下降沿将移出第6、7、8（D2、D1、D0）个转换位。保持功能将持续4个内部时钟周期，然后开始进行32个内部时钟周期的A/D转换。第8个I/OCLOCK后，CS必须为高，或I/OCLOCK保持低电平，这种状态需要维持36个内部系统时钟周期以等待保持和转换工作的完成。如果CS为低时I/OCLOCK上出现一个有效干扰脉冲，则微处理器/控制器将与器件的I/O时序失去同步；若CS为高时出现一次有效低电平，
- (5) 若要在特定的时刻采样模拟信号，应使第8个I/OCLOCK时钟的下降沿与该时刻对应，因为芯片虽在第4个I/OCLOCK时钟下降沿开始采样，却在第8个I/OCLOCK的下降沿开始保存。

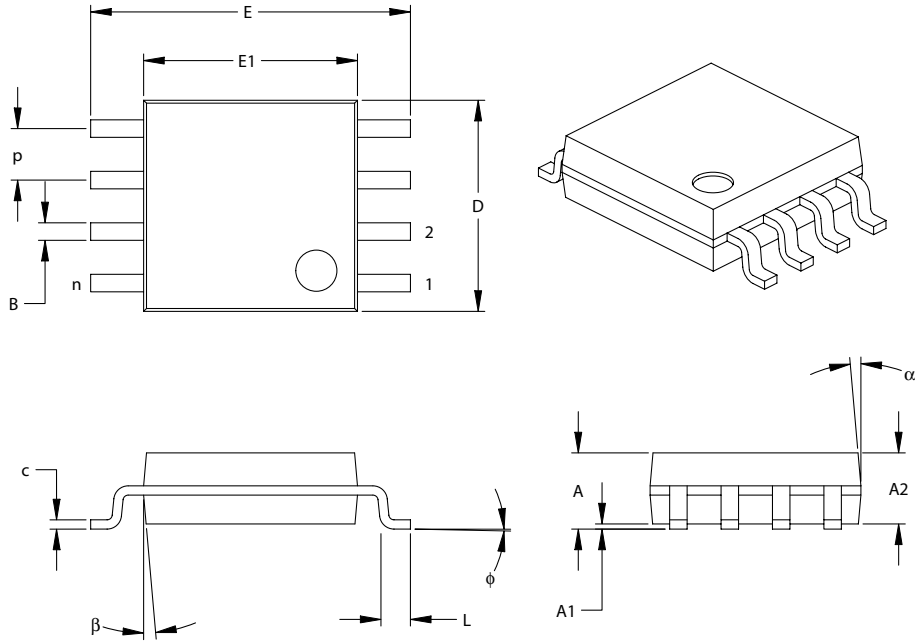
封装信息

8 引脚塑封双列直插式封装 (P) —— 300 mil (DIP)



单位		英寸*			毫米		
尺寸范围		最小	正常	最大	最小	正常	最大
引脚数	n		8			8	
引脚间距	p		.100			2.54	
顶端到固定面高度	A	.140	.155	.170	3.56	3.94	4.32
塑模封装厚度	A2	.115	.130	.145	2.92	3.30	3.68
塑模底面到固定面高度	A1	.015			0.38		
肩到肩宽度	E	.300	.313	.325	7.62	7.94	8.26
塑模封装宽度	E1	.240	.250	.260	6.10	6.35	6.60
总长度	D	.360	.373	.385	9.14	9.46	9.78
引脚尖到固定面高度	L	.125	.130	.135	3.18	3.30	3.43
引脚厚度	c	.008	.012	.015	0.20	0.29	0.38
引脚上部宽度	B1	.045	.058	.070	1.14	1.46	1.78
引脚下部宽度	B	.014	.018	.022	0.36	0.46	0.56
总排列间距	eB	.310	.370	.430	7.87	9.40	10.92
塑模顶部锥度	a	5	10	15	5	10	15
塑模底部锥度	b	5	10	15	5	10	15

8 引脚中等宽度塑封小型封装 (SM) —— 主体 208 mil (SOP8)



	单位	英寸*			毫米			
		尺寸范围	最小	正常	最大	最小	正常	最大
引脚数	n		8			8		
引脚间距	P		.050			1.27		
总高度	A	.070	.075	.080	1.78	1.97	2.03	
塑模封装厚度	A2	.069	.074	.078	1.75	1.88	1.98	
悬空间隙	A1	.002	.005	.010	0.05	0.13	0.25	
总宽度	E	.300	.313	.325	7.62	7.95	8.26	
塑模封装宽度	E1	.201	.208	.212	5.11	5.28	5.38	
总长度	D	.202	.205	.210	5.13	5.21	5.33	
底足长度	L	.020	.025	.030	0.51	0.64	0.76	
底足倾斜度	φ	0	4	8	0	4	8	
底足厚度	c	.008	.009	.010	0.20	0.23	0.25	
底足宽度	B	.014	.017	.020	0.36	0.43	0.51	
塑模顶部锥度	α	0	12	15	0	12	15	
塑模底部锥度	β	0	12	15	0	12	15	

以上信息仅供参考. 如需帮助联系客服人员。谢谢 XINLUDA