

产品特性

16位分辨率、无失码

吞吐速率：2.5 MSPS(TURBO高)，2.0 MSPS(TURBO低)

低功耗

15.5 mW(2.5 MSPS，外部基准电压源)

28 mW(2.5 MSPS，内部基准电压源)

积分非线性(INL)：典型值±0.7 LSB，最大值±1.5 LSB

SNR

88.5 dB(片内基准电压源)

90 dB(外部基准电压源)

4.096 V内部基准电压：典型漂移量为±10 ppm/

伪差分模拟输入电压范围

0 V至 V_{REF} (V_{REF} 可高达5.0 V)

可使用任一输入范围

无流水线延迟

逻辑接口：1.8 V/2.5 V/2.7 V

串行接口：SPI/QSPI兼容

以菊花链形式连接多个ADC和忙闲指示功能

20引脚、4 mm 4 mm LFCSP (QFN)封装

应用

电池供电设备

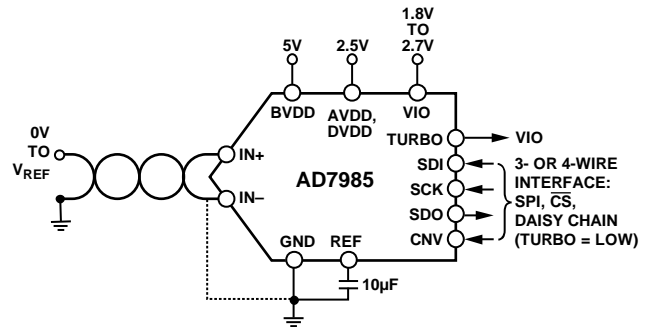
通信

自动测试设备

数据采集系统

医疗仪器

应用框图



NOTES

1. GND REFERS TO REFGND, AGND, AND DGND.

图1.

概述

AD7985是一款16位、2.5 MSPS逐次逼近型模数转换器(SAR ADC)。它内置一个低功耗、高速、16位采样ADC、一个内部转换时钟、一个内部基准电压源(和缓冲)、纠错电路以及一个多功能串行接口端口。在CNV上升沿，AD7985对IN+与IN-之间的模拟输入电压差进行采样，范围从0 V至REF。该器件具有两种采样模式：极高采样速率turbo模式(TURBO为高电平)；低功耗正常模式(TURBO为低电平)，适用于低功耗应用，其功耗与吞吐量呈比例关系。

正常模式(TURBO为低电平)下，SPI兼容型串行接口还能够利用SDI输入，将几个ADC以菊花链形式串联到单三线式总线上，并提供一个可选的忙闲指示。采用独立电源(VIO)时，它与1.8 V、2.5 V和2.7 V电源兼容。

AD7985采用20引脚LFCSP封装，工作温度范围为-40至+85。

表1. MSOP、LFCSP、14/16/18位PuSAR® ADC¹

类型	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥1000 kSPS	ADC驱动器
14位	AD7940	AD7942 ²	AD7946 ²		
16位	AD7680	AD7685 ²	AD7686 ²	AD7980 ²	ADA4941-1
	AD7683	AD7687 ²	AD7688 ²	AD7983 ²	ADA4841-x
	AD7684	AD7694	AD7693 ²	AD7985 ³	AD8021
18位		AD7691 ²	AD7690 ²	AD7982 ²	ADA4941-1
				AD7984 ²	ADA4841-x
				AD7986 ³	AD8021

¹ 欲选择最新的PuSAR ADC和ADC驱动器，请访问www.analog.com。

² 与标有此尾注的其它所有器件引脚兼容。

³ AD7985与AD7986引脚兼容。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2009-2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	模拟输入.....	15
应用.....	1	驱动放大器选择.....	15
应用框图.....	1	基准电压输入.....	16
概述.....	1	电源.....	16
修订历史.....	2	数字接口.....	17
技术规格.....	3	数据读取选项.....	18
时序规格.....	5	CS 模式(三线式且无繁忙指示).....	19
绝对最大额定值.....	6	CS 模式(三线式且有繁忙指示).....	20
ESD警告.....	6	CS 模式(四线式且无繁忙指示).....	21
引脚配置和功能描述.....	7	CS 模式(四线式且有繁忙指示).....	22
典型性能参数.....	9	链模式(无繁忙指示).....	23
术语.....	12	链模式(有繁忙指示).....	24
工作原理.....	13	应用信息.....	25
电路信息.....	13	布局.....	25
转换器操作.....	13	评估AD7985性能.....	25
转换工作模式.....	13	外形尺寸.....	27
典型连接图.....	14	订购指南.....	27

修订历史

2010年8月—修订版0至修订版A

更改表4转换时间：CNV上升沿至数据可用.....5

2009年9月-版本0：初始版

技术规格

除非另有说明，AVDD = DVDD = 2.5 V，BVDD = 5 V，VIO = 1.8 V至2.7 V， $V_{REF} = 4.096$ V， $T_A = -40$ 至+85。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入					
电压范围	(IN+) – (IN–)	0		V_{REF}	V
绝对输入电压	IN+	–0.1		$V_{REF} + 0.1$	V
	IN–	–0.1		+0.1	V
25时漏电流	采集阶段		250		nA
输入阻抗			参见模拟输入部分		
精度					
无失码		16			位
差分非线性误差(DNL)		–0.99	±0.50	+0.99	LSB ¹
积分非线性误差(INL)		–1.50	±0.7	+1.50	LSB ¹
跃迁噪声			0.8		LSB ¹
增益误差(T_{MIN} 至 T_{MAX}) ²		–15	±2	+15	LSB ¹
增益误差温漂			±0.8		ppm/°C
零电平误差(T_{MIN} 至 T_{MAX}) ²		–0.99	±0.08	+0.99	mV
零温漂			0.55		ppm/°C
电源灵敏度	AVDD = 2.5 V ± 5%		90		dB ³
吞吐速率					
转换速率		0		2.5	MSPS
瞬态响应	满量程阶跃			100	ns
交流精度					
动态范围	$V_{REF} = 4.096$ V，内部基准电压	87.5	89		dB ³
	$V_{REF} = 5.0$ V，外部基准电压	89.0	90		dB ³
信噪比(SNR)	$f_{IN} = 20$ kHz, $V_{REF} = 4.096$ V，内部基准电压	87.0	88.5		dB ³
	$f_{IN} = 20$ kHz, $V_{REF} = 5.0$ V，外部基准电压	89.0	90.0		dB ³
无杂散动态范围(SFDR)	$f_{IN} = 20$ kHz		103		dB ³
总谐波失真*(THD)	$f_{IN} = 20$ kHz, $V_{REF} = 4.096$ V，内部基准电压		–100		dB ³
信纳比(SINAD)	$f_{IN} = 20$ kHz, $V_{REF} = 4.096$ V		90.5		dB ³
采样动态性能					
–3 dB输入带宽			19		MHz
孔径延迟			0.7		ns

¹ LSB表示最低有效位。±4.096 V输入范围时，1 LSB = 62.5。

² 参见术语部分。这些规格包括整个温度范围内的波动，但不包括外部基准电压源的误差贡献。

³ 除非另有说明，所有用分贝(dB)表示的规格均参考满量程输入FSR，并用低于满量程0.5 dB的输入信号进行测试。

⁴ 生产时在 $f_{IN} = 1$ kHz下执行全面测试。

AD7985

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
内部基准电压源	PDREF为低电平				
输出电压	$T_A = 25^\circ\text{C}$	4.081	4.096	4.111	V
温度漂移	-40°C 至 $+85^\circ\text{C}$		± 10		ppm/ $^\circ\text{C}$
线性调整率	$AVDD = 2.5\text{V} \pm 5\%$		± 50		ppm/V
开启建立时间	$C_{REF} = 10\ \mu\text{F}$, $C_{REFIN} = 0.1\ \mu\text{F}$		40		ms
REFIN输出电压	当温度为25 时的REFIN		1.2		V
REFIN输出电阻			6		k Ω
外部基准电压源	PDREF为高电平, REFIN为低电平				
电压范围		2.4		5.1	V
耗用电流			500		μA
基准电压缓冲器					
REFIN输入电压范围			1.2		V
REFIN输入电流			160		μA
数字输入					
逻辑电平					
V_{IL}		-0.3		$0.1 \times V_{IO}$	V
V_{IH}		$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
I_{IL}		-1		+1	μA
I_{IH}		-1		+1	μA
数字输出					
数据格式		串行16位直接二进制 转换完成后立即提供 转换结果			
流水线延迟					
V_{OL}	$I_{SINK} = +500\ \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500\ \mu\text{A}$	$V_{IO} - 0.3$			V
电源					
AVDD, DVDD		2.375	2.5	2.625	V
BVDD		4.75	5.0	5.25	V
VIO	额定性能	1.8	2.5	2.7	V
待机电流 ^{1,2}	$AVDD = DVDD = V_{IO} = 2.5\text{V}$		1.0		μA
功耗					
带有内部基准源	2.5吞吐速率量		28	33	mW
	2.0吞吐速率量		25	30	mW
带有外部基准源	2.5吞吐速率量		15.5	17	mW
	2.0吞吐速率量		12	13	mW
温度范围 ³					
额定性能	T_{MIN} 至 T_{MAX}	-40		+85	$^\circ\text{C}$

¹ 根据需要, 所有数字输入强制接VIO或GND。

² 在采集阶段。

³ 欲了解温度范围, 请联系ADI公司销售代表。

时序规格

除非另有说明¹，AVDD = DVDD = 2.5 V，BVDD = 5 V，VIO = 1.8 V至2.7 V， $V_{REF} = 4.096 V$ ， $T_A = -40$ 至 $+85$ 。

表4.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
转换时间： CNV上升沿至数据可用	t_{CONV}	Turbo模式/正常模式			320/420	ns
采集时间	t_{ACQ}		80			ns
转换间隔时间	t_{CYC}	Turbo模式/正常模式	400/500			ns
CNV脉冲宽度	t_{CNVH}	\overline{CS} 模式	10			ns
转换期间数据读取	t_{DATA}	Turbo模式/正常模式			190/290	ns
采样期间从上一个SCK下降沿到 CNV上升沿的静默时间	t_{QUIET}		20			ns
SCK周期	t_{SCK}	\overline{CS} 模式	9			ns
	t_{SCK}	链模式	11			ns
SCK低电平时间	t_{SCKL}		3.5			ns
SCK高电平时间	t_{SCKH}		3.5			ns
SCK下降沿至数据仍然有效	t_{HSDO}		2			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				4	ns
CNV或SDI低电平至SDO D15 MSB有效	t_{EN}				5	ns
CNV或SDI高电平或最后一个SCK下降 沿至SDO高阻态	t_{DIS}	\overline{CS} 模式			8	ns
CNV上升沿至SDI有效建立时间	$t_{SSDICNV}$		4			ns
CNV上升沿至SDI有效保持时间	$t_{HSDICNV}$	\overline{CS} 模式	0			ns
	$t_{HSDICNV}$	链模式	0			ns
CNV上升沿至SCK有效建立时间	$t_{SSCKCNV}$	链模式	5			ns
CNV上升沿至SCK有效保持时间	$t_{HSCKCNV}$	链模式	5			ns
SCK下降沿至SDI有效设置时间	$t_{SSDISCK}$	链模式	2			ns
SCK下降沿至SDI有效保持时间	$t_{HSDISCK}$	链模式	3			ns
SDI高电平至SDO高电平	$t_{DSDOSDI}$	链模式(有繁忙指示)			15	ns

¹ 负载条件参见图2和图3。

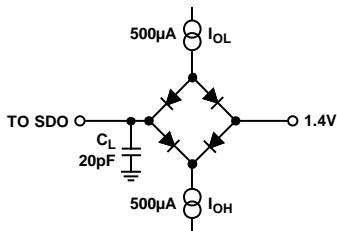
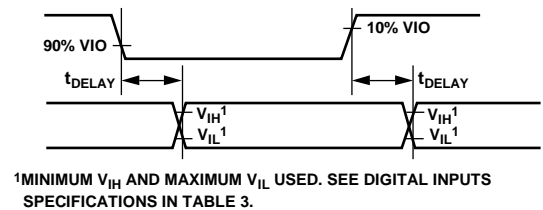


图2. 数字接口时序的负载电路



¹MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

图3. 时序的电平

绝对最大额定值

表5.

参数	额定值
模拟输入 IN+, IN-至GND ¹	-0.3 V至 $V_{REF} + 0.3$ V 或 ± 130 mA
电源电压 REF, BVDD 至GND, REFGND	-0.3 V至+6.0 V
AVDD, DVDD, VIO 至GND	-0.3 V至 +2.7 V
AVDD, DVDD 至VIO	-6 V 至+3 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
θ_{JA} 热阻 20引脚 LFCSP (QFN)	30.4°C/W
引脚温度	
气相(60秒)	215°C
红外(15秒)	220°C

¹ 有关IN+和IN-的解释, 请参见“模拟输入”部分。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

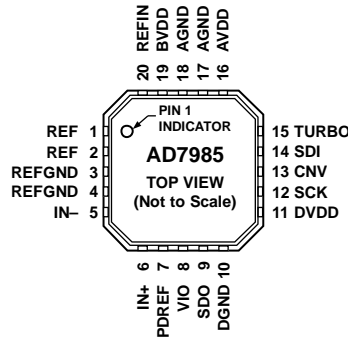
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

07947-004

图4. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1, 2	REF	AI	基准输出/输入电压。 PDREF为低电平时, 使能内部基准源与缓冲, 在此引脚上产生4.096 V电压。 PDREF为高电平时, 内部基准源与缓冲禁用, 允许使用电压最高为5.0 V的外部电源电压基准。 无论是否有内部基准电压与缓冲, 都需要进行去耦。此引脚参考REFGND引脚, 应使用靠近REFGND引脚的10 μF电容去耦。
3, 4	REFGND	AI	基准输入模拟地。
5	IN-	AI	模拟输入地检测。连接此引脚至模拟接地层或远端接地检测。
6	IN+	AI	模拟输入。该引脚参考IN-。电压范围(也即IN+与IN-的差值)为0 V至V _{REF} 。
7	PDREF	DI	内部基准电压省电输入。当此引脚处于低电平时, 使能内部基准电压源。此引脚为高电平时, 内部基准电压关断, 必须使用外部基准电压。
8	VIO	P	输入/输出接口数字电源。此引脚的标称电源电压与主机接口电源电压相同(1.8 V、2.5 V或2.7 V)。
9	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
10	DGND	P	数字电源地。
11	DVDD	P	数字电源。标称值为2.5 V。
12	SCK	DI	串行数据时钟输入。器件被选择时, 转换结果通过此时钟移出。
13	CNV	DI	转换输入。此输入具有多个功能。在前沿可启动转换并选择器件的接口模式: 链模式或CS模式。 CS模式下, CNV为低电平时SDO引脚使能。链模式下, 数据应在CNV为高电平时读取。
14	SDI	DI	串行数据输入。此输入具有多个功能。它选择ADC接口模式如下: 如果SDI在CNV上升沿期间为低电平, 则选择链模式。链模式下, SDI用作数据输入, 以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出, 延迟16个SCK周期。 如果SDI在CNV上升沿期间为高电平, 则选择CS模式。CS模式下, SDI或CNV在低电平时均可使能串行输出信号。当转换完成时, 如果SDI或CNV为低电平, 繁忙指示功能被使能。
15	TURBO	DI	转换模式选择。当TURBO为高电平时达到最大吞吐速率(2.5 MSPS), 并且两次转换期间ADC不会关断。当TURBO为低电平时, 最大吞吐速率较低(2.0 MSPS), 并且两次转换期间关断ADC。
16	AVDD	P	输入模拟电源。标称值为2.5 V。
17, 18	AGND	P	模拟电源接地。

AD7985

引脚编号	引脚名称	类型 ¹	描述
19	BVDD	P	基准电压缓冲器电源。标称值为5.0V。若使用5V外部基准电压缓冲器达到最大SNR性能，则必须通过REFIN引脚接地关断基准电压缓冲器。外部基准电压缓冲器必须连接BVDD引脚。
20	REFIN	AI/O	内部基准电压输出/基准电压缓冲输入。 当PDREF为低电平时，内部带隙基准电压源在该引脚上产生一个典型值为1.2V的电压，该电压需采用典型值为0.1的电容外部去耦。 当PDREF为高电平时，使用外部基准电压源为该引脚提供典型值为1.2V的电压。 当PDREF为高电平并且REFIN为低电平时，片内基准电压缓冲器和带隙基准电压源被关断。
21	裸露焊盘	EP	外部基准电压源必须连接REF和BVDD。 底部焊盘不在内部连接。为提高焊接接头的可靠性，建议将焊盘焊接到系统地层。

¹ AI = 模拟输入，AI/O = 双向模拟，DI = 数字输入，DO = 数字输出，而P = 电源。

典型性能参数

除非另有说明, $AVDD = DVDD = VIO = 2.5\text{ V}$, $BVDD = 5.0\text{ V}$, $V_{REF} = 5.0\text{ V}$, 外部基准电压(PDREF为高电平, REFIN为低电平)。

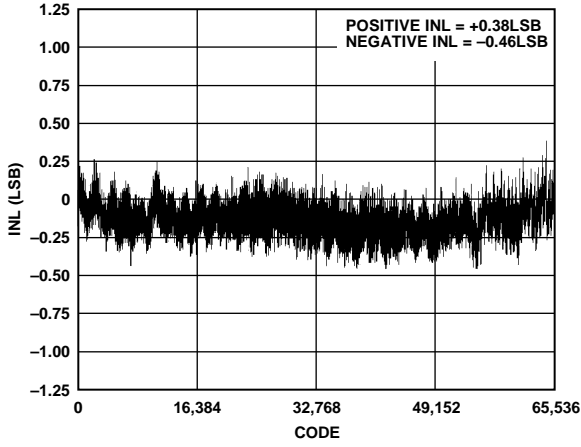


图5. 积分非线性与代码的关系

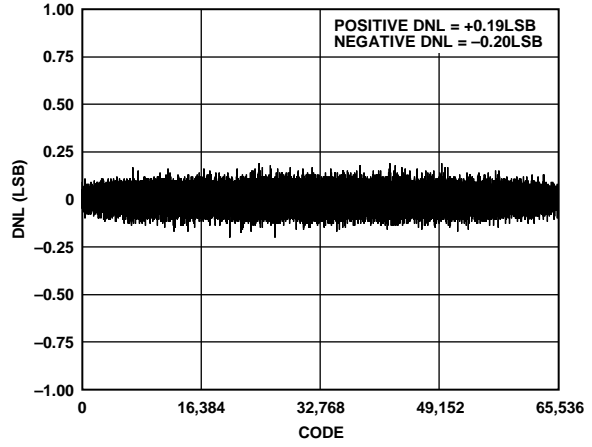


图8. 差分非线性与代码的关系

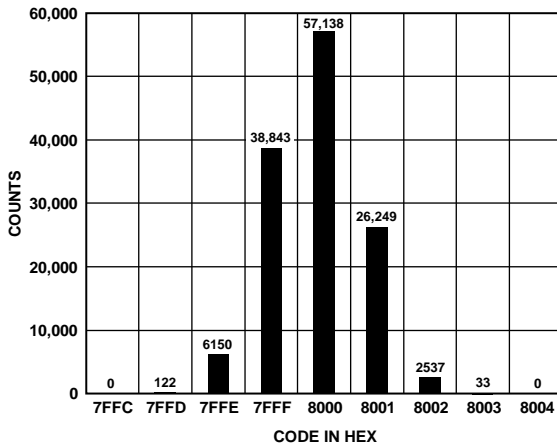


图6. 直流输入的直方图(码中心, 外部基准电压)

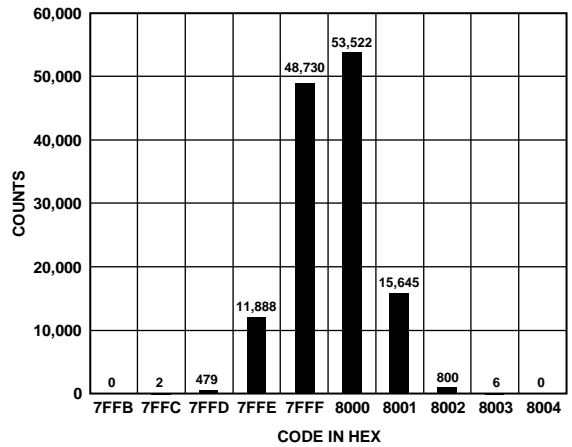


图9. 直流输入的直方图(码转换, 外部基准电压)

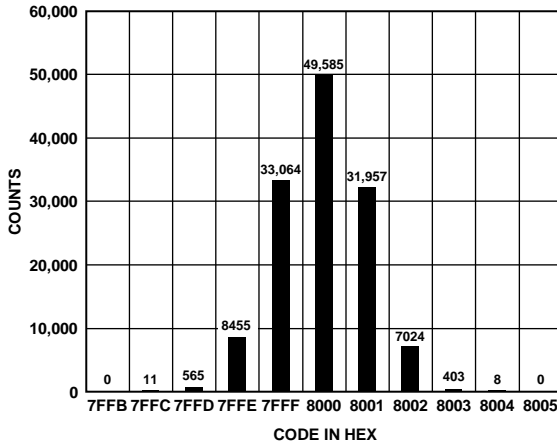


图7. 直流输入的直方图(码中心, 内部基准电压)

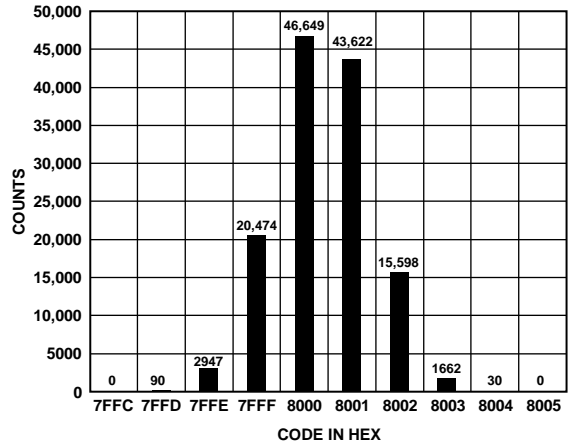


图10. 直流输入的直方图(码转换, 内部基准电压)

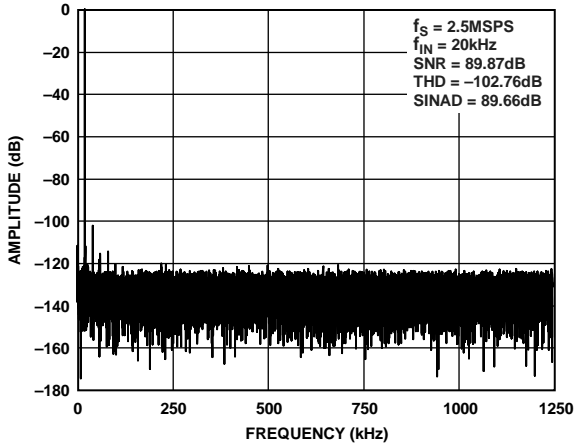


图11. FFT曲线(外部基准电压)

07947-111

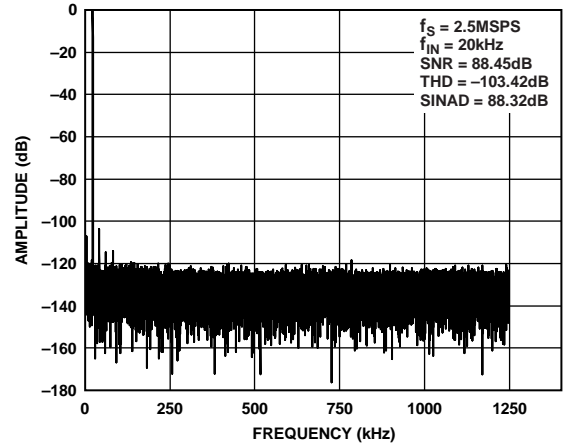


图14. FFT曲线(内部基准电压)

07947-114

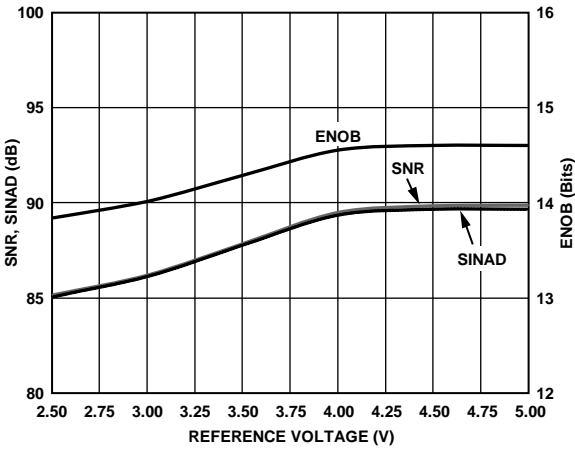


图12. SNR、SINAD和ENOB与基准电压的关系

07947-112

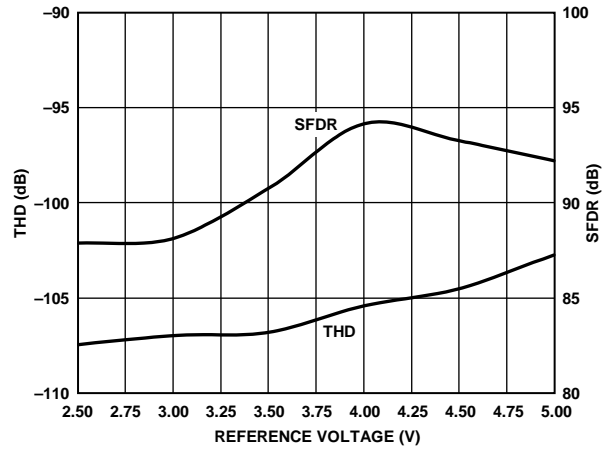


图15. THD和SFDR与基准电压的关系

07947-115

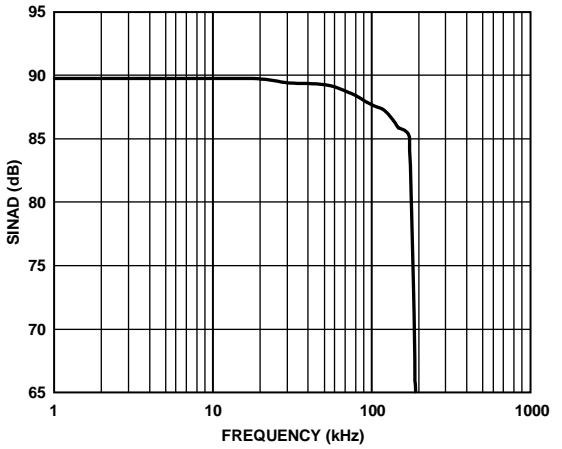


图13. SINAD与频率的关系

07947-113

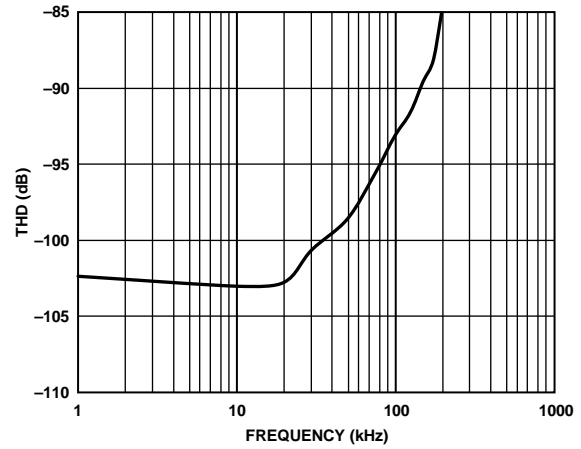


图16. THD与频率的关系

07947-116

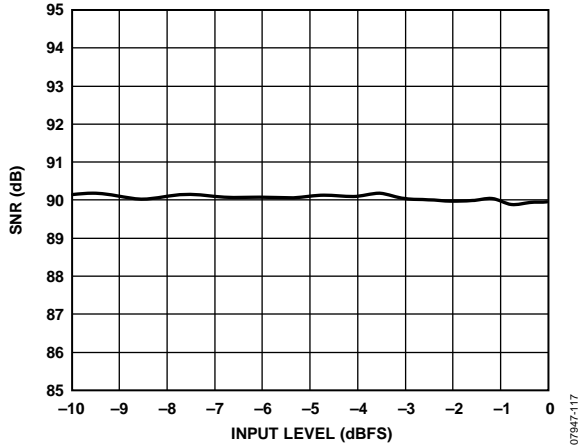


图17. SNR与输入电平的关系

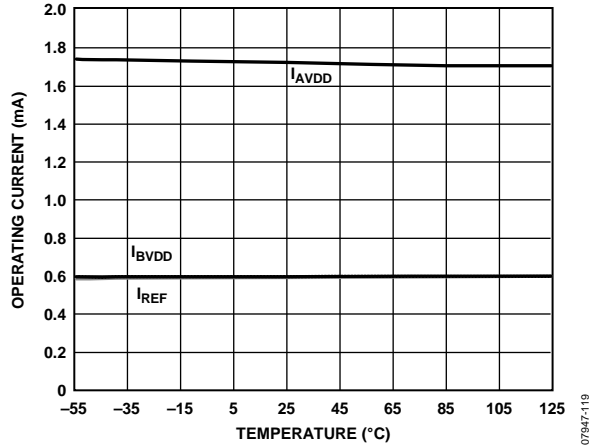


图19. 工作电流与温度的关系

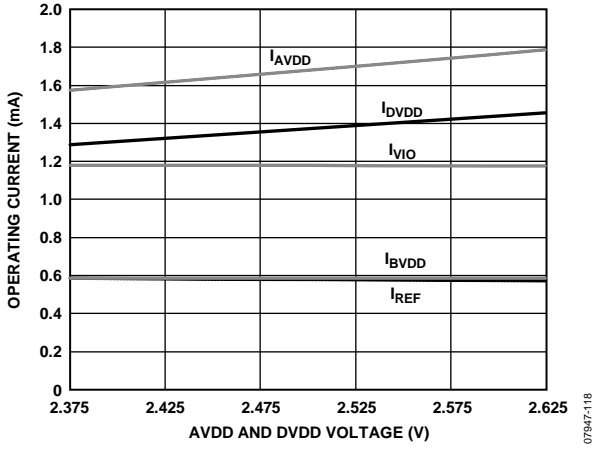


图18. 工作电流与电源电压的关系

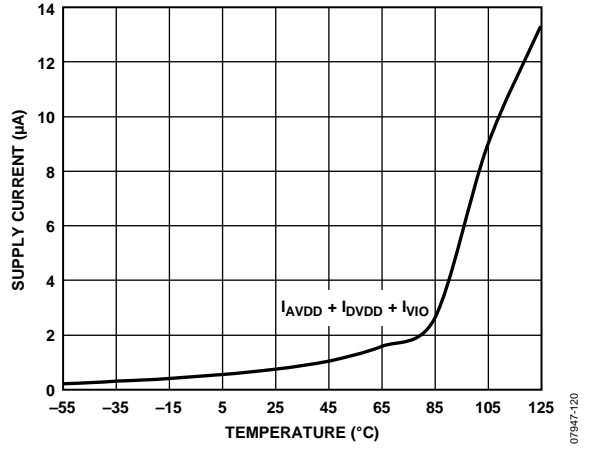


图20. 关断电流与温度的关系

术语

孔径延迟

孔径延迟用于衡量采集性能，指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

差分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。它使用-60 dBFS下的信号测得，因此包括所有噪声源和DNL伪像。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它以位来表示，与SINAD的关系如下所示：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

有效分辨率

有效分辨率用位来表示，计算如下：

$$\text{有效分辨率} = \log_2(2^N/\text{均方根输入噪声})$$

增益误差

当模拟电压低于标称满量程1时(对于0 V至5 V范围，应在4.999886 V)，发生最后一个码跃迁(从111 跃迁至111)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁1的一个电平。从各码的中心到该直线的距离即为偏差(见图22)。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，它以位来表示，计算如下：

$$\text{无噪声代码分辨率} = \log_2(2^N/\text{峰峰值噪声})$$

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

零点误差

理想中间值电压(即0 V)与产生中间值输出码(即0 LSB)的实际电压之差称为零点误差。

工作原理

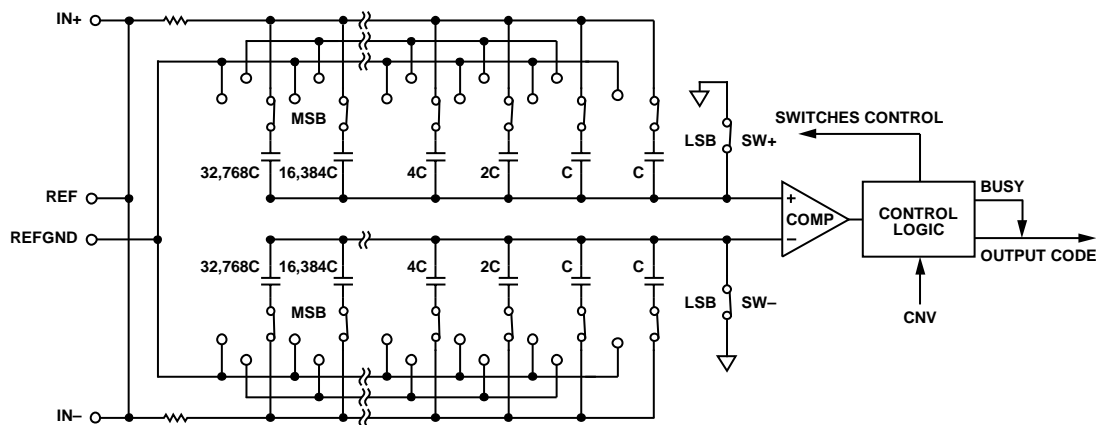


图21. ADC原理示意图

07947-005

电路信息

AD7985是一款快速、低功耗、单电源、精密16位ADC，使用逐次逼近型架构，提供多种工作模式，以便根据应用优化性能。在Turbo模式下，AD7985每秒能够转换2,500,000个样本(2.5 MSPS)。

AD7985为用户提供片内采样保持，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7985可与任何1.8 V至2.7 V数字逻辑系列接口，提供节省空间的20引脚LFCSP封装，可灵活配置。它与18位AD7986引脚兼容。

转换器操作

AD7985是一款基于电荷再分配DAC的逐次逼近型ADC。图21显示了该ADC的简化电路图。容性DAC包含两个相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到AGND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。

当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从模拟输入端断开，连接到REFGND输入。因此，采集阶段结束时捕获的输入(IN+和IN-)之间的差分电压施加于比较器输入端，导致比较器不平衡。在REFGND与REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4 \dots V_{REF}/65,536$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示。

AD7985具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

转换工作模式

AD7985具有两种工作模式：Turbo模式和正常模式。Turbo转换模式(TURBO高电平)具有高达2.5 MSPS的最高转换速率，并且在两次转换之间不会关断。Turbo模式下的第一次转换应当忽略，因为它包含无意义数据。对于需要较低功耗以及采样速率略低的应用，正常模式(TURBO低电平)具有最高2.0 MSPS的转换速率，并且两次转换之间会关断。正常模式下第一次转换即包含有用的数据。

AD7985

传递函数

AD7985的理想传递特性如图22和表7所示。

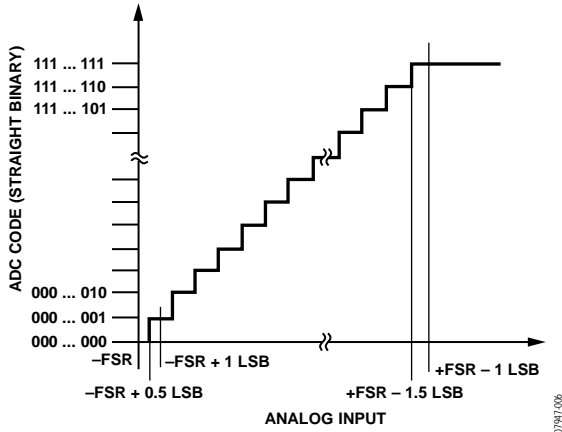


图22. ADC理想传递函数

表7. 输出码和理想输入电压

描述	模拟输入, $V_{REF} = 4.096\text{ V}$	数字输出码 (十六进制)
FSR - 1 LSB	4.095938 V	0xFFFF ¹
中间电平+ 1 LSB	2.048063 V	0x8001
中间电平	2.048 V	0x8000
中间电平- 1 LSB	2.047938 V	0x7FFF
-FSR + 1 LSB	62.5 μV	0x0001
-FSR	0 V	0x0000 ²

¹ 这也是超量程模拟输入 ($V_{IN+} - V_{IN-}$ 大于 $V_{REF} - \text{REFGND}$) 对应的代码。

² 这也是欠量程模拟输入 ($V_{IN+} - V_{IN-}$ 低于 REFGND) 对应的代码。

典型连接图

图23所示的例子为采用多个电源时AD7985的建议连接图。

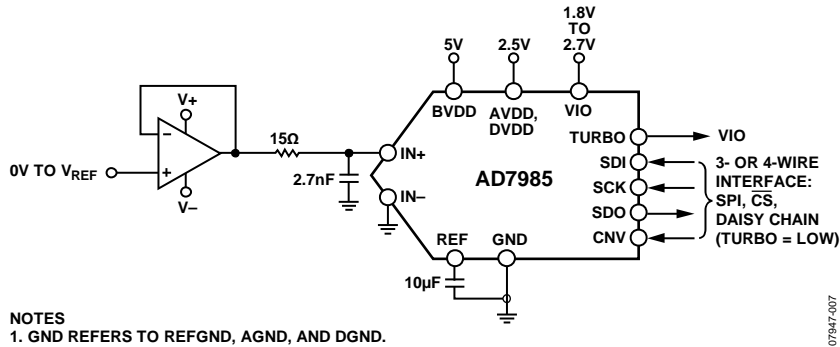


图23. 采用多个电源的典型应用电路

模拟输入

图24显示了AD7985输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。需要注意，模拟输入信号的电压值不能比基准输入电压(REF)高0.3V以上。如果模拟输入信号的电压超过这一水平，二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而，如果输入缓冲器的供电电压(例如：缓冲器的V+和V-模拟输入信号)可能最终比供电轨高出0.3 V。此时，(例如输入缓冲器短路)限流可以保护器件。

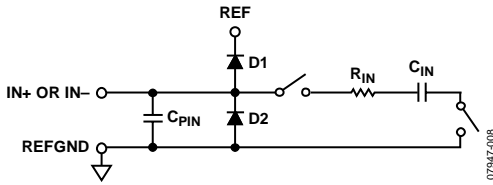


图24. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。

在采集阶段，模拟输入(IN+和IN-)的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为400 Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为30 pF，主要包括ADC采样电容。

在采样阶段，开关闭合时，输入阻抗受限于 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7985。高源阻抗会显著影响交流特性，特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7985很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7985的SNR和转换噪声性能。来自驱动器的噪声由 R_{IN} 和 C_{IN} 所构成的AD7985模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7985的典型噪声为50，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{50}{\sqrt{50^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为AD7985的输入带宽(20 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。

N 为放大器的噪声增益(例如，缓冲器配置时为1)。

e_N 为运算放大器的等效输入噪声电压，单位为nV/ $\sqrt{\text{Hz}}$ 。

- 对于交流应用，驱动器的THD性能应与AD7985相当。
- 对于多通道、多路复用应用，驱动放大器和AD7985模拟输入电路必须使电容阵列以16位水平(0.0015%，15 ppm)建立满量程阶跃。在驱动放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。该值可能与16位水平的建立时间显著不同，因此选择之前应进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
AD8021	极低噪声、高频
AD8022	低噪声、高频
ADA4899-1	超低噪声、高频
AD8014	低功耗、高频

AD7985

基准电压输入

AD7985允许选择极低温度漂移的内部基准电压源、外部基准电压源或外部缓冲基准电压源。

AD7985的内部基准电压源提供出色的性能，可以用于几乎所有应用。

内部基准电压，REF = 4.096 V(PDREF低电平)

要使用内部基准电压，PDREF输入必须为低电平。这可以使能片内带隙基准电压源和缓冲器，从而在REF引脚获得4.096 V基准电压(REFIN为1.2 V)。

内部基准电压源提供温度补偿的4.096 V电压，基准电压经过调整，典型温漂为10 ppm/。

使能内部基准电压源时，REFIN的输出电阻为6 kΩ。有必要使用至少100 nF电容值的陶瓷电容对该引脚去耦。REFIN输出电阻和去耦电容组成RC滤波器，有助于降低噪声。

由于REFIN的输出阻抗典型值为6 kΩ，相对湿度(在其他工业污染物中)可直接影响基准电压源的漂移特性。通常使用一个保护环减少这种情况下的漂移影响。但AD7985的细引脚间距使得该方法难以实施。在这类工业应用以及其他类型的应用中，一种解决方案是使用符合标准的涂层，如Dow Corning® 1-2577或HumiSeal® 1B73。

外部1.2 V基准电压源和内部缓冲器(PDREF高电平)

要使用带内部缓冲的外部基准电压源，PDREF必须为高电平。这样会关断内部基准电压源，使1.2 V基准电压施加于REFIN，在REF引脚产生典型值为4.096 V的电压。

外部基准电压源(PDREF高电平，REFIN低电平)

要直接对REF引脚施加外部基准电压，PDREF应绑定为高电平，并且REFIN应绑定为低电平。BVDD也应当驱动至与REF相同的电位。例如，假设REF = 2.5 V，则BVDD应绑定为2.5 V。

直接使用外部基准电压源的优势如下：

- 使用更大的基准电压(5 V)而非典型内部基准电压(4.096 V)，可获得最佳的SNR和动态范围(大约能优化1.7 dB)。该值计算如下：

$$SNR = 20 \log \left(\frac{4.096}{5.0} \right)$$

- 关断内部基准电压源(PDREF高电平)时可降低功耗。

基准电压源去耦

AD7985基准电压输入REF具有动态输入阻抗，需谨慎进行REF和REFGND引脚间去耦。布局部分描述了如何做到这一点。

使用外部基准电压时，极低的阻抗源(例如使用AD8031或AD8605的基准电压源缓冲器)和10 (X5R, 0805尺寸)陶瓷芯片电容有助于优化性能。

如果使用无缓冲基准电压，去耦值取决于所使用的基准电压源。例如，使用低温漂基准电压源ADR43x时，22 (X5R, 1206尺寸)陶瓷芯片电容可实现最佳性能。

如果需要，可以使用低至2.2的基准电压去耦电容，它对性能(特别是DNL)的影响极小。

无论何种情况，REF与REFGND引脚之间都不需要额外的低值陶瓷去耦电容(如100 nF)。

电源

AD7985具有四个电源引脚：模拟电源(AVDD)、缓冲电源(BVDD)、数字电源(DVDD)和数字输入/输出接口电源(VIO)。VIO可以与1.8 V至2.7 V的任何逻辑直接接口。为减少所需的电源数，VIO、DVDD和AVDD引脚可以连在一起。电源无需以特定的时序启动。此外，AD7985该器件在很宽的频率范围内对电源变化非常不敏感。

正常模式下，AD7985在每个转换阶段结束时自动关断，因此功耗与采样速率成线性比例关系。这使得该器件非常适合低采样速率(甚至几SPS)和电池供电的应用。

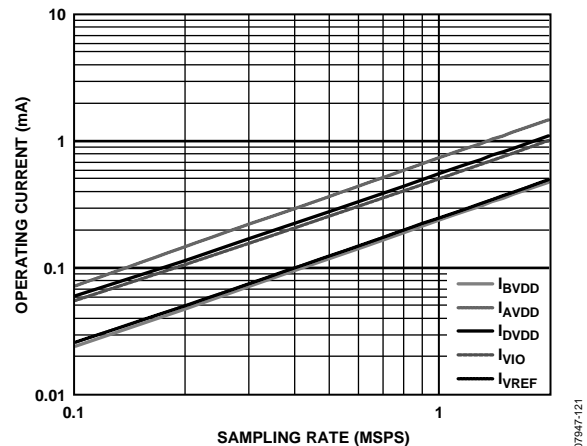


图25. 正常模式下工作电流与采样速率的关系

数字接口

尽管引脚数很少，AD7985在串行接口模式上仍具有灵活性。

$\overline{\text{CS}}$ 模式下，AD7985与SPI、MICROWIRE、QSPI和数字主机兼容。 $\overline{\text{CS}}$ 模式下，AD7985可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序(SDI)独立，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7985提供菊花链特性，利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。链模式仅在正常模式下可用(TURBO为低电平)。

器件工作模式取决于CNV上升沿出现时的SDI电平。如果SDI为高电平，选择 $\overline{\text{CS}}$ 模式；而如果SDI为低电平，则选择链模式。SDI保持时间是当SDI和CNV连接在一起时，始终选择链模式。

正常模式下，AD7985提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

如果ADC转换结束时CNV或SDI为低电平(参见图29和图33)，则 $\overline{\text{CS}}$ 模式下使能繁忙指示特性。TURBO的两个数字接口都必须保持低电平。

当CNV为低电平时，回读可以发生在转换或采集阶段，也可分散在整个采集和转换阶段，详见以下各部分。

推荐使用非连续SCK时钟，因为选择器件时CNV为低电平，并且SCK一活动就开始输出数据。

请注意，在下面各部分中，时序图表示转换期间的数字活动(SCK、CNV、SDI和SDO)。但是，由于可能发生性能降低情况，数字活动只应发生在安全读取数据时间 t_{DATA} 之前；AD7985提供了纠错电路，可以校正此时间内的错误位判断。从 t_{DATA} 到 t_{CONV} 的时间内则不会进行纠错，转换结果可能会被破坏。

类似地，从SCK最后一个下降沿到CNV上升沿的时间 t_{QUIET} 必须保持无数字活动的状态。用户应在 t_{DATA} 之前配置AD7985并启动繁忙指示(若正常模式中有此需要)。

SCK在采样时刻附近跃迁时，也可能会破坏采样。因此，在CNV上升沿的大约前20 ns和后10 ns，建议使数字引脚保持安静；只要可能，就应使用非连续SCK时钟，避免潜在的性能降低问题。

数据读取选项

AD7985具有三个不同的数据读取选项。转换时有一个读取选项，在采集和转换阶段分割读取操作(见图28和图29)，以及正常模式下可在采集时读取。所需的SCK频率很大程度上由所使用的读取选项决定。

转换期间读取，快速主机(Turbo模式或正常模式)

(n)次转换期间读取时，转换结果为(n - 1)次转换的结果。读取的截止时间为 t_{DATA} ，此时间非常短促，因此主机必须使用快速SCK时钟。

所需的SCK频率可通过下式计算：

$$f_{SCK} \geq \frac{Number_SCK_Edges}{t_{DATA}}$$

若要确定最小SCK频率，请参考下述示例读取(n - 1)次转换的数据。

Turbo模式(2.5 MSPS)：

$$Number_SCK_Edges = 16; t_{DATA} = 190 \text{ ns}$$

$$f_{SCK} = 16/190 \text{ ns} = 84.2 \text{ MHz}$$

正常模式(2.0 MSPS)：

$$Number_SCK_Edges = 16; t_{DATA} = 290 \text{ ns}$$

$$f_{SCK} = 16/290 \text{ ns} = 55.2 \text{ MHz}$$

t_{DATA} 与 t_{CONV} 之间的时间为I/O静默时间，期间不应发生数字活动，否则会破坏敏感的位判断。

分割读取，任意速度主机(Turbo模式或正常模式)

提供分割读取选项，允许降低SCK速度，该选项下数据访问始于电流采集(n)阶段，并延伸至转换(n)阶段。转换结果针对(n - 1)次转换。

与转换期间读取相似，分割读取的截止时间为 t_{DATA} 。对于最高吞吐速率，唯一的时间限制是分割读取应发生在 t_{ACQ} (最小值)+($t_{DATA} - t_{QUIET}$)时间内。SCK下降沿至CNV上升阶段的时间为采集静默时间 t_{QUIET} 。

若要确定如何分割特定SCK频率的读取操作，请参考下述示例读取(n - 1)次转换的数据。

Turbo模式(2.5 MSPS)：

$$f_{SCK} = 70 \text{ MHz}; t_{DATA} = 190 \text{ ns}$$

$$Number_SCK_Edges = 70 \text{ MHz} \times 190 \text{ ns} = 13.3$$

(n)次转换期间读取13位，(n)次采集期间读取3位。

正常模式(2.0 MSPS)：

$$f_{SCK} = 45 \text{ MHz}; t_{DATA} = 290 \text{ ns}$$

$$Number_SCK_Edges = 45 \text{ MHz} \times 290 \text{ ns} = 13.05$$

(n)次转换期间读取13位，(n)次采集期间读取3位。

对于较慢的吞吐速率，时间限制由用户要求的吞吐速率决定，主机可以任何速度运行。与采集期间读取相似，对于较慢的主机，数据访问必须发生在采集阶段，可以延伸至转换阶段。

请注意，转换全程的数据访问要求将CNV引脚驱动至高电平以启动新的转换，CNV为高电平时不允许进行数据访问。因此，使用这种方法时，主机必须执行两次突发数据访问。

采集期间读取，任意速度主机(Turbo模式或正常模式)

(n)次采集期间读取时，转换结果为(n - 1)次转换的结果。正常模式下可获得最大吞吐速率(2.0 MSPS)，但在Turbo模式下无法获得2.5 MSPS吞吐速率。

对于最高吞吐速率，唯一的时间限制是读取应发生在 t_{ACQ} (最小值)时间内。对于较慢的吞吐速率，时间限制由用户要求的吞吐速率决定，主机可以任何速度运行。因此，对于较慢的主机，数据访问必须发生在采集阶段。

CS 模式（三线式且无繁忙指示）

在将单个AD7985连接到SPI兼容数字主机时，通常会使用此模式。连接图如图26所示，相应的时序如图27所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。这点非常有用，例如可用于拉低CNV来选择其它SPI器件，如模拟多路复用器；不过，在最小转换时间逝去前，CNV必须返回高电平

平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。

转换完成后，AD7985进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

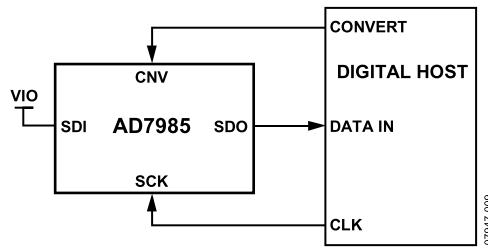


图26. CS模式(三线式且无繁忙指示)连接图(SDI高电平)

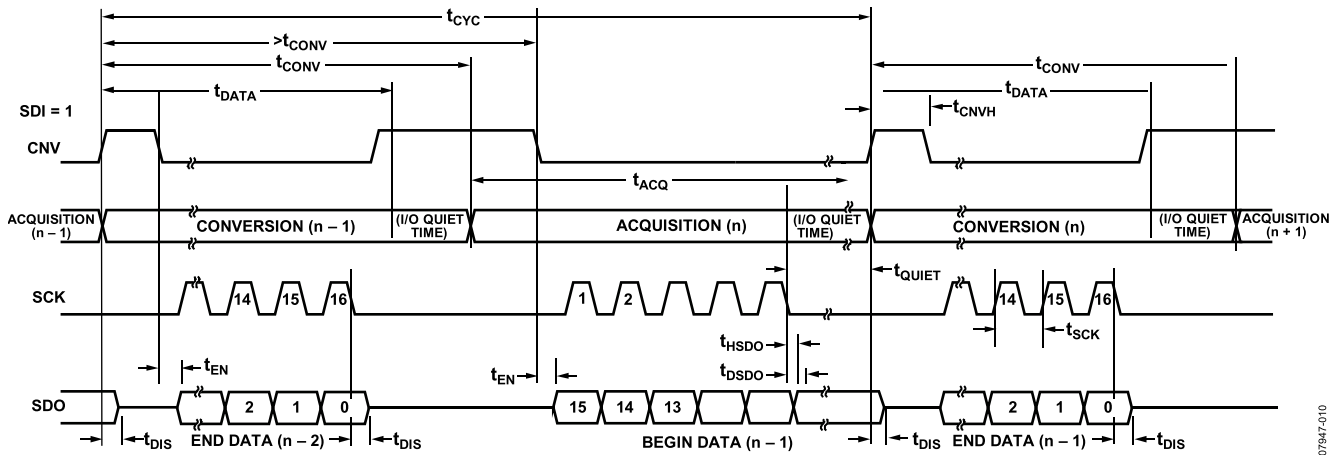


图27. CS模式(三线式且无繁忙指示)串行接口时序(SDI高电平)

AD7985

\overline{CS} 模式(三线式且有繁忙指示)

在将单个AD7985连接到具有中断输入的兼容SPI的数字控制器主机时，通常会使用此模式。它仅在正常转换模式下可用(TURBO为低电平)。连接图如图28所示，相应的时序如图29所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择 \overline{CS} 模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其它SPI器件，如模拟多路复用器，但CNV必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD7985接着进入采集阶段并关闭状态。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，SDO返回高阻态。

如果同时选择多个AD7985器件，输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此连接尽可能短暂，以限制额外功耗。

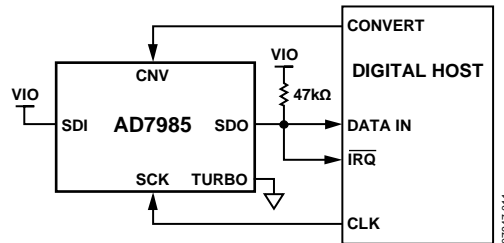


图28. \overline{CS} 模式(三线式且有繁忙指示)连接图(SDI高电平)

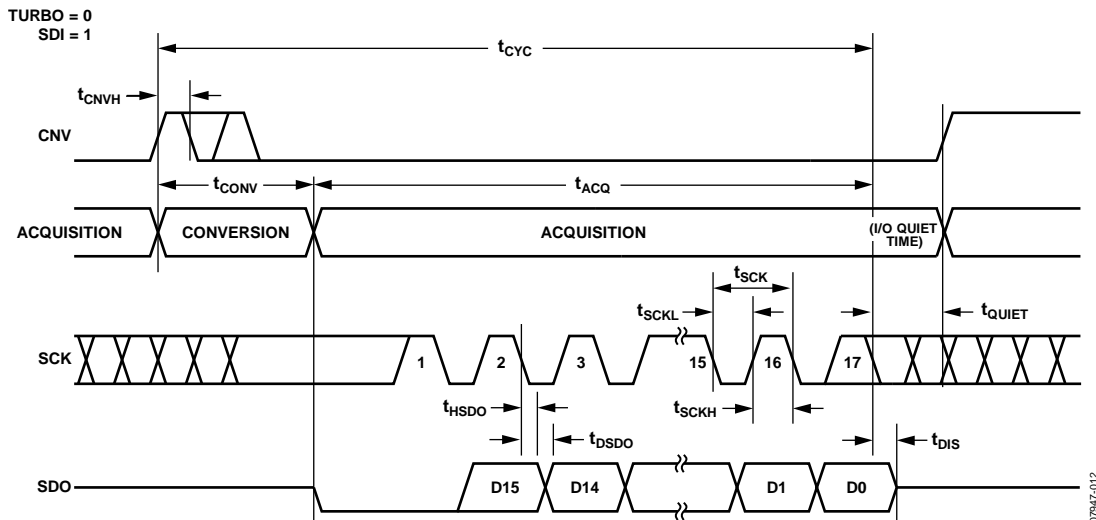


图29. \overline{CS} 模式(三线式且有繁忙指示)串行接口时序(SDI高电平)

CS 模式(四线式且无繁忙指示)

将多个AD7985器件连接到SPI兼容数字主机时，通常会使用此模式。使用两个AD7985器件的连接图示例如图30所示，相应的时序如图31所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。(SDI和CNV为低电平时，SDO变为低电平。)最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小

转换时间逝去前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。

转换完成后，AD7985进入采集阶段并关断。每个ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，SDO返回高阻态，可读取另一个AD7985。

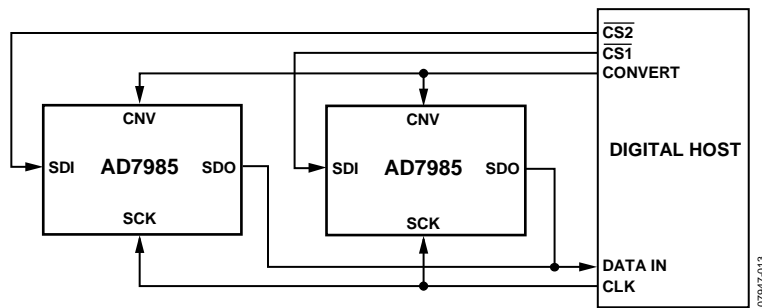


图30. CS模式(四线式且无繁忙指示)连接图

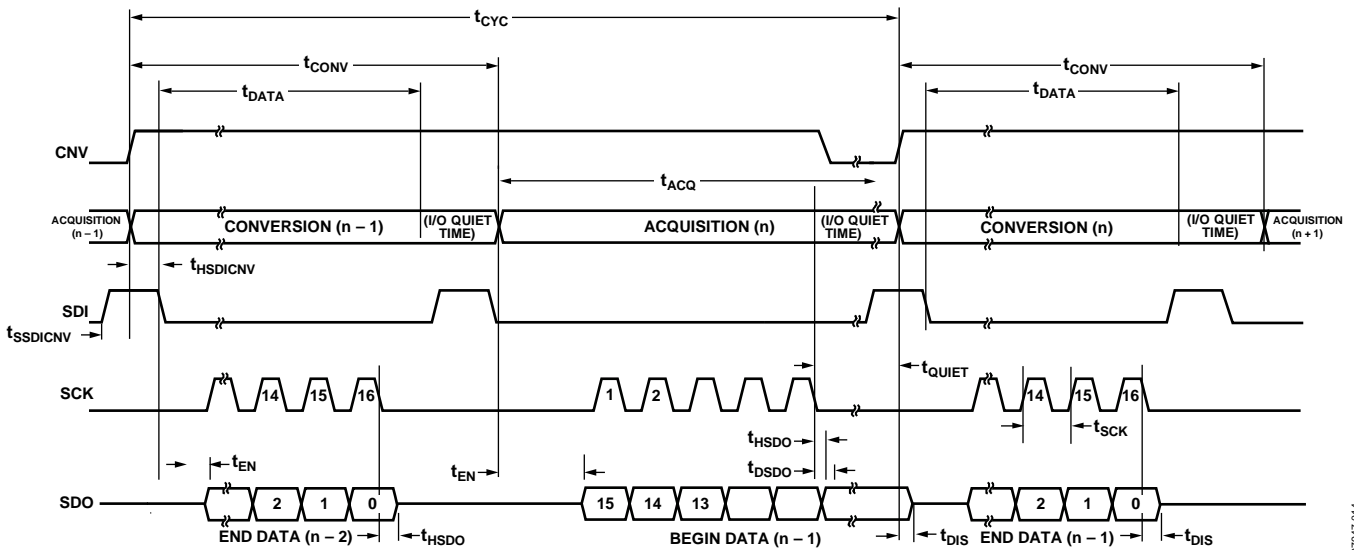


图31. CS模式(四线式且无繁忙指示)串行接口时序

\overline{CS} 模式(四线式且有繁忙指示)

在将单个AD7985连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该独立性在需要CNV低抖动的应用中尤其重要。该模式仅在正常转换模式下可用(TURBO为低电平)。连接图如图32所示，相应的时序如图33所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择 \overline{CS} 模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。(SDI和CNV为低电平时，SDO变为低电平。)最小转换时间之前，SDI可用于

选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD7985接着进入采集阶段并关闭状态。数据位在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当SDI变为高电平时(以最先发生者为准)，SDO返回高阻态。

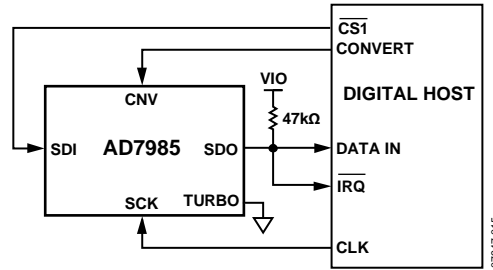


图32. \overline{CS} 模式(四线式且有繁忙指示)连接图

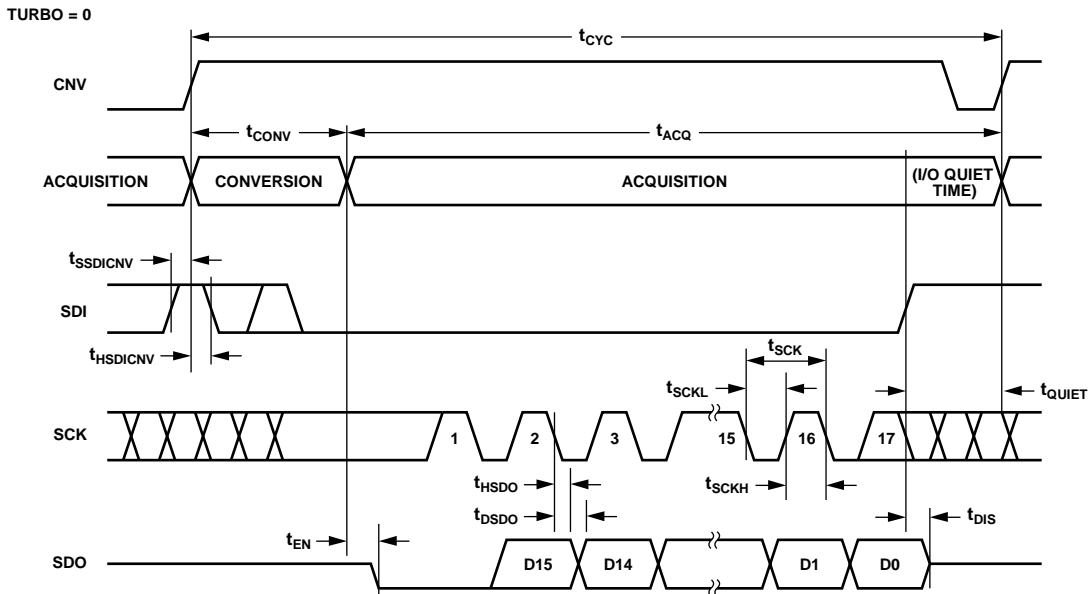


图33. \overline{CS} 模式(四线式且有繁忙指示)串行接口时序

链模式(无繁忙指示)

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7985器件。它仅在正常转换模式下可用(TURBO为低电平)。这一特性有助于减少器件数量和线路连接,例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。使用两个AD7985器件的连接图示例如图34所示,相应的时序如图35所示。

SDI和CNV为低电平时,SDO变为低电平。将SCK置为低电平时,CNV上的上升沿启动转换,选择链模式,并禁用繁忙指示。此模式下,CNV在转换阶段和随后的数据回读期间保持高电平。

转换完成后,MSB输出至SDO,而AD7985进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC,SDI为内部移位寄存器提供输入,并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB,回读N个ADC需要16个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据,但使用SCK下降沿的数字主机能实现更快的读取速率,从而在链中容纳更多AD7985器件,只要数字主机具有合理的保持时间。最大转换速率可因总回读时间而降低。

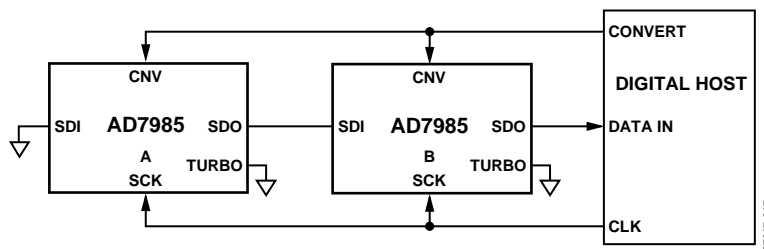


图34. 链模式(无繁忙指示)连接图

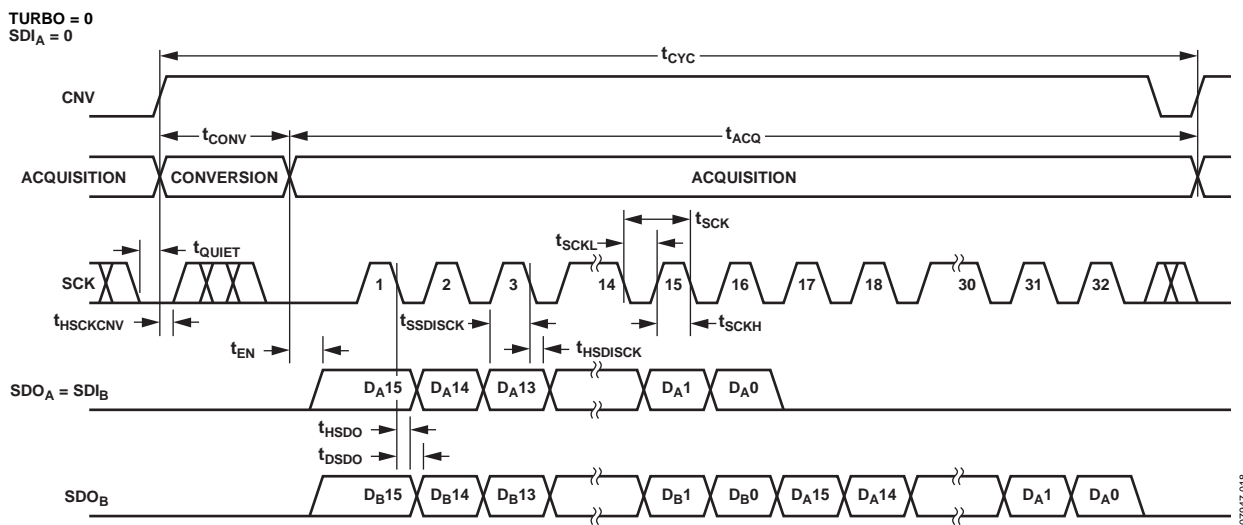


图35. 链模式(无繁忙指示)串行接口时序

AD7985

链模式(有繁忙指示)

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7985器件,同时提供繁忙指示。它仅在正常转换模式下可用(TURBO为低电平)。这一特性有助于减少器件数量和线路连接,例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。使用三个AD7985器件的连接图示例如图36所示,相应的时序如图37所示。

SDI和CNV为低电平时,SDO变为低电平。将SCK置为高电平时,CNV上的上升沿启动转换,选择链模式,并使能繁忙指示功能。此模式下,CNV在转换阶段和随后的数据回读期间保持高电平。

链内所有ADC完成转换后,将最靠近数字主机的ADC的SDO引脚(参见图36中标示为C的ADC AD7985)驱动为高电平。SDO上的这一转换可用作繁忙指示,以触发由数字主机控制的数据回读。AD7985接着进入采集阶段并关断状态。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿以MSB优先方式逐个输出。对于每个ADC,SDI为内部移位寄存器提供输入,并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB,回读N个ADC需要 $16 \times N + 1$ 个时钟。虽然上升沿可以用于捕捉数据,但使用SCK下降沿的数字主机能够实现更快的读取速率,从而在链中容纳更多AD7985器件,只要数字主机具有合理的保持时间。

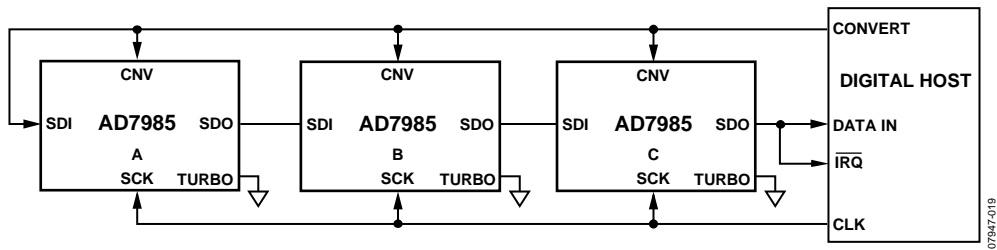


图36. 链模式(有繁忙指示)连接图

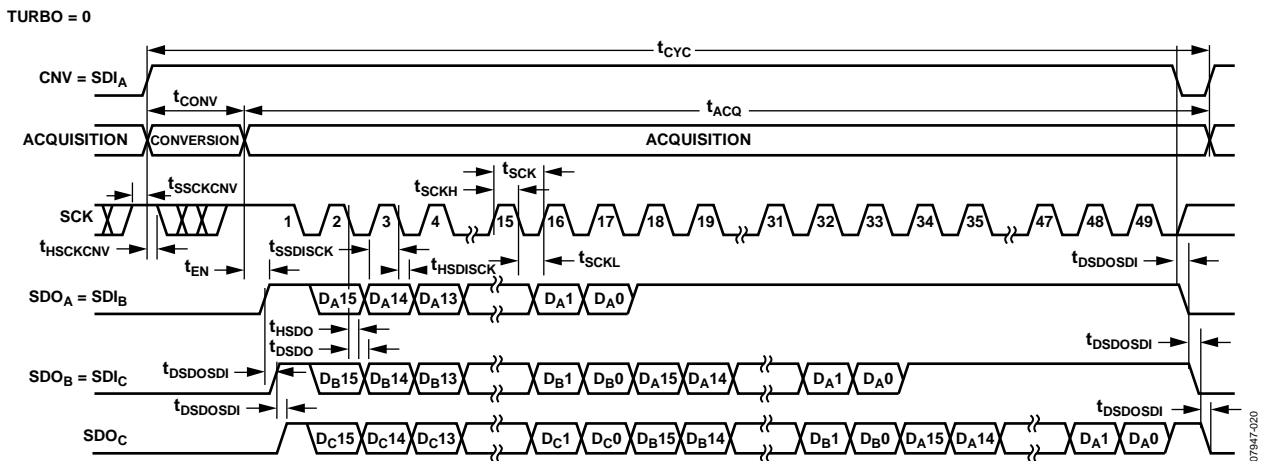


图37. 链模式(有繁忙指示)串行接口时序

应用信息

布局

AD7985所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计,并限制在电路板的一定区域内。AD7985的模拟信号位于左侧,数字信号位于右侧,这种引脚排列可以简化设计。

避免在器件下方布设数字线路,否则会将噪声耦合至芯片管芯,除非在AD7985下方铺一个接地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况,接地层应在AD7985器件下方连接。

AD7985的基准电压输入REF具有动态输入阻抗,应进行去耦,并使寄生电感最小。实现方法是将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和REFGND引脚放置,并用较宽的低阻抗走线进行连接。

最后,AD7985的电源VDD和VIO应通过陶瓷电容去耦,其值通常为100 nF,靠近AD7985放置,并用短而宽的走线连接,以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

评估AD7985性能

AD7985评估板(EVAL-AD7985EBZ)的文档中给出了AD7985的其它推荐布局布线。评估板套件包括装配完善且经过测试的评估板、文档以及在PC上通过EVAL-CED1Z评估板控制评估板的软件。

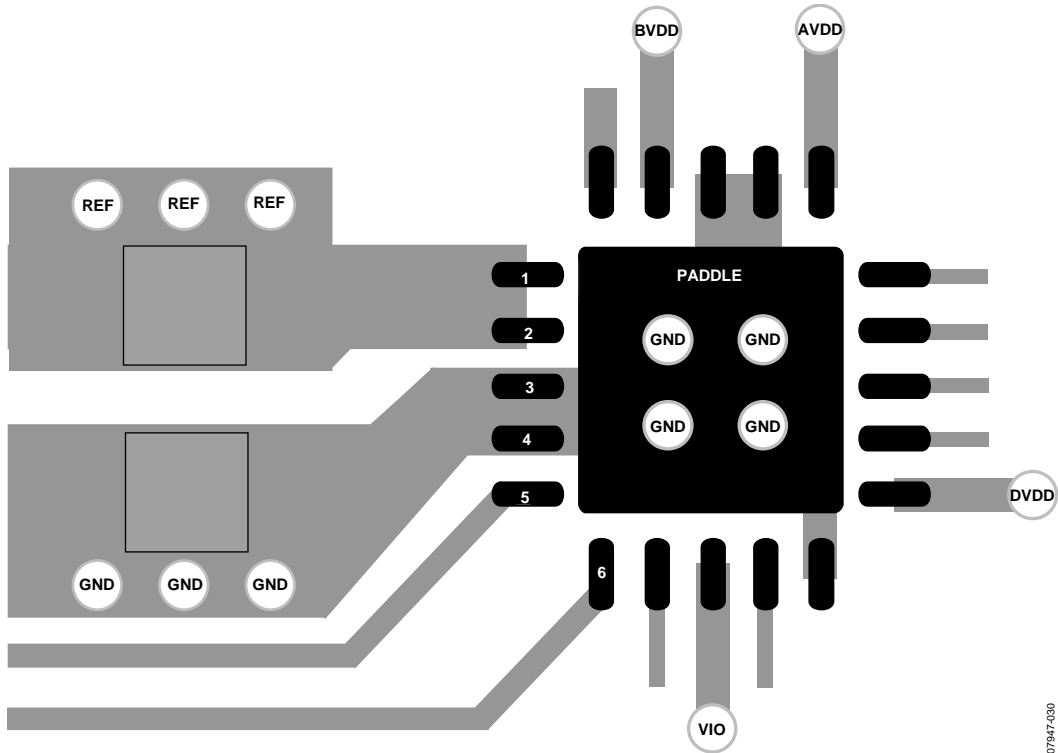


图38. AD7985的示例布局(顶层)

07947-030

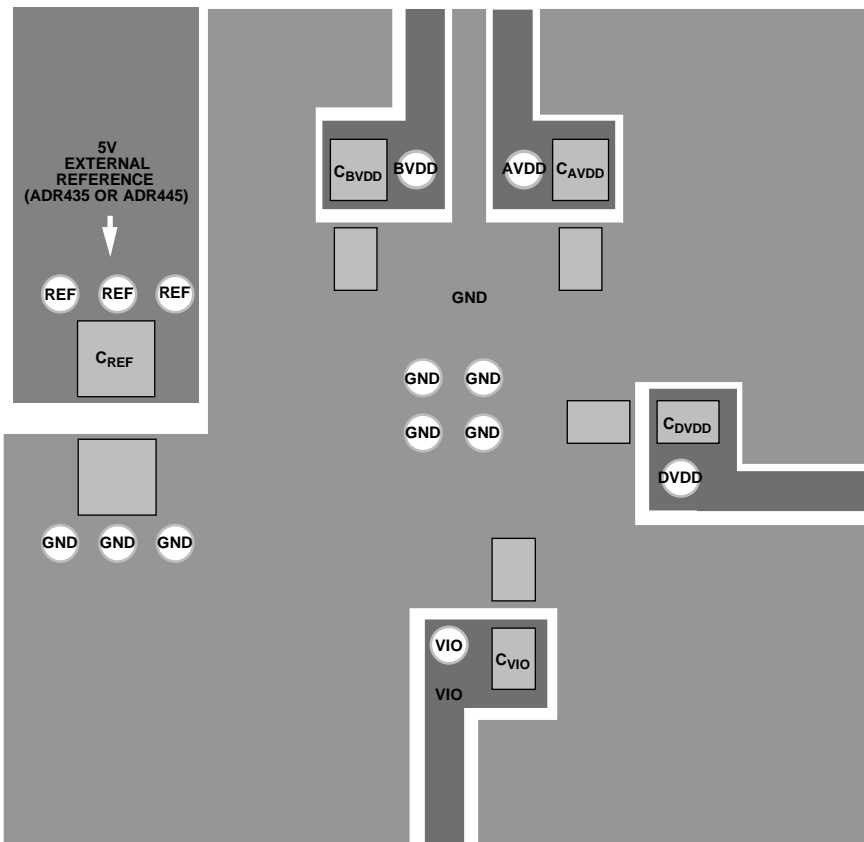
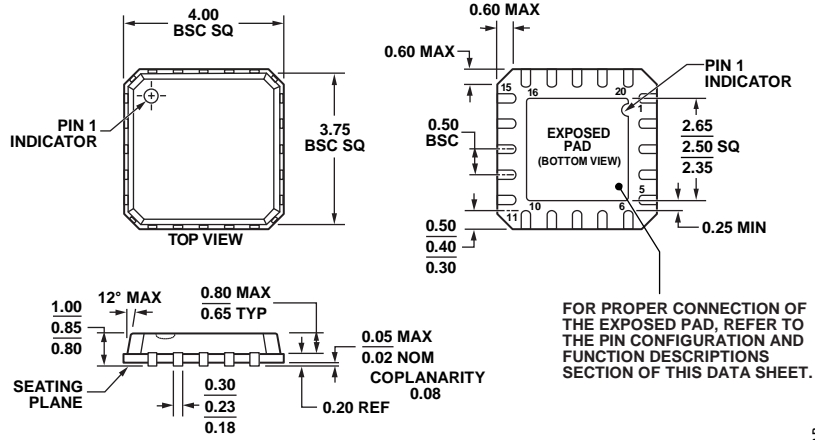


图39. AD7985的示例布局(底层)

07947-031

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

图40. 20引脚引脚架构芯片级封装[LFCSP_VQ]

4 mm 4 mm超薄四方体

(CP-20-4)

图示尺寸单位: mm

订购指南

模型 ^{1,2,3}	温度范围	封装描述	封装选项	订购数量
AD7985BCPZ	-40°C至+85°C	20引脚引脚架构芯片级封装[LFCSP_VQ], 卷盘	CP-20-4	490
AD7985BCPZ-RL7	-40°C至+85°C	20引脚引脚架构芯片级封装[LFCSP_VQ], 7卷带和卷盘	CP-20-4	1,500
EVAL-AD7985EBZ		评估板		
EVAL-CED1Z		转换器评估与开发板		

¹ Z = 符合RoHS标准的器件。

² EVAL-AD7985EBZ可单独用作评估板, 或与EVAL-CED1Z配合用于评估/演示。

³ EVAL-CED1Z允许PC对所有带EB标志后缀的ADI评估板进行控制并与之通信。

AD7985

注释