

特性

- 78 kHz输出数据速率时，动态范围为120 dB
- 2.5 MHz输出数据速率时，动态范围为100 dB
- 78 kHz输出数据速率时，信噪比(SNR)为112 dB
- 2.5 MHz输出数据速率时，信噪比(SNR)为100 dB
- 完全滤波的最大输出速率：2.5 MHz
- 可编程过采样率(8X~256X)
- 全差分调制器输入
- 片内差分放大器，用于信号缓冲
- 低通有限脉冲响应(FIR)滤波器，具有默认的或用户可编程系数
- 调制器输出模式
- 超量程报警位
- 数字偏置与增益校正寄存器
- 滤波器旁路模式
- 低功耗和省电模式
- 多器件通过SYNC引脚实现同步

应用

- 数据采集系统
- 振动分析
- 仪器仪表

概述

AD7760是一款高性能、24位 Σ - Δ 型模数转换器(ADC)，融合了宽输入带宽、高速特性与 Σ - Δ 转换技术的优势，2.5 MSPS时信噪比可达100 dB，因此非常适合高速数据采集应用。宽动态范围以及显著降低的抗混叠要求，使设计过程得以简化。AD7760内置用来驱动基准电压的缓冲、用于信号缓冲和电平转换的差分放大器、超量程标志、内部增益与失调寄存器以及低通数字FIR滤波器，是一款高度集成的紧凑型数据采集器件，只需选择极少的外围元件。此外，该器件提供可编程抽取率，而且如果数字FIR滤波器的默认特征不适合应用要求，还可对其进行调整。AD7760是要求高信噪比(SNR)且无需采用复杂的前端信号处理设计应用的理想器件。

差分输入由模拟调制器以最高40 MSPS的采样速率进行采样。调制器输出由一系列低通滤波器处理，最后一个滤波

功能框图

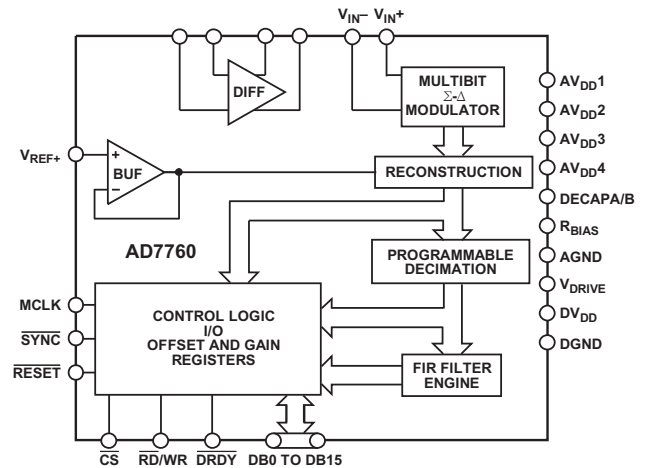


图1

器具有默认的或用户可编程系数。采样速率、滤波器转折频率和输出速率由AD7760的外部时钟频率与配置寄存器共同设置。

模拟输入范围取决于AD7760采用的基准电压。当基准电压为4 V时，模拟输入范围为基于2 V共模电压的 ± 3.2 V差分偏置电压。此共模偏置可利用片内差分放大器来实现，从而可进一步降低外部信号调理要求。

AD7760采用64引脚裸露焊盘TQFP封装，额定温度范围为-40°C至+85°C工业温度范围。

表1. 相关器件

产品型号	描述
AD7762	24位、625 kSPS、109 dB、 Σ - Δ 型、并行接口
AD7763	24位、625 kSPS、109 dB、 Σ - Δ 型、串行接口

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006 Analog Devices, Inc. All rights reserved.

目录

特性	1	写入AD7760	23
应用	1	AD7760时钟要求	24
功能框图	1	缓冲MCLK信号	24
概述	1	MCLK抖动要求	24
修订历史	3	驱动AD7760	26
技术规格	4	使用AD7760	27
时序规格	6	去耦和布局建议	28
时序图	7	电源去耦	29
绝对最大额定值	8	其它去耦	29
ESD警告	8	基准电压滤波	29
引脚配置和功能描述	9	差分放大器元件	29
术语	11	偏置电阻选择	29
典型工作特性	12	布局考虑	29
工作原理	18	裸露焊盘	29
调制器数据输出模式	19	可编程FIR滤波器	30
调制器输入	19	下载用户定义滤波器	31
调制器数据输出调整	19	滤波器下载示例	31
调制器数据输出模式接口	20	AD7760寄存器	33
时钟1分频模式(= 1)	20	控制寄存器1—地址0x0001	33
时钟2分频模式(= 0)	20	控制寄存器2—地址0x0002	33
AD7760采用调制器输出模式工作	21	状态寄存器(只读)	34
AD7760接口	22	失调寄存器—地址0x0003	34
读取数据	22	增益寄存器—地址0x0004	34
读取状态和其它寄存器	22	超量程寄存器—地址0x0005	34
共享并行总线	22	外形尺寸	35
同步	22	订购指南	35

修订历史

2006年8月—修订版0至修订版A

更新封装选项	全文	增加MCLK抖动要求标题	24
修改特性	1	修改驱动AD7760部分	26
修改技术规格	4	修改图51	26
修改绝对最大额定值	8	增加图52	26
修改术语部分	11	修改图55	28
增加图36至图39	17	修改图56	29
增加调制器数据输出模式部分	19	增加裸露焊盘部分	29
增加图41至图47	19	修改控制寄存器2—地址0x0002部分	33
增加调制器数据输出模式接口部分	20	修改状态寄存器(只读)部分	34
修改读取数据部分	22		
增加同步部分	22		
修改AD7760时钟要求部分	24		
增加缓冲MCLK信号部分	24		

2005年7月—修订版0：初始版

AD7760

技术规格

除非另有说明, $AV_{DD1} = DV_{DD} = V_{DRIVE} = 2.5\text{ V}$, $AV_{DD2} = AV_{DD3} = AV_{DD4} = 5\text{ V}$, $V_{REF+} = 4.096\text{ V}$, MCLK幅度 = 5 V, $T_A = 25^\circ\text{C}$, 正常模式, 使用元件值如表8所示的片内放大器。¹

表2

参数	测试条件/注释	测试条件/注释	单位
动态性能			
1/256抽取 动态范围	MCLK = 40 MHz, ODR = 78 kHz, $f_{IN} = 1\text{ kHz}$ 调制器输入短路	119 120.5	dB, 最小值 dB, 典型值
信噪比(SNR) ²	输入幅度 = -0.5 dBFS 输入幅度 = -60 dBFS	112 59	dB, 典型值 dB, 典型值
无杂散动态范围(SFDR)	非谐波, 输入幅度 = -6 dBFS 输入幅度 = -60 dBFS	126 77	dBc, 典型值 dBc, 典型值
总谐波失真(THD)	输入幅度 = -0.5 dBFS 输入幅度 = -6 dBFS 输入幅度 = -60 dBFS	-105 -106 -75	dB, 典型值 dB, 典型值 dB, 典型值
1/32抽取 动态范围	MCLK = 40 MHz, ODR = 625 kHz, $f_{IN} = 100\text{ kHz}$ 调制器输入短路	108 109.5	dB, 最小值 dB, 典型值
信噪比(SNR) ²	输入幅度 = -0.5 dBFS	107	dB, 典型值
无杂散动态范围(SFDR)	非谐波, 输入幅度 = -6 dBFS	120	dBc, 典型值
总谐波失真(THD)	输入幅度 = -0.5 dBFS 输入幅度 = -6 dBFS	-105 -106	dB, 典型值 dB, 典型值
1/8抽取 动态范围	MCLK = 40 MHz, ODR = 2.5 MHz 调制器输入短路	99 100.5	dB, 最小值 dB, 典型值
信噪比(SNR) ²	$f_{IN} = 1\text{ kHz}$, 输入幅度 = -0.5 dBFS $f_{IN} = 100\text{ kHz}$, 输入幅度 = -0.5 dBFS $f_{IN} = 1\text{ MHz}$, 输入幅度 = -0.5 dBFS	100 99 98	dB, 典型值 dB, 典型值 dB, 典型值
无杂散动态范围(SFDR)	非谐波, $f_{IN} = 100\text{ kHz}$, 输入幅度 = -6 dBFS 非谐波, $f_{IN} = 1\text{ MHz}$, 输入幅度 = -6 dBFS	120 114	dBc, 典型值 dBc, 典型值
总谐波失真(THD)	输入幅度 = -0.5 dBFS, $f_{IN} = 100\text{ kHz}$ 输入幅度 = -6 dBFS, $f_{IN} = 100\text{ kHz}$	-103 -102	dB, 典型值 dB, 典型值
二阶IMD	$f_{IN,A} = 989.95\text{ kHz}$, $f_{IN,B} = 999.95\text{ kHz}$	-115	dB, 典型值
三阶IMD	$f_{IN,A} = 989.95\text{ kHz}$, $f_{IN,B} = 999.95\text{ kHz}$	-89	dB, 典型值
直流精度			
分辨率	保证24位单调性	24	位
微分非线性(DNL)		0.00076	%, 典型值
积分非线性(INL)		0.014	%, 典型值
零误差		0.02	%, 最大值
增益误差		0.016	%, 典型值
零误差漂移		0.00001	% FS/°C, 典型值
增益误差漂移		0.0002	% FS/°C, 典型值
数字滤波器响应			
1/8抽取 群延迟	MCLK = 40 MHz	12	μs, 典型值
1/32抽取 群延迟	MCLK = 40 MHz	47	μs, 典型值
1/256抽取 群延迟	MCLK = 40 MHz	358	μs, 典型值

参数	测试条件/注释	测试条件/注释	单位
模拟输入			
差分输入电压	$V_{IN(+)} - V_{IN(-)}, V_{REF} = 2.5\text{ V}$	± 2	V p-p
输入电容	$V_{IN(+)} - V_{IN(-)}, V_{REF} = 4.096\text{ V}$ 位于内部缓冲输入 位于调制器输入	± 3.25 5 55	V p-p
基准输入/输出			
V_{REF} 输入电压	$V_{DD3} = 3.3\text{ V} \pm 5\%$ $V_{DD3} = 5\text{ V} \pm 5\%$	+2.5 +4.096	V,最大值 V,最大值
V_{REF} 输入直流漏电流		± 6	μA ,最大值
V_{REF} 输入电容		5	pF,最大值
功耗			
总功耗	正常模式 低功耗模式	958 661	mW,最大值 mW,最大值
待机模式	时钟停止	6.35	mW,最大值
电源要求			
AV_{DD1} (调制器电源)	$\pm 5\%$	+2.5	V
AV_{DD2} (通用电源)	$\pm 5\%$	+5	V
AV_{DD3} (差分放大器电源)		+3.15/+5.25	V,最小值/最大值
AV_{DD4} (基准缓冲电源)		+3.15/+5.25	V,最小值/最大值
DV_{DD}	$\pm 5\%$	+2.5	V
V_{DRIVE}		+1.65/+2.7	V,最小值/最大值
正常模式			
AI_{DD1} (调制器)		49/51	mA,典型值/最大值
AI_{DD2} (通用)3		40/42	mA,典型值/最大值
AI_{DD4} (基准缓冲)	$AV_{DD4} = 5\text{ V}$	34/36	mA,典型值/最大值
低功耗模式			
AI_{DD1} (调制器)		26/28	mA,典型值/最大值
AI_{DD2} (通用)3		20/23	mA,典型值/最大值
AI_{DD4} (基准缓冲)	$AV_{DD4} = 5\text{ V}$	9/10	mA,典型值/最大值
AI_{DD3} (差分放大器)	$AV_{DD3} = 5\text{ V}$, 两种模式	41/44	mA,典型值/最大值
DI_{DD}	两种模式	63/70	mA,典型值/最大值
数字I/O			
MCLK输入幅度 ⁴		5	V,典型值
输入电容		7.3	pF,典型值
输入漏电流		± 5	μA ,最大值
三态漏电流(D15:D0)		± 5	μA ,最大值
V_{INH}		$0.7 \times V_{DRIVE}$	V,最小值
V_{INL}		$0.3 \times V_{DRIVE}$	V,最大值
V_{OH}^5		1.5	V,最小值
V_{OH}^6		2.4	V,典型值
V_{OL}^4		0.1	V,最大值

¹ 参见术语部分。

² SNR特性(dB)参考满量程输入FS。除非另有说明，测试条件为输入信号比满量程低0.5 dB。

³ 电流与ICLK频率成比例。参见典型工作特性部分。

⁴ 这是实现所述性能的推荐幅度，但AD7760可以在小于5 V的MCLK幅度下工作。

⁵ 利用1.65 V的最小 V_{DRIVE} 电压和400 μA 负载电流进行测试。

⁶ 利用 $V_{DRIVE} = 2.5\text{ V}$ 和400 μA 负载电流进行测试。

AD7760

时序规格

除非另有说明, $AV_{DD1} = DV_{DD} = V_{DRIVE} = 2.5\text{ V}$, $AV_{DD2} = AV_{DD3} = AV_{DD4} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, 正常模式。

Table 3.

参数	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
f_{MCLK}	1 40	MHz, 最小值 MHz, 最大值	所施加的主时钟频率
f_{ICLK}	500 20	kHz, 最小值 MHz, 最大值	从MCLK获得的内部调制器时钟
$t_1^{1,2}$	$0.5 \times t_{ICLK}$	典型值	\overline{DRDY} 脉冲宽度
t_2	10	ns, 最小值	\overline{DRDY} 下降沿到 \overline{CS} 下降沿
t_3	3	ns, 最小值	$\overline{RD}/\overline{WR}$ 设置时间到 \overline{CS} 下降沿
t_4	$(0.5 \times t_{ICLK}) + 16\text{ ns}$	最大值	数据访问时间
t_5	t_{ICLK}	最小值	低电平读取脉冲宽度
t_6	t_{ICLK}	最小值	两次读取之间的高电平脉冲宽度
t_7	3	ns, 最小值	$\overline{RD}/\overline{WR}$ 保持时间到 \overline{CS} 上升沿
t_8	11	ns, 最大值	总线释放时间
t_9^2	$0.5 \times t_{ICLK}$	典型值	\overline{DRDY} 高电平周期
t_{10}^2	$0.5 \times t_{ICLK}$	典型值	\overline{DRDY} 低电平周期
t_{11}	$(0.5 \times t_{ICLK}) + 16\text{ ns}$	最大值	数据访问时间
$t_{12}^{3,4}$	23	ns, 最小值	\overline{DRDY} 上升沿前的数据有效时间
$t_{13}^{3,4}$	19	ns, 最小值	\overline{DRDY} 上升沿后的数据有效时间
t_{14}	11	ns, 最大值	总线释放时间
t_{15}	$4 \times t_{ICLK}$	最小值	\overline{CS} 低电平写入脉冲宽度
t_{16}	$4 \times t_{ICLK}$	最小值	地址与数据之间的 \overline{CS} 高电平周期
t_{17}	5	ns, 最小值	数据设置时间
t_{18}	0	ns, 最小值	数据保持时间
$t_{19}^{4,5}$	23	ns, 最小值	\overline{DRDY} 为逻辑低电平时, MCLK下降沿前的数据有效时间
$t_{20}^{4,5}$	19	ns, 最小值	\overline{DRDY} 为逻辑低电平时, MCLK下降沿后的数据有效时间

¹ $t_{ICLK} = 1/f_{ICLK}$

² 当 $ICLK = MCLK$ 时, \overline{DRDY} 脉冲宽度取决于所用时间MCLK的传号空号比。

³ 当使用 $CDIV = 1$ 的调制器输出模式时有效。

⁴ 时序图参见调制器数据输出模式部分。

⁵ 当使用 $CDIV = 0$ 的调制器输出模式时有效。

时序图

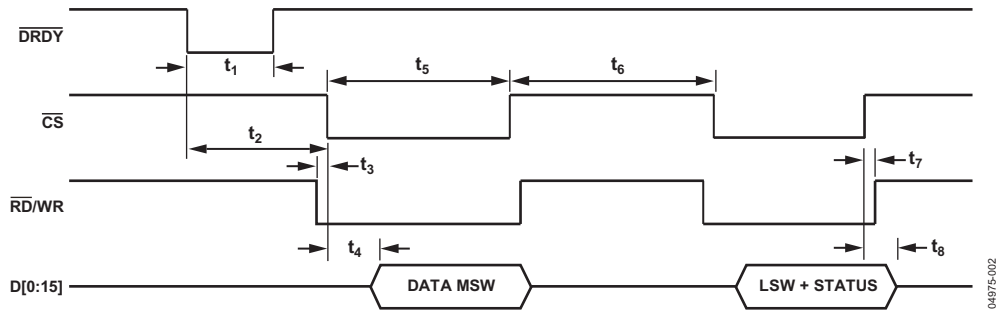


图2. 滤波输出—并行接口时序图

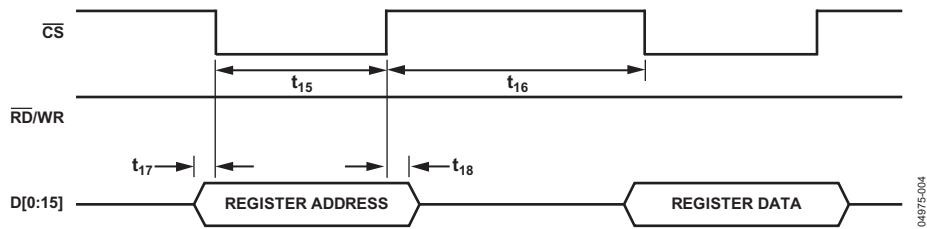


图3. AD7760寄存器写入

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

Table 4.

参数	额定值
AV_{DD1} 至GND	-0.3 V 至 +3 V
AV_{DD2} :AVDD4至GND	-0.3 V 至 +6 V
DV_{DD} 至GND	-0.3 V 至 +3 V
V_{DRIVE} 至GND	-0.3 V 至 +3 V
V_{IN+} 、 V_{IN-} 至GND ¹	-0.3 V 至 +6 V
V_{IN+} 、 V_{IN-} 至GND ¹	-0.3 V 至 +6 V
数字输入电压至GND ²	-0.3 V 至 $DV_{DD} + 0.3\text{ V}$
MCLK至MCLKGND	-0.3 V 至 +6 V
V_{REF+} 至GND ³	-0.3 V 至 $AV_{DD4} + 0.3\text{ V}$
AGND至DGND	-0.3 V 至 +0.3 V
输入电流至除电源外的 任何引脚 ⁴	$\pm 10\text{ mA}$
工作温度范围	
商用	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
结温	150°C
TQFP裸露焊盘封装	
θ_{JA} 热阻	92.7°C/W
θ_{JC} 热阻	5.1°C/W
引脚温度，焊接	
气相(60秒)	215°C
红外(15秒)	220°C
ESD	600 V

¹ V_{IN-} 、 V_{IN+} 、 V_{IN+} 、 V_{IN+} 的绝对最大电压为6.0 V或AVDD3 + 0.3 V，以较低者为准。

² 数字输入的绝对最大电压为3.0 V或 $DV_{DD} + 0.3\text{ V}$ ，以较低者为准。

³ V_{REF+} 输入的绝对最大电压为6.0 V或 $AV_{DD4} + 0.3\text{ V}$ ，以较低者为准。

⁴ 高达200 mA的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值，不意味着器件在这些或者任何其他超出本技术规格书的功能性操作章节里标明的条件下的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

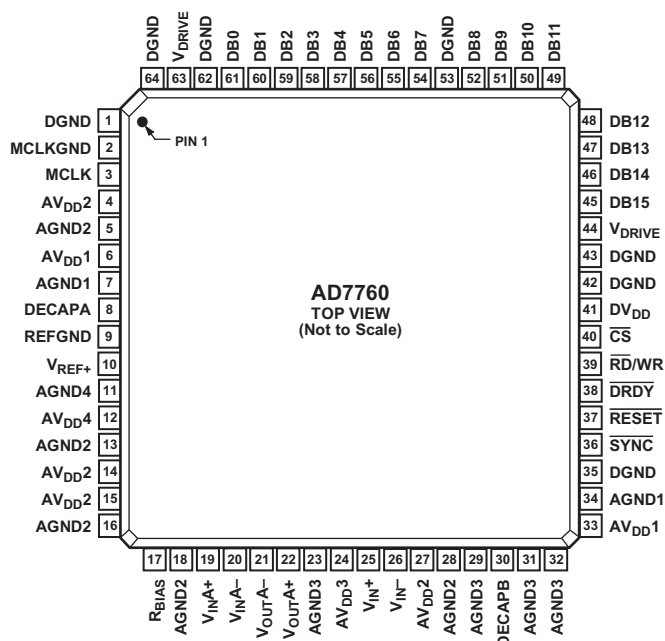


图4. 64引脚TQFP引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
6, 33	AV _{DD1}	调制器的2.5 V电源。这些引脚应通过其上的100 nF和10 μF电容去耦至AGND1(分别为引脚7和引脚34)。详情见去耦和布局建议部分。
4, 14, 15, 27	AV _{DD2}	5 V电源。这些引脚应去耦至AGND2(引脚5和引脚13, 通过引脚4、引脚14和引脚15上的100 nF电容)。引脚27应通过一个15 nH电感连接到引脚14。详情见去耦和布局建议部分。
24	AV _{DD3}	差分放大器的3.3 V至5 V电源。此引脚应通过一个100 nF电容去耦至AGND3(引脚23)。详情见去耦和布局建议部分。
12	AV _{DD4}	基准电压缓冲的3.3 V至5 V电源。此引脚应通过与10 Ω电阻串联的10 nF电容去耦至引脚9。
7, 34	AGND1	由AV _{DD1} 供电的模拟电路的电源地。
5, 13, 16, 18, 28	AGND2	由AV _{DD2} 供电的模拟电路的电源地。
23, 29, 31, 32	AGND3	由AV _{DD3} 供电的模拟电路的电源地。
11	AGND4	由AV _{DD4} 供电的模拟电路的电源地。
9	REFGND	基准电压地。基准电压的接地连接。
41	DV _{DD}	数字电路和FIR滤波器的2.5 V电源。此引脚应通过一个100 nF电容去耦至DGND。
44, 63	V _{DRIVE}	逻辑电源输入, 1.8 V至2.5 V。这些引脚的电源电压决定逻辑接口的工作电压。这两个引脚必须相连并连接到同一电源。每个引脚还应通过一个100 nF电容去耦至DGND。
1, 35, 42, 43, 53, 62, 64	DGND	数字电路的接地基准。
19	V _{INA+}	差分放大器的正输入。
20	V _{INA-}	差分放大器的负输入。
21	V _{OUTA-}	差分放大器的负输出。
22	V _{OUTA+}	差分放大器的正输出。
25	V _{IN+}	调制器的正输入。
26	V _{IN-}	调制器的负输入。
10	V _{REF+}	基准电压输入。此引脚的输入范围由基准电压缓冲的电源电压(AV _{DD4})决定。详情见基准电压滤波部分。
8	DECAPA	去耦引脚。必须在此引脚与AGND之间插入一个100 nF电容。

AD7760

引脚编号	引脚名称	描述
30	DECAPB	去耦引脚。必须在此引脚与AGND3之间插入一个33 pF电容。
17	RBIAS	偏置电流设置引脚。必须在此引脚与AGND之间插入一个电阻。详情见偏置电阻选择部分。
45 to 52, 54 to 61	DB15:DB8, DB7:DB0	16位双向数据总线。这些是由 \overline{CS} 引脚和 $\overline{RD}/\overline{WR}$ 引脚控制的三态引脚。这些引脚的工作电压由 V_{DRIVE} 电压决定。详情见调制器数据输出模式和AD7760接口部分。
37	\overline{RESET}	此引脚的下降沿使所有内部数字电路复位，并使器件进入省电模式。如果此引脚保持低电平，AD7760将一直处于复位状态。
3	MCLK	主时钟输入。必须将一个低抖动、缓冲数字时钟施加于此引脚。输出数据速率取决于此时钟的频率。详情见AD7760时钟要求部分。
2	MCLKGND	主时钟接地检测引脚。
36	\overline{SYNC}	同步输入。此引脚的下降沿使内部滤波器复位。它可以用来同步系统中的多个器件。详情见同步部分。
39	$\overline{RD}/\overline{WR}$	读/写输入。此引脚与片选引脚配合使用，用于读写AD7760数据。当 \overline{CS} 为低电平时，如果此引脚为低电平，则发生读操作。当 \overline{CS} 为低电平时，如果此引脚为高电平，则发生写操作。详情见调制器数据输出模式和AD7760接口部分。
38	\overline{DRDY}	数据就绪输出。每次有新转换数据可用时，此引脚上便会产生一个 $\frac{1}{2}$ ICLK周期宽的低电平有效脉冲。详情见调制器数据输出模式和AD7760接口部分。
40	\overline{CS}	选输入。此引脚与 $\overline{RD}/\overline{WR}$ 引脚配合使用，用于读写AD7760数据。详情见调制器数据输出模式和AD7760接口部分。

术语

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7760，其定义为

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波振幅的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波振幅的均方根值。

非谐波无杂散动态范围(SFDR)

SFDR指信号振幅均方根与除谐波外的峰值杂散频谱成分的均方根值之比。

动态范围

动态范围指满量程的均方根值与输入短路连在一起时测得的均方根噪声之比，用分贝(dB)表示。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频率 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$ 等)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7760经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。

在此情况下，二阶项频率通常远离最初正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真产物的均方根和与基波和的振幅均方根的比值，用分贝(dB)表示。

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。

微分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

零误差

零误差指理想中间电平输入电压(当两个输入短路连在一起时)与产生中间电平输出码的实际电压之差。

零误差漂移

零误差漂移指温度变化 1°C 所引起的实际零误差值的变化，用室温时满量程的百分比表示。

增益误差

当一个模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时，发生第一个码转换(从100 ... 000到100 ... 001)。当一个模拟电压低于标称满量程 $\frac{1}{2}$ LSB时，发生最后一个码转换(从011 ... 110到011 ... 111)。增益误差指最后一个转换的实际电平与第一个转换的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

增益误差漂移指温度变化 1°C 所引起的实际增益误差值的变化，用室温时满量程的百分比表示。

典型工作特性

除非另有说明, $AV_{DD1} = DV_{DD} = V_{DRIVE} = 2.5\text{ V}$, $AV_{DD2} = AV_{DD3} = AV_{DD4} = 5\text{ V}$, $V_{REF} = 4.096\text{ V}$, $T_A = 25^\circ\text{C}$, 正常模式。所有FFT均是利用7阶Blackman-Harris窗函数从65,536个样本中产生。

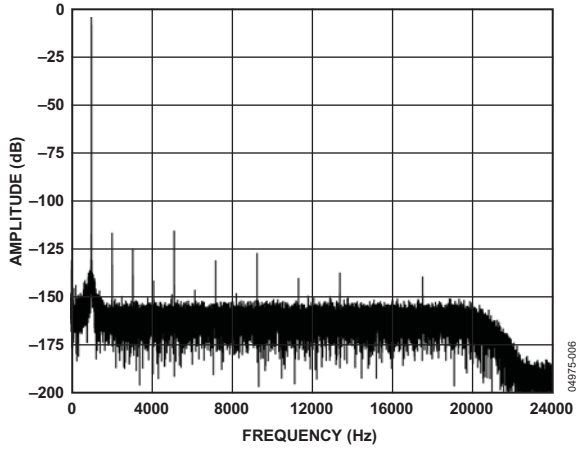


图5. 正常模式FFT, 1 kHz, -0.5 dB输入, 256×抽取

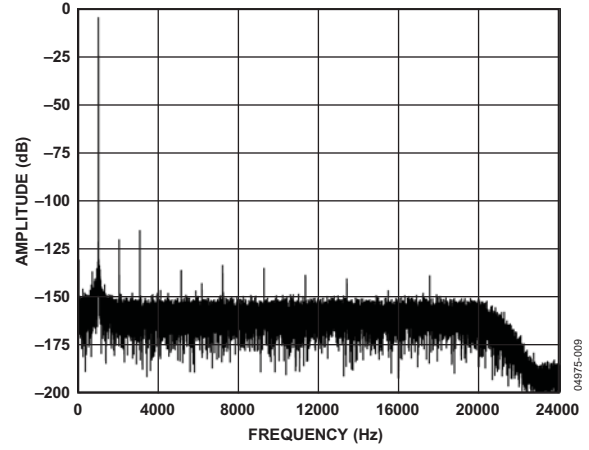


图8. 低功耗模式FFT, 1 kHz, -0.5 dB输入, 256×抽取

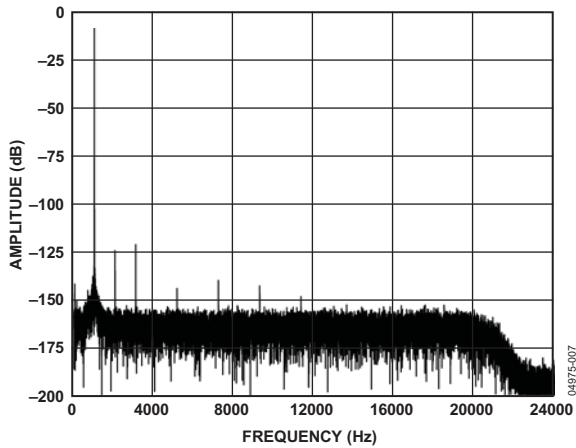


图6. 正常模式FFT, 1 kHz, -6 dB输入, 256×抽取

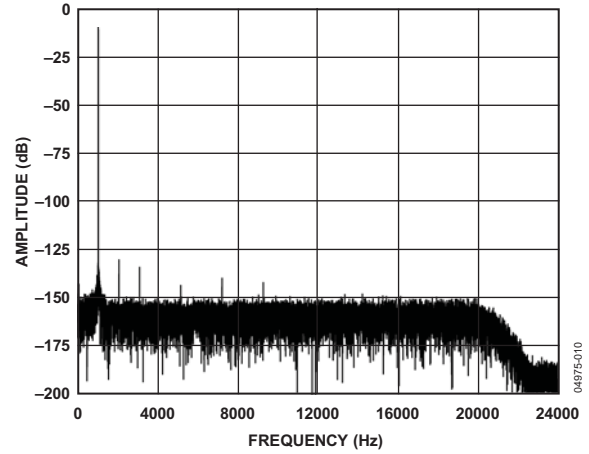


图9. 低功耗模式FFT, 1 kHz, -6 dB输入, 256×抽取

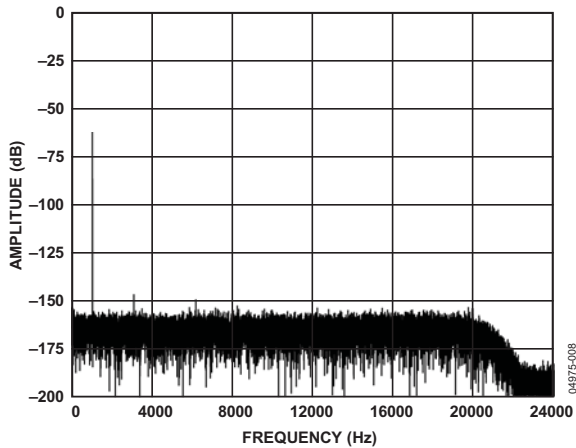


图7. 正常模式FFT, 1 kHz, -60 dB输入, 256×抽取

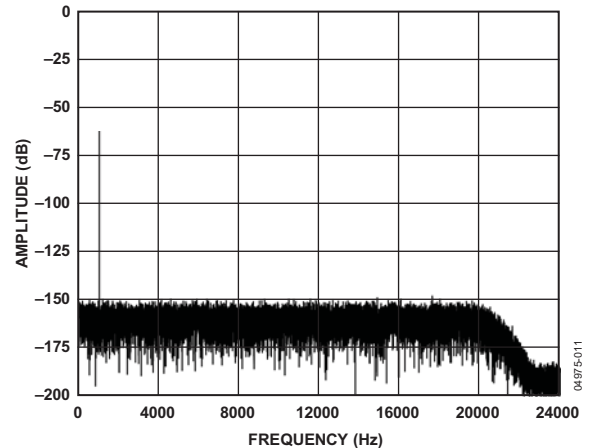


图10. 低功耗模式FFT, 1 kHz, -60 dB输入, 256×抽取

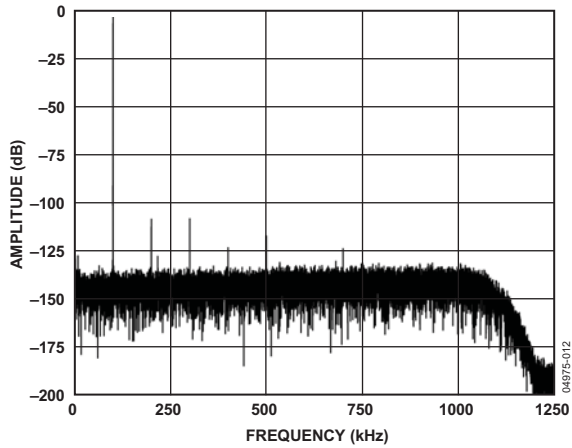


图11. 正常模式FFT, 100 kHz, -0.5 dB输入, 8×抽取

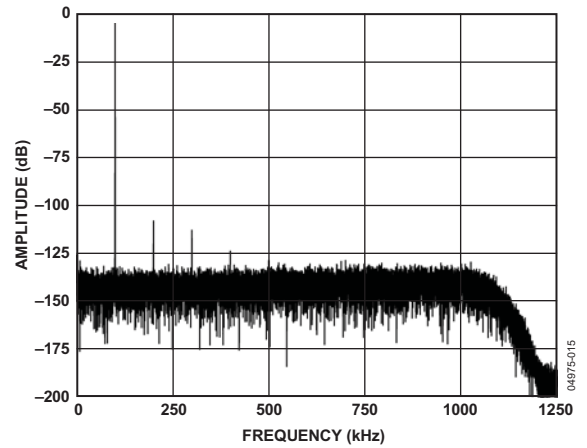


图14. 低功耗模式FFT, 100 kHz, -0.5 dB输入, 8×抽取

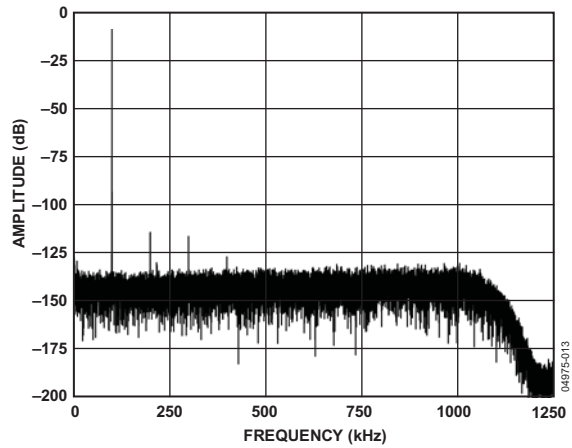


图12. 正常模式FFT, 100 kHz, -6 dB输入, 8×抽取

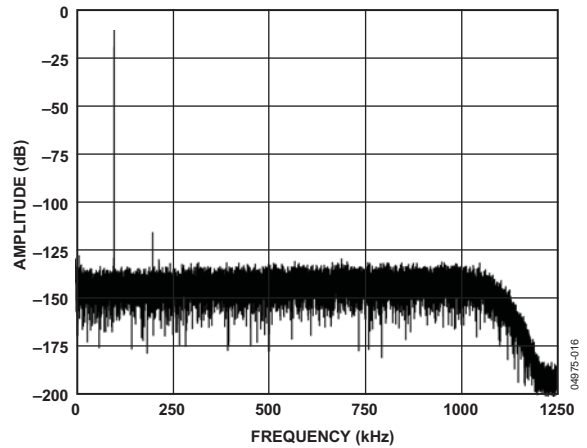


图15. 低功耗模式FFT, 100 kHz, -6 dB输入, 8×抽取

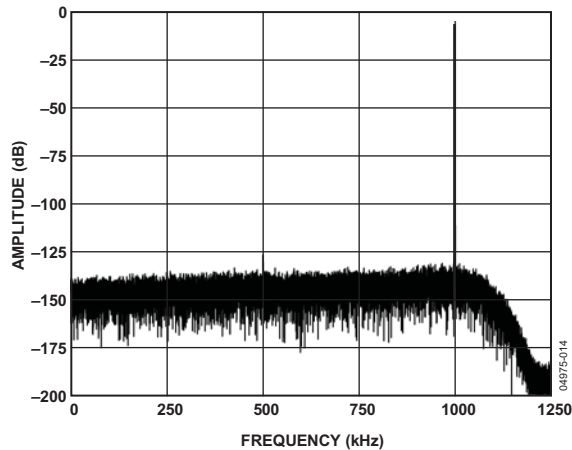


图13. 正常模式FFT, 1 MHz, -0.5 dB输入, 8×抽取

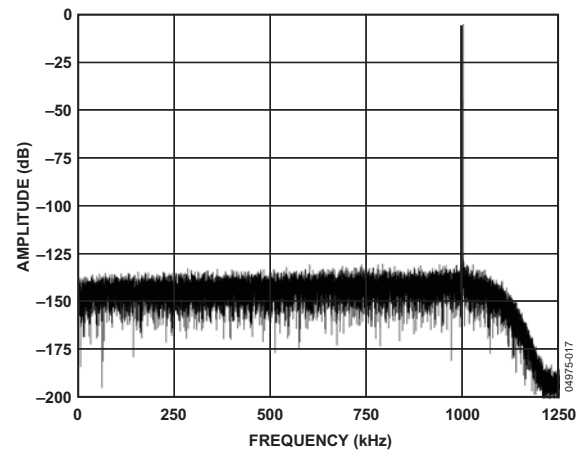


图16. 低功耗模式FFT, 1 MHz, -0.5 dB输入, 8×抽取

AD7760

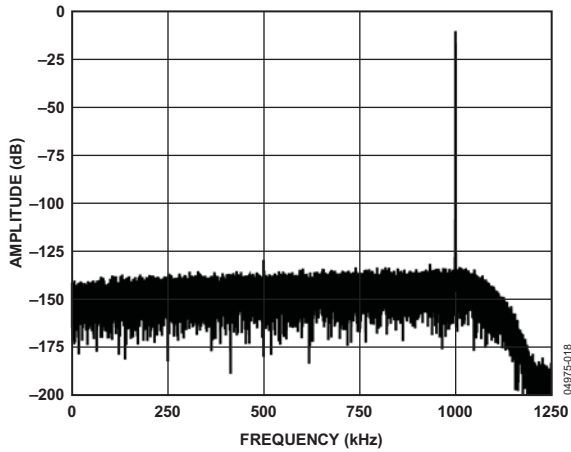


图17. 正常模式FFT, 1 MHz, -6 dB输入, 8×抽取

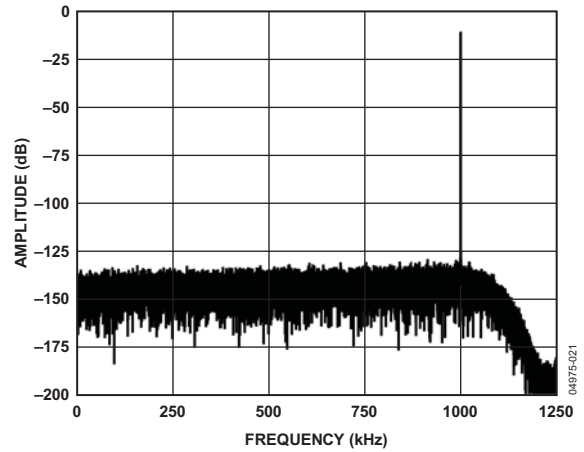


图20. 低功耗模式FFT, 1 MHz, -6 dB输入, 8×抽取

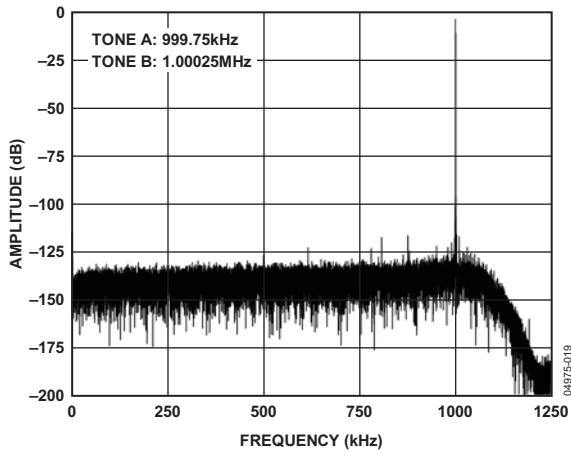


图18. 正常模式IMD, 1 MHz中心频率, 8×抽取

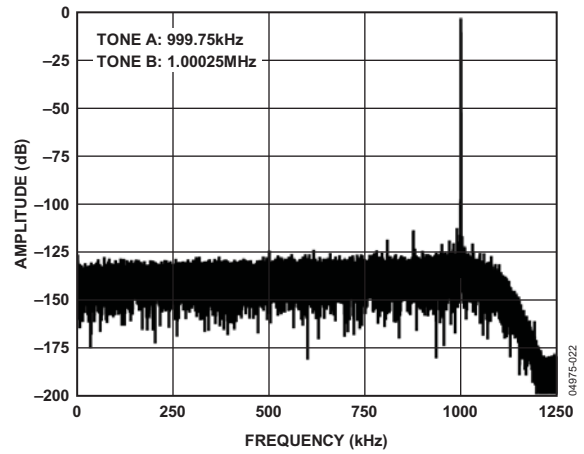


图21. 低功耗模式IMD, 1 MHz中心频率, 8×抽取

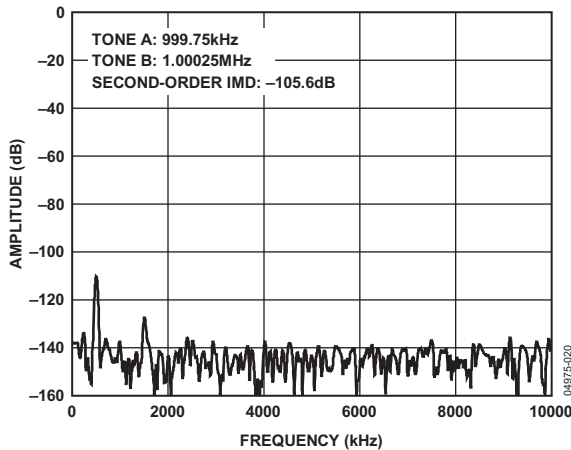


图19. 正常模式IMD, 1 MHz中心频率, 8×抽取

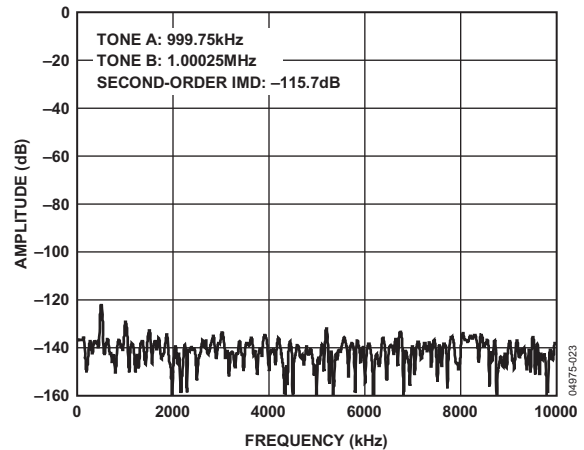


图22. 低功耗模式IMD, 1 MHz中心频率, 8×抽取

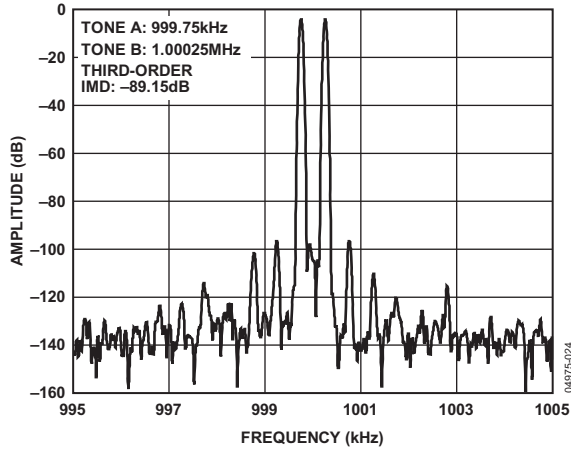


图23. 正常模式IMD, 1 MHz中心频率, 8×抽取

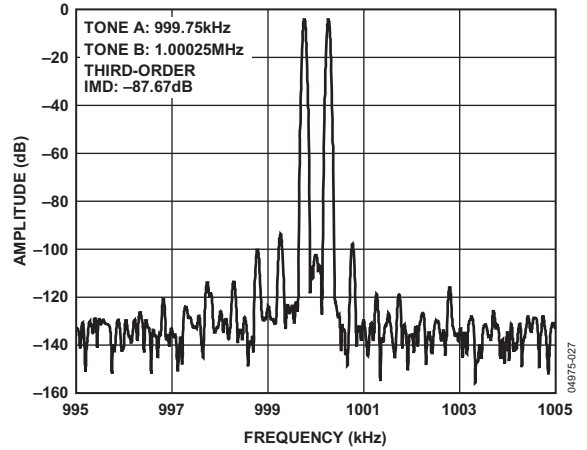


图26. 正常模式IMD, 1 MHz中心频率, 8×抽取

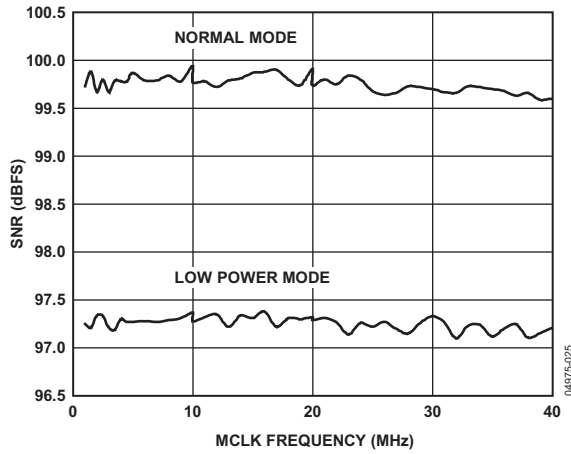


图24. SNR与MCLK频率的关系, 8×抽取, -6 dB, 1 kHz输入

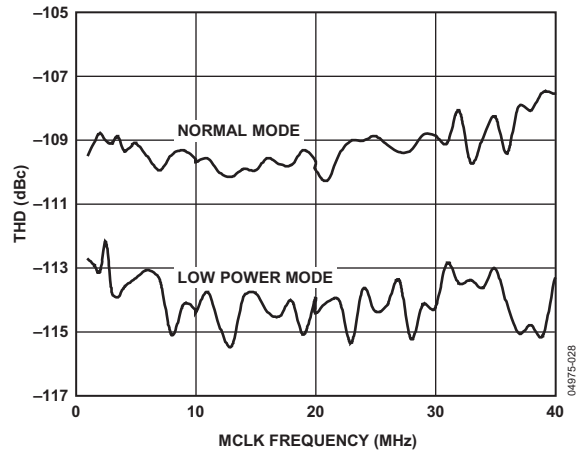


图27. THD与MCLK频率的关系, 8×抽取, -6 dB, 1 kHz输入

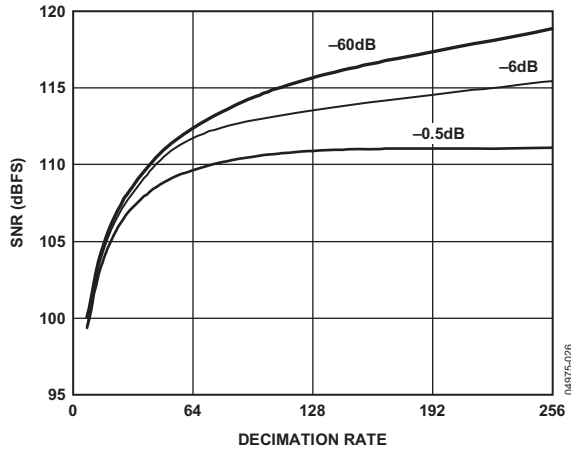


图25. 正常模式SNR与抽取率的关系, 1 kHz输入

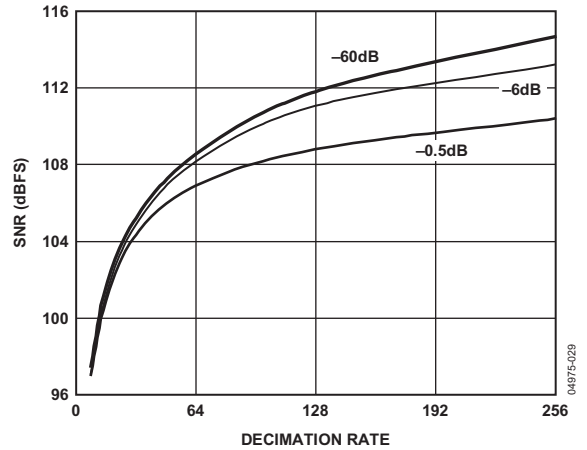


图28. 低功耗模式SNR与抽取率的关系, 1 kHz输入

AD7760

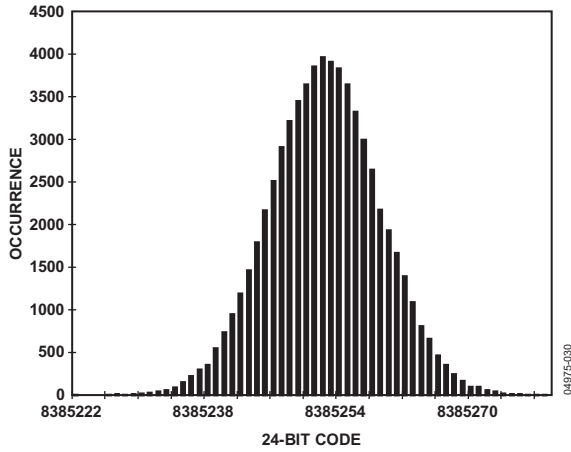


图29. 正常模式, 24位直方图, 256×抽取

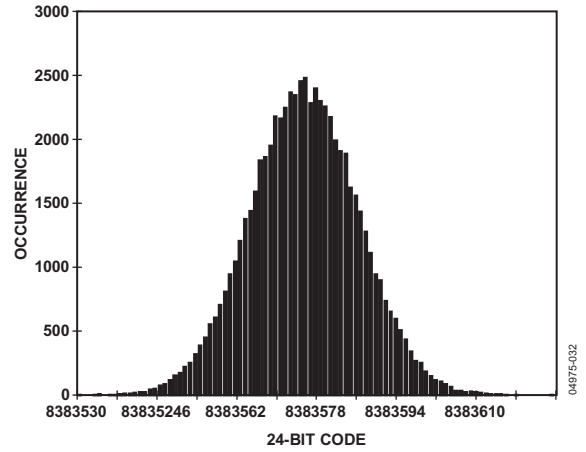


图32. 低功耗模式, 24位直方图, 256×抽取

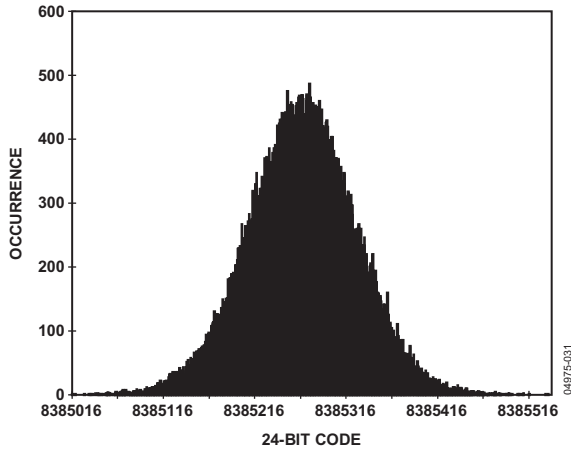


图30. 正常模式, 24位直方图, 8×抽取

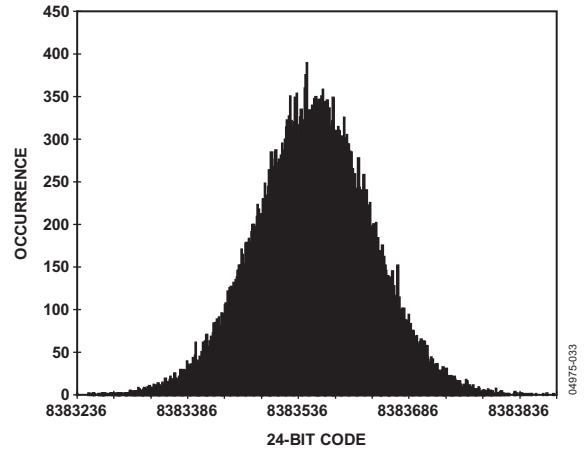


图33. 低功耗模式, 24位直方图, 8×抽取

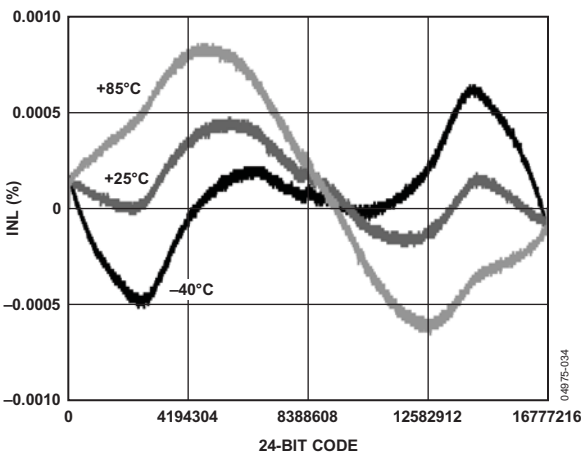


图31. 24位INL, 正常模式

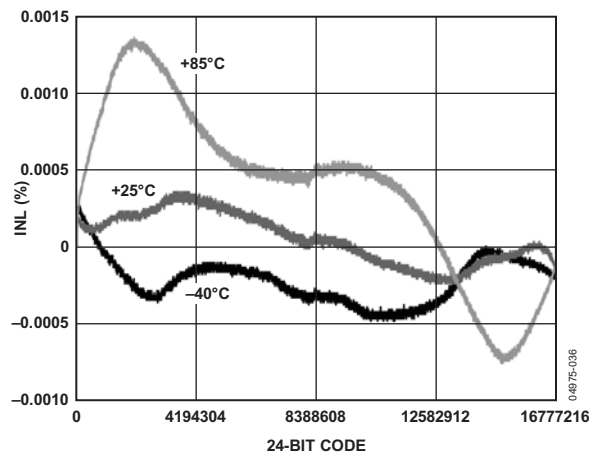


图34. 24位INL, 低功耗模式

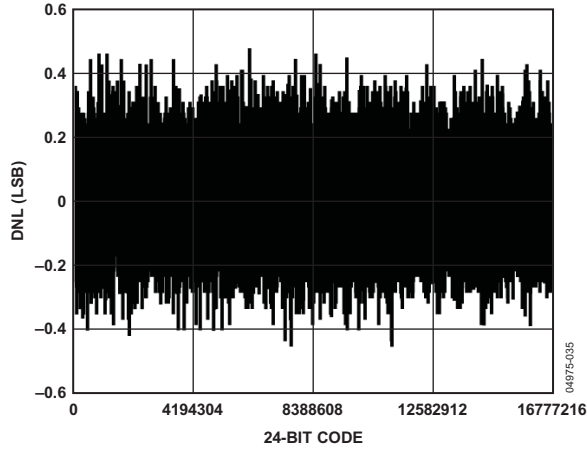


图35. 24位DNL

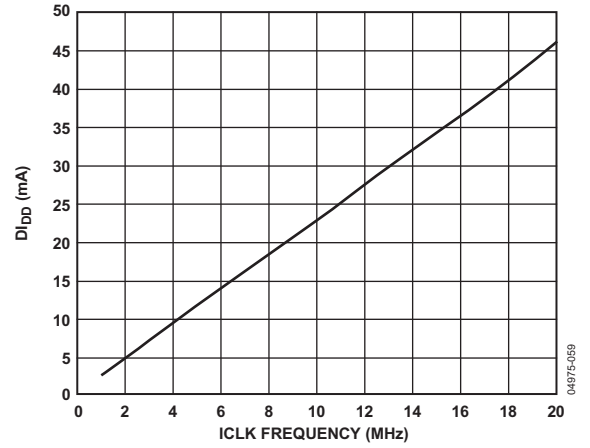


图38. 抽取× 32, DI_{DD} 与ICLK频率的关系($DV_{DD} = 2.5 V$)

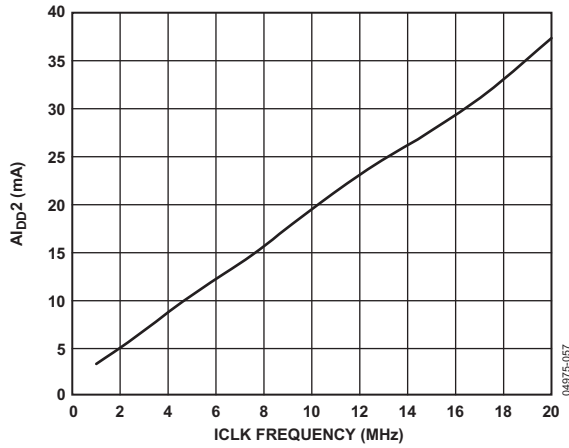


图36. AI_{DD2} 与ICLK频率的关系($AV_{DD2} = 5 V$)

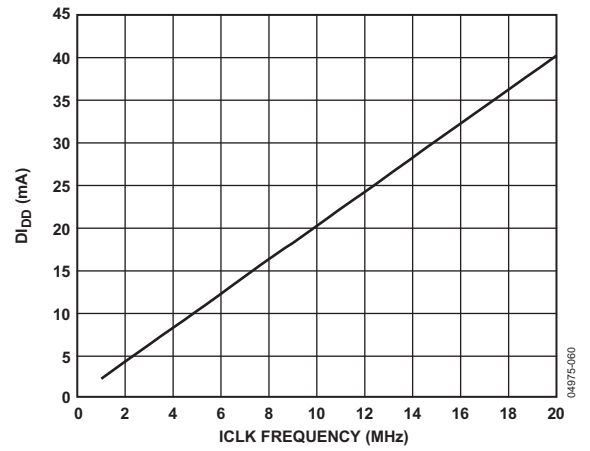


图39. 抽取× 256, DI_{DD} 与ICLK频率的关系($DV_{DD} = 2.5 V$)

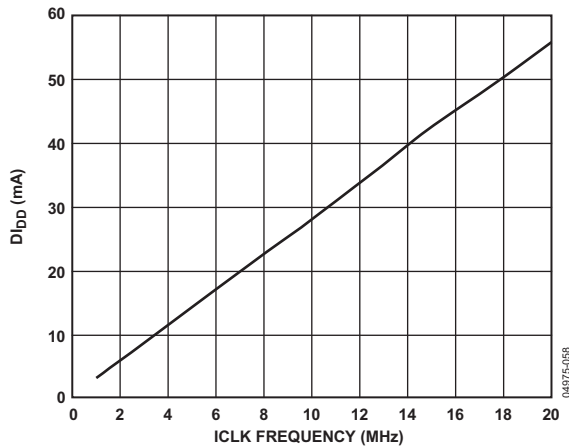


图37. 抽取× 8, DI_{DD} 与ICLK频率的关系($DV_{DD} = 2.5 V$)

工作原理

AD7760采用 Σ - Δ 转换技术将模拟输入转换为等效数字字。调制器对输入波形进行采样，并以与ICLK相等的速率向数字滤波器输出等效数字字。

过采样技术可使量化噪声扩散在从0到 f_{ICLK} 的宽带宽范围内。这样，目标信号频带中所含的噪声能量就会减小(见图40a)。为进一步降低目标信号频带中的量化噪声，可采用一个高阶调制器对噪声频谱进行整形，将大部分噪声能量移出信号频带之外(见图40b)。

调制器之后的数字滤波器消除较大的带外量化噪声(见图40c)，同时将数据速率从滤波器输入端的 f_{ICLK} 降至滤波器输出端的 $f_{\text{ICLK}}/8$ 或更低，具体取决于所用的抽取率。

与模拟滤波相比，数字滤波有一定的优势：它不会引入明显的噪声或失真，而且它可以与相位呈精确线性关系。

AD7760采用三个串联FIR滤波器。抽取比、滤波器选择和旁路有许多不同组合，因此AD7760能以许多不同的数据速率输出数据。可以ICLK速率获得调制器的多位数据(见“调制器数据输出模式”部分)。第一个滤波器以20 MHz的最大频率接收调制器数据，然后进行1/4抽取，以5 MHz频率输出数据。可以在此级输出部分滤波数据。第二个滤波器提供2x至32x的可选抽取率，也可以将其完全旁路。

第三个滤波器提供2x的固定抽取率，它是用户可编程的，并提供默认配置，详情见“可编程FIR滤波器”部分。此滤波器也可以旁路。

表6显示默认滤波器的一些特性。滤波器的群延迟定义为到脉冲响应中心的延迟，等于计算延迟与滤波器延迟之和。有效数据可用(DVALID状态位置1)之前的延迟等于滤波器延迟加计算延迟的两倍。

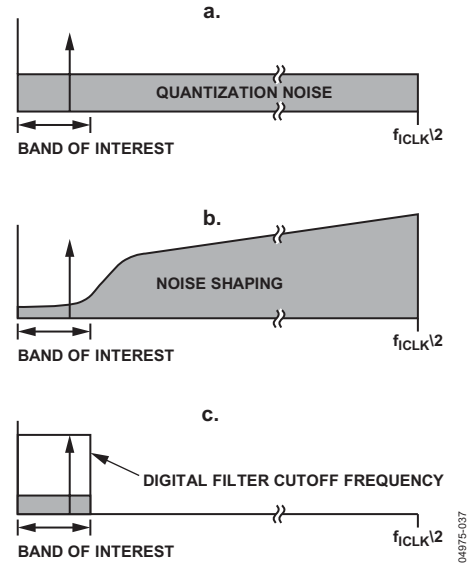


图40. Σ - Δ 型ADC

表6. 默认滤波器配置

ICLK频率	滤波器1	滤波器2	滤波器3	数据状态	计算延迟	滤波器延迟	通带带宽	输出数据速率 (ODR)
20 MHz	旁路	旁路	旁路	未滤波	0	0	10 MHz	20 MHz
20 MHz	4x	旁路	旁路	部分滤波	0.325 μ s	1.2 μ s	1.35 MHz	5 MHz
20 MHz	4x	旁路	2x	完全滤波	1.075 μ s	10.8 μ s	1 MHz	2.5 MHz
20 MHz	4x	2x	旁路	部分滤波	1.35 μ s	3.6 μ s	562.5 kHz	2.5 MHz
20 MHz	4x	2x	2x	完全滤波	1.625 μ s	22.8 μ s	500 kHz	1.25 MHz
20 MHz	4x	4x	旁路	部分滤波	1.725 μ s	6 μ s	281.25 kHz	1.25 MHz
20 MHz	4x	4x	2x	完全滤波	1.775 μ s	44.4 μ s	250 kHz	625 kHz
20 MHz	4x	8x	旁路	部分滤波	2.6 μ s	10.8 μ s	140.625 kHz	625 kHz
20 MHz	4x	8x	2x	完全滤波	2.25 μ s	87.6 μ s	125 kHz	312.5 kHz
20 MHz	4x	16x	旁路	部分滤波	4.175 μ s	20.4 μ s	70.3125 kHz	312.5 kHz
20 MHz	4x	16x	2x	完全滤波	3.1 μ s	174 μ s	62.5 kHz	156.25 kHz
20 MHz	4x	32x	旁路	部分滤波	7.325 μ s	39.6 μ s	35.156 kHz	156.25 kHz
20 MHz	4x	32x	2x	完全滤波	4.65 μ s	346.8 μ s	31.25 kHz	78.125 kHz
12.288 MHz	4x	8x	2x	完全滤波	3.66 μ s	142.6 μ s	76.8 kHz	192 kHz
12.288 MHz	4x	16x	2x	完全滤波	5.05 μ s	283.2 μ s	38.4 kHz	96 kHz
12.288 MHz	4x	32x	旁路	部分滤波	11.92 μ s	64.45 μ s	21.6 kHz	96 kHz
12.288 MHz	4x	32x	2x	完全滤波	7.57 μ s	564.5 μ s	19.2 kHz	48 kHz

调制器数据输出模式

当AD7760以调制器输出模式工作时，数据可以直接从 Σ - Δ 调制器输出。这种工作模式可旁路AD7760的片上数字滤波部分，以未经滤波的形式输出数据。

如“工作原理”部分所述，AD7760利用过采样技术将量化噪声扩散在宽带范围内。由此导致信号频带中的量化噪声能量降低情况如图40a所示。结合过采样技术和高阶多位 Σ - Δ 调制器，AD7760得以进一步降低信号频带中的量化噪声。图41为调制器输出模式下AD7760未经滤波的数据输出的FFT。它清楚地显示了AD7760的 Σ - Δ 调制器执行量化噪声整形的效果。

调制器输入

各差分调制器输入引脚的最大输入电压为 $0.8 \times 4.096 \text{ V} \approx 3.275 \text{ V}$ (V_{REF} 的80%)，它必须具有 $V_{\text{REF}}/2$ 的共模电压。在“驱动AD7760”部分的图52中，此最大差分输入电压显示为AD7760片上差分放大器的调理输出。

有关AD7760片上差分放大器所实现的信号调理功能和与之相配的推荐外部电路的更多信息，请参阅“驱动AD7760”部分。

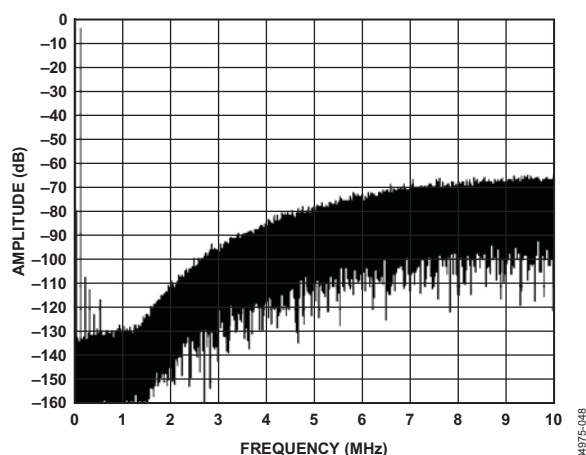


图41. 调制器输出模式下AD7760数据输出的FFT

调制器数据输出调整

在调制器输出模式下，数据以16位二进制补码格式通过引脚D[15:0]输出。不过，此数据被调整到15位。图42中的传递函数显示了调制器引脚D[15:0]的16位数据输出所涉及的调整与调制器输入容许的最大差分输入电压($V_{\text{IN}+}$ 和 $V_{\text{IN}-}$)的关系。

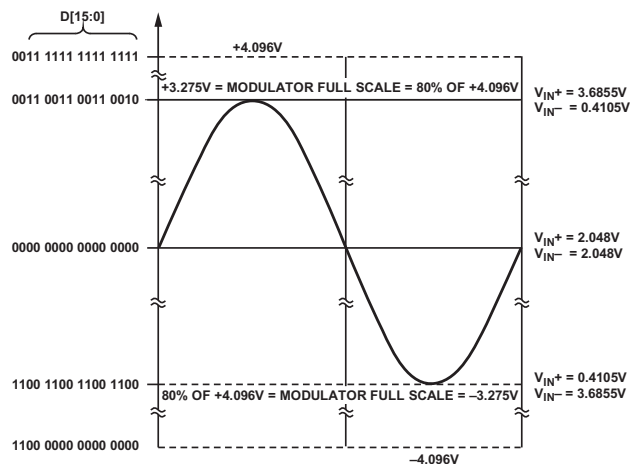


图42. 调制器输出数据调整

调制器输出的特性与AD7760的完全滤波输出有一定的关系（因为调制器输出存在相关的量化噪声），在调制器数据输出模式下工作时，调制器输出的位D[3:0]均为0。因此，针对调制器引脚 $V_{\text{IN}+}$ 和 $V_{\text{IN}-}$ 的输入，示例1和示例2中计算所得的数据输出显示调制器输出的位D[3:0]均为0。

示例1

$$V_{\text{IN}+} = 3.5 \text{ V}$$

$$V_{\text{IN}-} = 0.595 \text{ V}$$

$$\begin{aligned} \text{调制器输出码} &= ([V_{\text{IN}+} - V_{\text{IN}-}] / 4.096 \text{ V}) \times 16384 \\ &= [(3.5 \text{ V} - 0.595 \text{ V}) / 4.096 \text{ V}] \times 16384 \\ &= +11620 \end{aligned}$$

直接调整：[0010 1101 0110 0100]

数据输出引脚D[15:0]上的值输出：

$$D[15:0] = [0010 1101 0110 0000].$$

示例2

$$V_{\text{IN}+} = 0.595 \text{ V}$$

$$V_{\text{IN}-} = 3.5 \text{ V}$$

$$\begin{aligned} \text{调制器输出码} &= ([V_{\text{IN}+} - V_{\text{IN}-}] / 4.096 \text{ V}) \times 16384 \\ &= [(0.595 \text{ V} - 3.5 \text{ V}) / 4.096 \text{ V}] \times 16384 \\ &= -11620 \end{aligned}$$

直接调整：[1101 0010 1001 1100]

数据输出引脚D[15:0]上的值输出：

$$D[15:0] = [1101 0010 1001 0000].$$

调制器数据输出模式接口

将0写入控制寄存器1中的以下各位： $\overline{\text{BYP F1}}$ 、 $\overline{\text{BYP F3}}$ 和 DEC [2:0] ，可以将AD7760配置为调制器数据输出模式(旁路默认抽取滤波)。这将旁路AD7760所提供的全部数字抽取滤波。详情见“AD7760寄存器”部分。

当AD7760在调制器数据输出模式下工作时，必须使用与其滤波数据输出配置不同的并行接口方案。

数据输出速率取决于所用的时钟分频比。当控制寄存器2中的 $\overline{\text{CDIV}}$ 位设为逻辑高电平时，数据以MCLK频率输出。当 $\overline{\text{CDIV}}$ 位设为逻辑低电平时，数据以MCLK/2的频率输出。更多信息见“AD7760时钟要求”部分。

时钟1分频模式($\overline{\text{CDIV}}=1$)

在调制器输出模式下从AD7760获得数据时， $\overline{\text{RD}}/\overline{\text{WR}}$ 和 $\overline{\text{CS}}$ 线均必须保持低电平。这将使数据总线脱离高阻态。图43显示 $\overline{\text{CDIV}}=1$ (即 $\text{CLK}=\text{MCLK}$)时，在调制器数据输出模式

下读取数据的时序图。针对每个字都会产生一个 $\overline{\text{CDIV}}$ 脉冲。16个数据输出引脚D [15:0]各自上的数据在 $\overline{\text{DRDY}}$ 脉冲的上升沿有效。可以利用 $\overline{\text{DRDY}}$ 脉冲将调制器数据锁存至FIFO中或锁存为DMA控制信号。 $\overline{\text{RD}}/\overline{\text{WR}}$ 和 $\overline{\text{CS}}$ 线回到高电平后不久，AD7760即停止输出数据，数据总线恢复高阻态。

时钟2分频模式($\overline{\text{CDIV}}=0$)

在调制器输出模式下工作且 $\overline{\text{CDIV}}=0$ (即 $\text{ICLK}=\text{MCLK}/2$)时，所产生的 $\overline{\text{DRDY}}$ 信号频率为输入器件的MCLK频率的一半。 $\overline{\text{CDIV}}=0$ 时所用的时序方案取决于 $\overline{\text{RESET}}$ 与 $\overline{\text{SYNC}}$ 之间的MCLK周期数。如果 $\overline{\text{RESET}}$ 上升沿与 $\overline{\text{SYNC}}$ 上升沿之间的MCLK周期数(n)为偶数(见图44)，则使用图43所示的接口时序。如果n为奇数，则使用图45所示的接口时序。

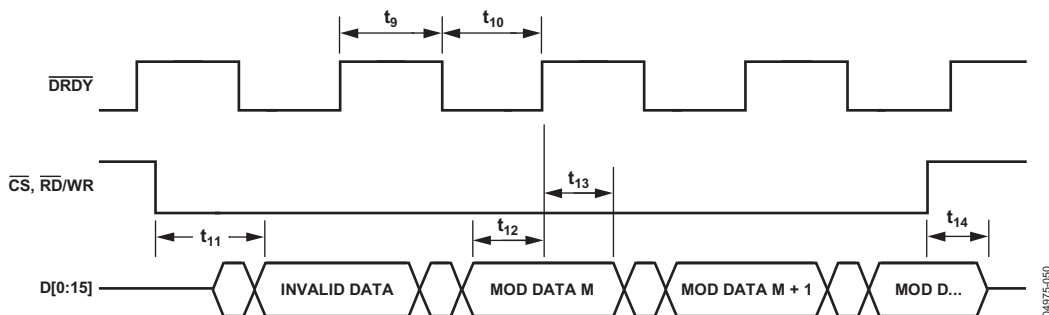


图43. AD7760调制器输出模式($\overline{\text{CDIV}}=1$)且($\overline{\text{CDIV}}=0$, n为偶数)

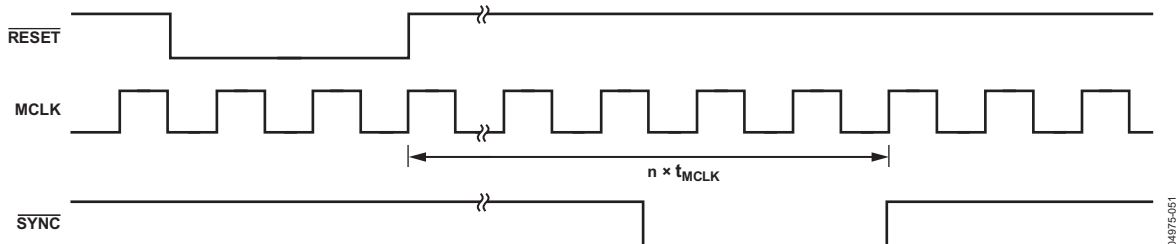
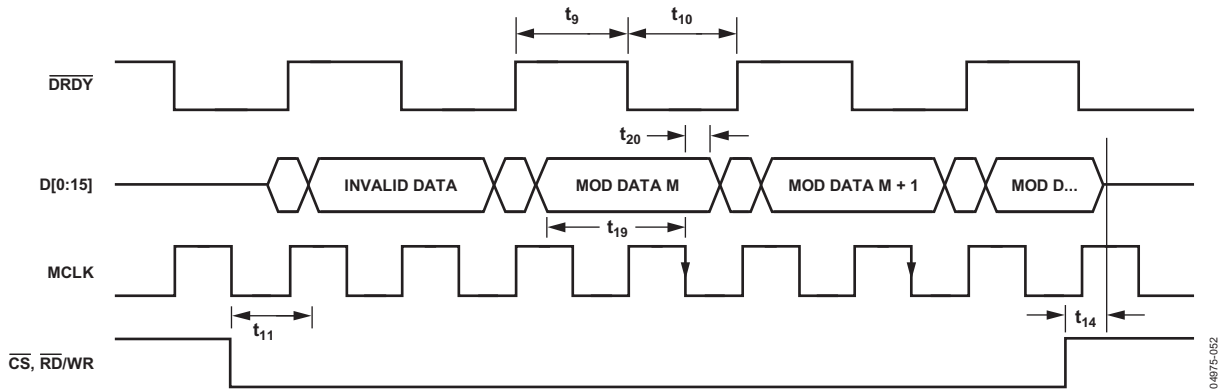


图44. AD7760在调制器输出模式下且 $\overline{\text{CDIV}}=0$ 时， $\overline{\text{RESET}}$ 与 $\overline{\text{SYNC}}$ 之间的相对时序

图45. AD7760调制器输出模式 ($\overline{CDIV}=0$, n 为奇数)

当MCLK周期数 n 为奇数时，引脚D[15:0]上的调制器数据在 \overline{DRDY} 上升沿输出。这种情况下，应在 \overline{DRDY} 为逻辑低电平时在MCLK下降沿读取数据。图45显示了 $\overline{CDIV}=0$ 且RESET上升沿与 \overline{SYNC} 上升沿之间的MCLK周期数为奇数时，读取调制器输出数据所应使用的时序信息。这些条件下应使用的MCLK沿如图45中相关MCLK下降沿上的箭头所示。

AD7760采用调制器输出模式工作

AD7760的上电和使用建议采用如下操作序列：

1. 施加电源。
2. 启动时钟振荡器，施加MCLK。
3. 使RESET变为低电平，保持至少一个MCLK周期。
4. 在RESET上升沿后等待至少两个MCLK周期。

5. 写入控制寄存器2，根据需要使ADC和差分放大器上电。此时应设置正确的时钟分频比(\overline{CDIV})。
6. 写入控制寄存器1，将旁路寄存器位BYP F1和BYP F3以及抽取率位DEC[2:0]置0。
7. 在 \overline{CS} 上升沿释放后，等待至少六个MCLK周期。
8. 如果需要，使 \overline{SYNC} 变为低电平并保持至少四个MCLK周期，以便使多个器件同步。

使用此序列将导致 \overline{RESET} 上升沿与 \overline{SYNC} 上升沿之间的MCLK周期数为偶数。因此，如果 $\overline{CDIV}=0$ ，则应实施图43所示的接口时序。

请注意，当 $\overline{CDIV}=1$ 时， \overline{RESET} 上升沿与 \overline{SYNC} 上升沿之间的MCLK周期数的奇偶性无关紧要。

当AD7760在调制器输出模式下工作时，失调、增益和超量程寄存器不工作。可以使用的寄存器只有控制寄存器1和控制寄存器2。

AD7760接口

读取数据

当AD7760以5 MHz或更低的输出数据速率输出数据时，接口以传统模式工作，如图2所示，使用16位双向并行接口。此接口由RD/WR和CS引脚控制。24位转换数据以二进制补码格式输出。有新转换结果可用时，DRDY引脚上输出一个低电平有效脉冲。

要从AD7760读取一个转换结果，须执行两次16位读操作。脉冲指示有新转换结果可用。RD/WR和CS均变为低电平，以便执行第一次读操作。在这两条线均变为低电平后不久，数据总线变为有效状态，并输出转换结果的16个最高有效位(MSB)。然后，RD/WR和CS线必须回到高电平并保持一个完整ICLK周期，然后执行第二次读操作。第二次读操作输出转换结果的8个最低有效位(LSB)和6个状态位。这些状态位列于表7。关于其它状态位的描述见表17。

表7. 数据读取期间的状态位

MSB							LSB
D7	D6	D5	D4	D3	D2	D1	D0
DVALID	OVR	UFILT	LPWR	FILTOK	DLOK	0	0

在RD/WR和CS回到高电平后不久，数据总线恢复高阻态。两次读操作均必须在新转换结果可用之前完成，因为新结果会覆盖输出寄存器的内容。如果在读操作期间出现DRDY脉冲，则数据读取无效。

读取状态和其它寄存器

AD7760具有多个可编程寄存器。若要回读这些寄存器或状态寄存器的内容，用户首先必须写入器件的控制寄存器，设置要读取寄存器的对应位。接下来的读操作输出所选寄存器的内容，而不是转换结果。有关控制寄存器中相关位的更多信息，请参阅“AD7760寄存器”部分。

共享并行总线

AD7760的高精度特性决定了它对外部噪声源很敏感，其中就包括并行总线上的数字活动。因此，建议通过锁存器或缓冲器，将AD7760数据线与系统数据总线隔离，以确保D0至D15引脚上的所有数字活动都受AD7760控制。

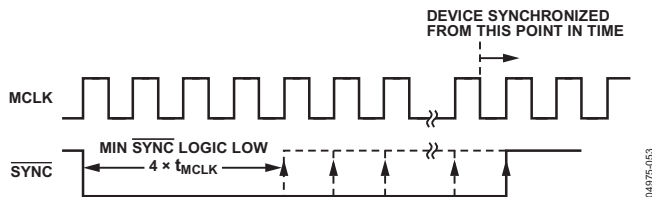
如果系统中存在多个同步AD7760器件，共享一个适当分布的MCLK信号，则这些器件可以共享一条总线，而无需彼此隔离。这条总线可以通过单个锁存器或缓冲器与系统总线隔离。

同步

AD7760的SYNC输入提供同步功能，允许用户从一个已知时间点开始采集模拟前端输入的样本。

通过SYNC功能，采用相同MCLK、RESET和SYNC信号工作的多个AD7760可以同步，从而各ADC同时更新其输出寄存器。需同步的各AD7760器件所共用的信号分布对于确保各器件时序正确，即各器件同步看到相同的数字沿，具有极其重要的意义。

SYNC信号在MCLK的下降沿进行检测。在SYNC变为逻辑低电平后的第一个MCLK下降沿，数字滤波器序列复位为0。滤波器将保持复位状态，直到一个MCLK下降沿检测到SYNC逻辑高电平。SYNC信号必须保持逻辑低电平至少四个MCLK周期。图46显示SYNC信号相对于MCLK的推荐时序。



SYNC的上升沿应与MCLK的上升沿重合。这样，MCLK的下一个下降沿检测到SYNC逻辑高电平，并使滤波器离开复位状态。将此信号方案应用于使用相同MCLK和SYNC信号的多个ADC时，所有器件都将同步采集输入样本。

获得SYNC信号之后，数字滤波器需要经过一定的建立时间之后，才能从AD7760读取有效数据。随各转换结果输出的DVALID状态位(表7中的D7)表示转换器何时输出有效数据。从SYNC上升沿到DVALID位置位的时间取决于所用的滤波器配置。有关计算到DVALID置位所需时间的详细信息，请参考“工作原理”部分和表6所列的值。

写入AD7760

通过写入AD7760器件，用户可以改变许多特性和参数。“使用AD7760”部分详细描述了初始化器件所需的写入序列。

AD7760的可编程寄存器为16位宽，这意味着对一个寄存器进行编程需要两次写操作。第一次写操作包含寄存器地址，第二次写操作包含寄存器数据。例外情况是将用户定义滤波器下载到AD7760，详情见“下载用户定义滤波器”部分。“AD7760寄存器”部分提供了寄存器地址和详细信息。

图3显示了对AD7760执行的一个写操作。 $\overline{RD}/\overline{WR}$ 线处于高电平，同时 \overline{CS} 线变为低电平并保持至少四个ICLK周期。寄存器地址在此期间被锁存。 \overline{CS} 线再次变为高电平并保持至少四个ICLK周期，然后将寄存器数据置于数据总线上。如果写入寄存器地址与写入寄存器数据之间发生一个读操作，则寄存器地址被清除，下一个写操作必须写入寄存器地址。这也是一种有用的方法，当用户忘记下一个写操作是写入地址还是数据时，可以利用该方法回到已知状态。

一般而言，写入和配置AD7760发生在上电时，极少发生在上电之后。在任何写操作后，必须等到滤波器的完整群延迟时间之后，才能从AD7760输出有效数据。

AD7760

AD7760时钟要求

AD7760需要一个外部低抖动时钟源。此信号施加于MCLK引脚，MCLKGND引脚则用来检测时钟源的接地。内部时钟信号(ICLK)从MCLK输入信号获得。ICLK控制AD7760的所有内部操作。ICLK最大频率为20 MHz，但由于存在内部时钟分频器，因此可以使用多种MCLK频率。产生ICLK的方法有两种：

$$ICLK = MCLK (\overline{CDIV} = 1)$$

$$ICLK = MCLK/2 (\overline{CDIV} = 0)$$

这些选项通过控制寄存器进行选择(详情见“AD7760寄存器”部分)。上电时，默认选项为 $ICLK = MCLK/2$ ，以确保器件能够处理最大40 MHz的MCLK频率。如果输出数据速率与音频系统所用的数据速率相同，则可以使用12.288 MHz ICLK频率。如表6所示，利用此ICLK频率可以实现192 kHz、96 kHz和48 kHz的输出数据速率。如前所述，此ICLK频率可以从不同的MCLK频率获得。

建议施加于AD7760的MCLK信号具有50-50的传号空号比。在时钟1分频模式下(即 $\overline{CDIV}=1$)工作时，使用较高的传号空号比会降低可施加于AD7760以实现最高性能的MCLK最大频率。例如，使用60-40的传号空号比时($\overline{CDIV}=1$)，实现最高INL和THD性能的MCLK最大频率降至16 MHz。

缓冲MCLK信号

AD7760的MCLK信号必须经过缓冲之后，才能输入器件的MCLK引脚。这只要将MCLK信号路由至与门的两个输入便可轻松实现(见图47)。

推荐的缓冲器为Fairchild Semiconductor的双输入与门NC7SZ08M5。为使AD7760实现最佳性能，建议用5 V电源为该缓冲器供电。

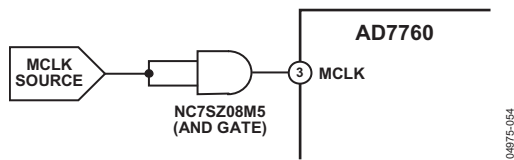


图47. 使用NC7SZ08M5与门缓冲MCLK信号

MCLK抖动要求

MCLK抖动要求取决于多个因素，由下式给出：

$$t_{j(rms)} = \frac{\sqrt{OSR}}{2 \times \pi \times f_{IN} \times 10^{\frac{SNR(dB)}{20}}}$$

其中：

OSR = 过采样率 = f_{ICLK}/ODR 。

f_{IN} = 最大输入频率。

SNR(dB) = 目标信噪比。

示例1

本例来自表6，其中：

ODR = 2.5 MHz.

f_{ICLK} = 20 MHz.

f_{IN} (max) = 1 MHz.

SNR = 108 dB.

$$t_{j(rms)} = \frac{\sqrt{8}}{2 \times \pi \times 10^6 \times 10^{5.4}} = 1.79 \text{ ps}$$

这是具有给定ICLK频率和输出数据速率的满量程1 MHz输入的最大容许时钟抖动。

示例2

第二个示例也来自表6，其中：

ODR = 48 kHz.

f_{ICLK} = 12.288 MHz.

f_{IN} (max) = 19.2 kHz.

SNR = 120 dB.

$$t_{j(rms)} = \frac{\sqrt{256}}{2 \times \pi \times 19.2 \times 10^3 \times 10^6} = 133 \text{ ps}$$

输入幅度对这些抖动数值也有影响。例如，如果输入电平比满量程低3 dB，容许抖动将提高 $\sqrt{2}$ 倍，示例1的容许抖动将提高到2.53 ps均方根值。当幅度降低导致最大压摆率降低时，就会发生这种情况。图48和图49通过显示频率相同但幅度不同的一个正弦波的最大压摆率，说明了这一点。

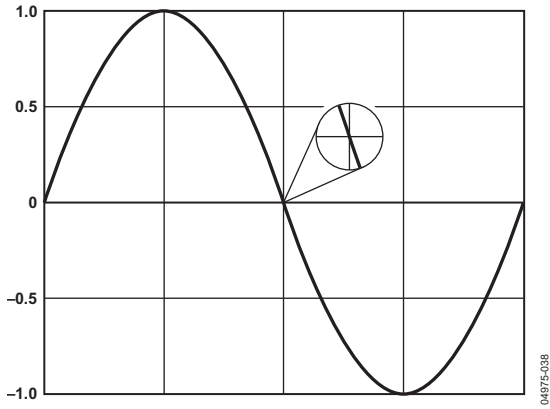


图48. 幅度为2 V峰峰值的正弦波的最大压摆率

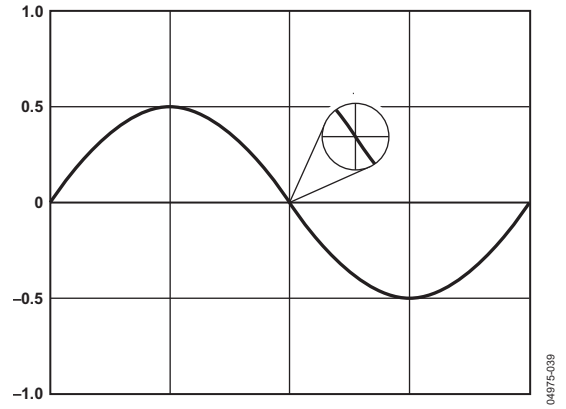


图49. 幅度为1 V峰峰值的正弦波(其频率与图48相同)的最大压摆率

AD7760

驱动AD7760

AD7760有一个片内差分放大器，它采用3.15 V至5.25 V范围内的电源电压(AV_{DD3})供电。对于4.096 V基准电压源，电源电压必须为5 V。

为实现正常模式下的额定性能，差分放大器应配置为一阶抗混叠滤波器，如图50所示。任何其它滤波都应在前面的电路级利用低噪声、高性能运算放大器执行，如AD8021等。

适用于该一阶滤波器的合适元件值如表8所列。以表中的值为例，在19 MHz的第一个混叠点可实现10 dB的衰减。

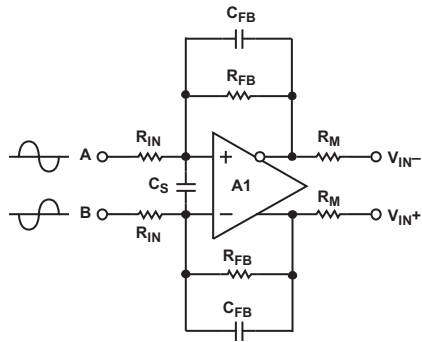


图50. 差分放大器配置

表8. 正常模式元件值

V_{REF}	R_{IN}	R_{FB}	R_M	C_S	C_{FB}
4.096 V	1 k Ω	655 Ω	18 Ω	5.6 pF	33 pF

图52显示使用图50所示电路、对地偏置的 ± 2.5 V输入信号以及表8所列的元件值和条件时发生的信号调理情况。差分放大器始终使输出信号偏置在 $V_{REF}/2$ 的最佳共模电压上，本例中为2.048 V。该信号同样经过调整，以提供此基

准电压值下的最大容许电压摆幅。该摆幅为 V_{REF} 的80%，即 $0.8 \times 4.096 \text{ V} \approx 3.275 \text{ V}$ 峰峰值(每个输入)。

使用4.096 V基准电压源时，必须为基准电压源缓冲(AV_{DD4})提供5 V电源。使用2.5 V基准电压源时，必须为 AV_{DD4} 提供3.3 V电源。

图51显示将电压信号VA和VB施加于片内差分放大器A1时(如图52所示)，AD7760的24位数字输出码(二进制补码编码)的传递函数。

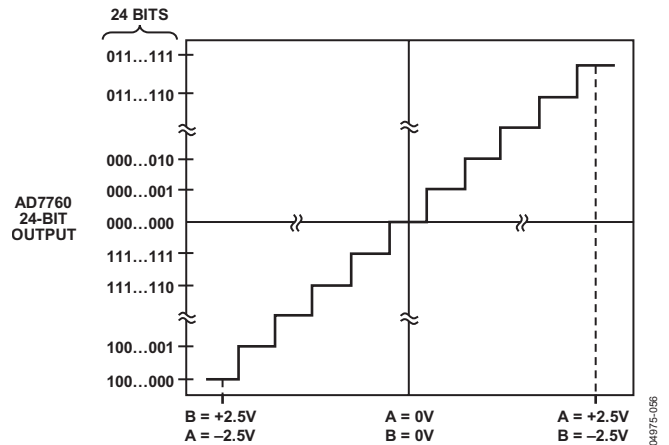


图51. AD7760滤波输出的传递函数，其中 V_A 和 V_B 为片内差分放大器A1的输入

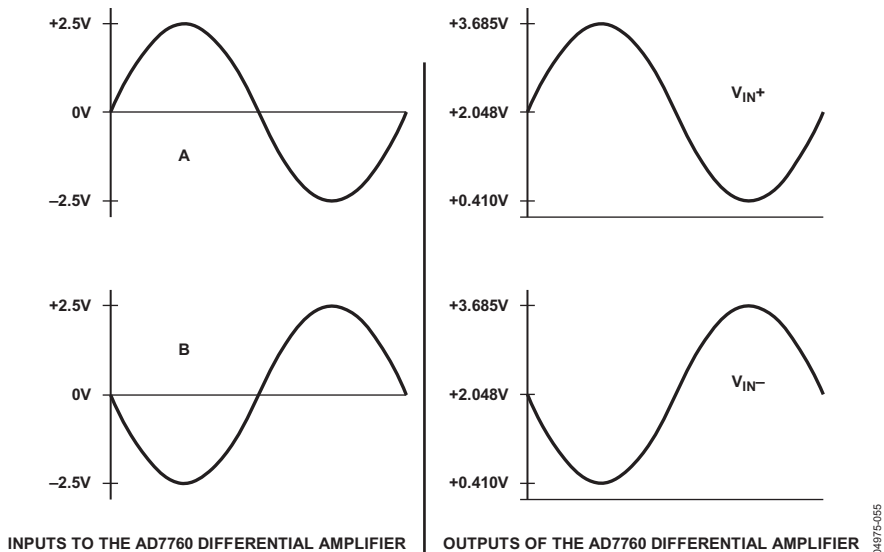


图52. 差分放大器信号调理

为使AD7760发挥最佳性能，建议用差分信号驱动ADC。图53显示一个对地偏置的双极性、单端信号借助一个外部运算放大器(如AD8021等)驱动AD7760。

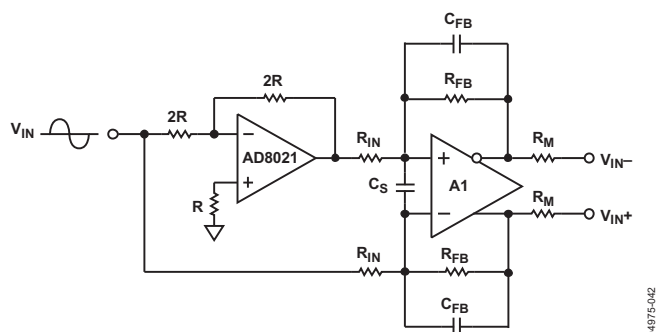


图53. 单端转差分

AD7760采用双采样前端，如图54所示。为简明起见，仅显示 V_{IN+} 的等效输入电路。 V_{IN-} 的等效输入电路与此相同。

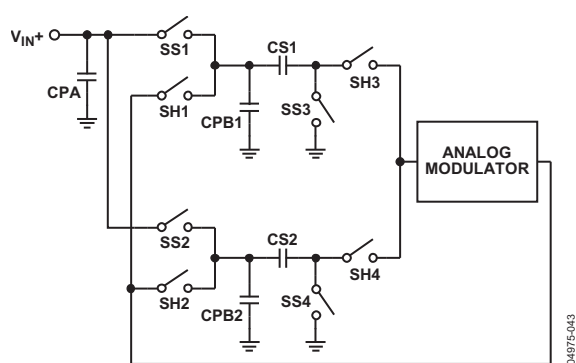


图54. 等效输入电路

采样开关SS1和SS3由 \overline{ICLK} 驱动，采样开关SS2和SS4则由 \overline{ICLK} 驱动。当 \overline{ICLK} 为高电平时，模拟输入电压连接到CS1。在 \overline{ICLK} 的下降沿，SS1和SS3开关断开，模拟输入在CS1上进行采样。同样，当 \overline{ICLK} 为低电平时，模拟输入电压连接到CS2。在 \overline{ICLK} 的上升沿，SS2和SS4开关断开，模拟输入在CS2上进行采样。

电容CPA、CPB1和CPB2代表寄生电容，包括MOS开关的相关结电容。

表9. 等效元件值

Mode	CS1 (pF)	CS2 (pF)	CPA (pF)	CPB1/2 (pF)
Normal	51	51	12	20
Low Power	13	13	12	5

使用AD7760

AD7760的上电和使用建议采用如下操作序列：

1. 施加电源。
2. 启动时钟振荡器，施加MCLK。
3. 使RESET变为低电平，保持至少一个MCLK周期。
4. 在RESET释放后等待至少两个MCLK周期。
5. 写入控制寄存器2，根据需要使ADC和差分放大器上电。此时应设置正确的时钟分频比(CDIV)。
6. 写入控制寄存器1，设置输出数据速率。
7. 在CS释放后等待至少五个MCLK周期。
8. 如果需要，使SYNC变为低电平并保持至少四个MCLK周期，以便使多个器件同步。

可以利用默认的滤波器、失调、增益和超量程阈值设置从该器件读取数据。不过，转换数据读取只有等到滤波器的群延迟时间之后才有效。一旦完成，随数据LSW读取的DVALID位已置1，表明数据确实有效。

如果需要，用户随后可以下载不同的滤波器(见“下载用户定义滤波器”部分)。在此级可以写入或读取增益、失调和超量程阈值寄存器的值。

AD7760

去耦和布局建议

AD7760是一款高性能ADC，要获得本数据手册所述的性能，必须采用适当的去耦和布局技术。图55给出了AD7760的连接示意图。

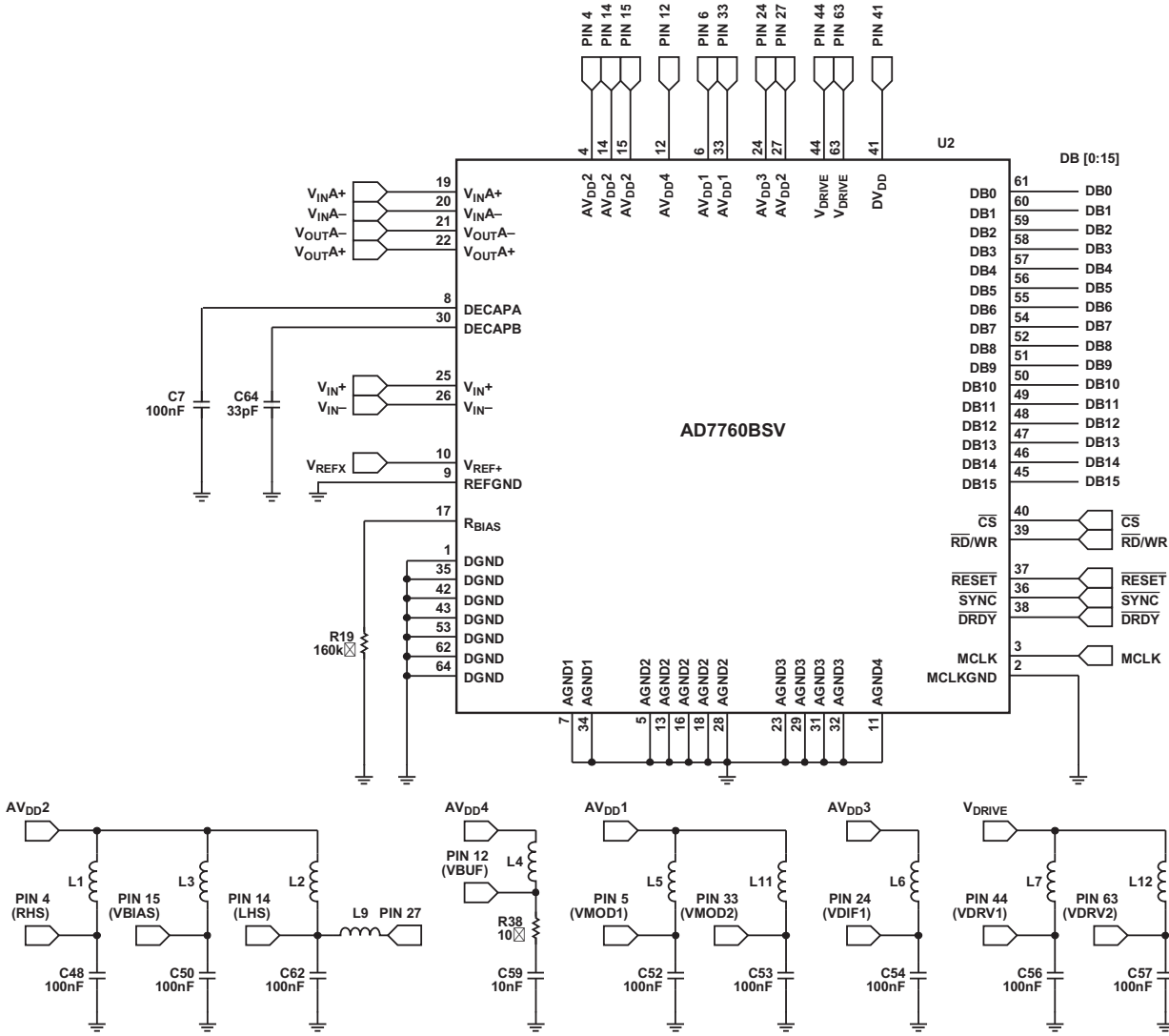


图55.连接示意图

电源去耦

每个电源引脚必须通过铁氧体磁珠连接到适当的电源，并用一个100 nF、0603外形尺寸、X7R型电介质电容去耦至正确的接地引脚。但有两个例外情况：

- 引脚12(AV_{DD4})与一个10 nF去耦电容之间必须插入一个10 Ω 电阻，该去耦电容连接到接地引脚9。
- 引脚27(AV_{DD2})不需要单独的去耦电容或直接连接电源，而是通过一个15 nH电感连接到引脚14。

其它去耦

AD7760上有两个其它去耦引脚：引脚8(DECAPA)和引脚30(DECAPB)。引脚8应通过一个100 nF电容去耦，引脚30则通过一个33 pF电容去耦。

基准电压滤波

ADR431(2.5 V)或ADR434(4.096 V)等低噪声基准电压源适合AD7760使用。供给AD7760的基准电压应进行去耦和滤波，如图56所示。

基准电压源的推荐配置方案是将一个100 Ω 电阻串联到一个100 μ F钽电容，然后接一个10 Ω 串联电阻，最后将一个10 nF电容尽可能靠近 V_{REF+} 引脚放置，并将此电容去耦至相关的接地引脚11。

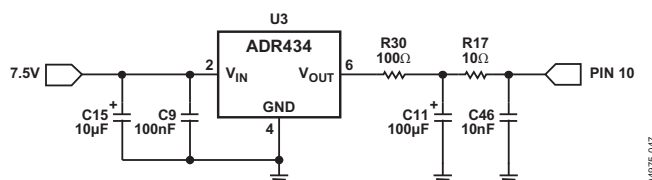


图56. 基准电压连接

差分放大器元件

表8详细列出了片内差分放大器周围所用的适当元件。为使施加于差分放大器的信号失真最小，放大器两端的元件必须匹配。这些元件要求0.1%或更好的容差。差分放大器两端的走线对称布设也有助于实现所述性能。

偏置电阻选择

AD7760要求在RBIAS与AGND引脚之间连接一个电阻。此电阻的值取决于器件所用的基准电压。所选阻值应当能在该电阻至地的路径中产生25 μ A的电流。对于2.5 V基准电压，正确的阻值为100 k Ω ；对于4.096 V基准电压，正确的阻值为160 k Ω 。

布局考虑

为了实现最佳性能，正确的布局与使用正确的元件同样重要。ADI公司网站的AD7760产品页面提供AD7760评估板的Gerber文件。设计采用AD7760的任何系统时，应当参考这些文件。

本数据手册先前部分提到的一些元件位置和方向非常重要，而且必须特别注意那些靠近AD7760的元件。将这些元件远离该器件放置可能会直接影响可实现的最高性能。

还应仔细考虑接地层的使用。为确保经过去耦电容的回路电流流向正确的接地引脚，电容接地端应尽可能靠近与该电源相关的接地引脚。不应仅仅依赖接地层作为去耦电容的回路，因为使用接地层的电流回路不容易预测。

裸露焊盘

AD7760 64引脚TQFP封装采用6 mm \times 6 mm裸露焊盘(见图59)。焊盘在封装与PCB之间提供一条热量流动通道，降低了封装的热阻，进而提高了AD7760封装的散热效率。为了创造条件以支持AD7760发挥最高性能，必须将裸露焊盘连接到PCB的AGND层。裸露焊盘不应直接连接到AD7760上的任何接地引脚，只应连接到模拟接地层。最佳做法是利用多个过孔将裸露焊盘连接到PCB的AGND层。

可编程FIR滤波器

如前所述，AD7760的第三个FIR滤波器是用户可编程的。复位时加载的默认系数如表10所列，频率响应如图57所示。图57所示的频率与输出数据速率成正比。

表10. 默认滤波器系数

序号	十进制值	十六进制值	序号	十进制值	十六进制值
0	53656736	332BCA0	24	700847	AB1AF
1	25142688	17FA5A0	25	-70922	401150A
2	-4497814	444A196	26	-583959	408E917
3	-11935847	4B62067	27	-175934	402AF3E
4	-1313841	4140C31	28	388667	5EE3B
5	6976334	6A734E	29	294000	47C70
6	3268059	31DDDB	30	-183250	402CBD2
7	-3794610	439E6B2	31	-302597	4049E05
8	-3747402	4392E4A	32	16034	3EA2
9	1509849	1709D9	33	238315	3A2EB
10	3428088	344EF8	34	88266	158CA
11	80255	1397F	35	-143205	4022F65
12	-2672124	428C5FC	36	-128919	401F797
13	-1056628	4101F74	37	51794	CA52
14	1741563	1A92FB	38	121875	1DC13
15	1502200	16EBF8	39	16426	402A
16	-835960	40CC178	40	-90524	401619C
17	-1528400	4175250	41	-63899	400F99B
18	93626	16DBA	42	45234	B0B2
19	1269502	135EFE	43	114720	1C020
20	411245	6466D	44	102357	18FD5
21	-864038	40D2F26	45	52669	CDBD
22	-664622	40A242E	46	15559	3CC7
23	434489	6A139	47	1963	7AB

默认滤波器适合大多数应用。它是一个标准砖墙式滤波器，具有对称的脉冲响应。默认滤波器的长度为96，非混叠，在奈奎斯特频率时提供120 dB的衰减。此滤波器不仅能执行信号抗混叠，而且能抑制模数转换过程所产生的带外量化噪声。相对于默认滤波器，阻带衰减或过渡带宽的任何显著降低都会导致无法实现SNR额定性能。

默认滤波器特性与所施加的MCLK频率和用户选择的抽取率均成比例。

若要创建一个滤波器，需要注意以下几点：

- 滤波器必须是一个偶数、对称的FIR滤波器。
- 系数采用符号加幅度格式，含26个幅度位，符号位0表示正数。
- 滤波器长度必须在12抽头与96抽头之间，步长为12。
- 由于滤波器是对称的，因此必须下载的系数数量为滤波器长度的一半。默认滤波器系数就是例证，对于一个96抽头滤波器，仅列出了48个系数。
- 系数从脉冲响应的中心(与对称点相邻)开始向外写入。
- 对系数进行放大，使得滤波器的带内增益等于134,217,726，同时将系数四舍五入为最接近的整数。对于低通滤波器，这相当于对半脉冲响应系数集内的系数(最多48个)进行算术求和(包括符号)，使之等于+67,108,863(0x3FF FFFF)。与此值的任何偏差都会导致增益误差。

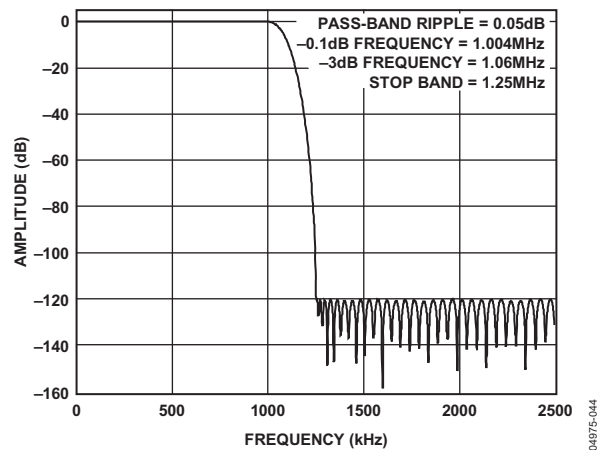


图57. 默认滤波器频率响应(2.5 MHz ODR)

下载用户定义滤波器的程序详见“下载用户定义滤波器”部分。

下载用户定义滤波器

如前所述，滤波器系数共有27位：1个符号位和26个幅度位。AD7760的并行总线长度为16位，因此需对这些系数的5个MSB填充0以产生一个32位字，将其分为两个16位字供下载。每个系数的第一个16位字为(00000，符号位，幅度[25:16])，第二个字则为(幅度[15:0])。为确保滤波器下载正确，还必须产生一个校验和，并在最后一个系数之后进行下载。该校验和是一个16位字，通过将各32位字分为四个字节，并对所有系数的这些字节求和产生，最多有192个字节(48个系数 × 4个字节)。AD7760内部产生同样的校验和，并与下载的校验和进行比较。如果二者一致，则状态寄存器中的DL_OK位置1。

下载用户滤波器的程序如下：

1. 写入控制寄存器1，正确设置DL_FILT位及滤波器长度位(见表11)。
2. 写入当前系数数据的前半部分(00000，符号位，幅度[25:16])。第一个写入的系数必须是与滤波器对称点相邻的系数。
3. 写入当前系数数据的后半部分(幅度[15:0])。
4. 重复第2步和第3步，写入各系数。
5. 写入16位校验和。
6. 使用以下方法确认滤波器系数下载正确：
 - a. 读取状态寄存器，检查DL_OK位。
 - b. 读取数据并观察DL_OK位的状态。

请注意，由于用户系数存储在RAM中，因此在RESET操作或掉电之后，这些系数会被清除。

表11. 滤波器长度值

FLEN [3:0]	系数数量	滤波器长度
0000	Default	Default
0001	6	12
0011	12	24
0101	18	36
0111	24	48
1001	30	60
1011	36	72
1101	42	84
1111	48	96

滤波器下载示例

下面是下载一个较短的24抽头用户定义滤波器的示例。频率响应如图58所示。

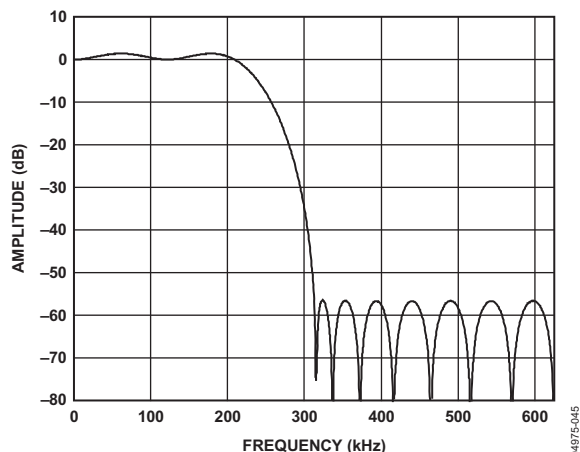


图58. 24抽头FIR滤波器频率响应

该滤波器的系数列于表12，按从对称点向外的顺序列出。原始系数利用一款商用滤波器设计工具产生，经过适当放大后，其和等于67,108,863(0x3FF FFFF)。

表12. 24抽头FIR系数

系数	原始值	调整值
1	0.365481974	53188232
2	0.201339905	29300796
3	0.009636604	1402406
4	-0.075708848	-11017834
5	-0.042856209	-6236822
6	0.019944246	2902466
7	0.036437914	5302774
8	0.007592007	1104856
9	-0.021556583	-3137108
10	-0.024888355	-3621978
11	-0.012379538	-1801582
12	-0.001905756	-277343

AD7760

表13显示下载到AD7760以实现此滤波器的十六进制值(符号加幅度格式)。该表按字节形式显示系数，以便对其求和而产生校验和。这些系数所产生的校验和为0x0E6B。

表13. 滤波器十六进制值

系数	字1		字2	
	字节 1	字节 2	字节 3	字节 4
1	03	2B	96	88
2	01	BF	18	3C
3	00	15	66	26
4	04	A8	1E	6A
5	04	5F	2A	96
6	00	2C	49	C2
7	00	50	E9	F6
8	00	10	DB	D8
9	04	2F	DE	54
10	04	37	44	5A
11	04	1B	7D	6E
12	04	04	3B	5F

14列出为设置ADC并下载此滤波器，用户写入AD7760的16位字，其中假设所选的输出数据速率为1.25 MHz。

表14. 设置器件和下载滤波器示例的写指令序列

字	描述
0x0001	控制寄存器1的地址。
0x8079	控制寄存器数据。DL滤波器：设置滤波器长度 = 24，设置输出数据速率 = 1.25 MHz。
0x032B	第一个系数，字1。
0x9688	第一个系数，字2。
0x01BF	第二个系数，字1。
0x183C	第二个系数，字2。
...	其它系数。
0x0404	第十二个(最终)系数，字1。
0x3B5F	最终系数，字2。
0x0E6B	校验和。等待(0.5 × t _{CLK} × 未使用系数数量)，以便AD7760向剩余未使用系数写入0。
0x0001	控制寄存器的地址。
0x0879	控制寄存器数据。设置读取状态，并保持滤波器长度和抽取设置。读取状态寄存器的内容。检查位7 (DL_OK)，判断滤波器下载是否正确。

AD7760寄存器

AD7760具有多个用户可编程寄存器。控制寄存器用于设置抽取率、滤波器配置和时钟分频器等。另外还有数字增益、失调和超量程阈值寄存器。若要写入这些寄存器，首先应写入寄存器地址，然后写入16位数据字。本部分说明寄存器地址、各个位的详情和默认值。

控制寄存器1—地址0x0001

默认值：0x001A

MSB

LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DL_FILT	RD_OVR	RD_GAIN	RD_OFF	RD_STAT	0	SYNC	FLEN3	FLEN2	FLEN1	FLEN0	BYP_F3	BYP_F1	DEC2	DEC1	DEC0

表15. 控制寄存器1的位功能描述

位	引脚名称	描述
15	DL_FILT ¹	下载滤波器。下载用户定义滤波器之前，必须将此位置1。同时还应设置滤波器长度位。随后的写操作解读为FIR滤波器的用户系数，直到所有系数和校验和均已写入完成。
14	RD_OVR ^{1,2}	读取超量程。如果此位已置1，则下一个读操作输出超量程阈值寄存器的内容，而不是转换结果。
13	RD_GAIN ^{1,2}	读取增益。如果此位已置1，则下一个读操作输出数字增益寄存器的内容。
12	RD_OFF ^{1,2}	读取失调。如果此位已置1，则下一个读操作输出数字失调寄存器的内容。
11	RD_STAT ^{1,2}	读取状态。如果此位已置1，则下一个读操作输出状态寄存器的内容。
10	0	必须将0写入此位。
9	SYNC ¹	同步。此位置1将启动内部同步程序。同时将多个器件的此位置1可同步所有滤波器。
8 to 5	FLEN [3:0]	滤波器长度位。下载用户定义滤波器之前，必须在DL_FILT位置1时设置这些位。
4	BYP_F3	旁路滤波器3。如果此位为0，则旁路滤波器3(可编程FIR)。
3	BYP_F1	旁路滤波器1。如果此位为0，则旁路滤波器1。当用户要求输出未经滤波的调制器数据时，应当采用此设置。
2 to 0	DEC [2:0]	抽取率。这些位设置滤波器2的抽取率。全0表示旁路滤波器。值1对应于2×抽取，值2对应于4×抽取，如此类推，最大值为5，对应于32×抽取。

¹ 位15至位9是自清零位。

² 任何写操作中，只能将位14至位11中的一位置1，因为它决定下一个读操作的内容。

控制寄存器2—地址0x0002

RESET后的默认值：0x009B

使用时钟2分频($\overline{CDIV} = 0$)模式时，上电和正常操作的建议寄存器设置为：0x0002

MSB

LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	\overline{CDIV}	0	PD	LPWR	1	D1PD

表16. 控制寄存器2的位功能描述

位	引脚名称	描述
5	\overline{CDIV}	时钟分频器位。此位设置产生内部ICLK的MCLK信号的分频比。设置 $\overline{CDIV} = 0$ 时，MCLK可实现2分频。如果 $\overline{CDIV} = 1$ ，则ICLK频率与MCLK相等。
3	PD	省电。此位置1将使AD7760进入省电模式，功耗降至6.35 mW。
2	LPWR	低功耗。如果此位置1，则AD7760在低功耗模式下工作。功耗降低，噪声性能下降6 dB。
1	1	将1写入此位。
0	D1PD	差分放大器省电。此位置1将使片内差分放大器进入省电状态。

AD7760

状态寄存器(只读)

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
PART 1	PART 0	DIE 2	DIE 1	DIE 0	0	LPWR	OVR	DL_OK	FILTOK	UFILT	BYP F3	BYP F1	DEC2	DEC1	DEC0

表17. 状态寄存器位功能描述

位	引脚名称	描述
15, 14	PART [1:0]	产品型号。对于AD7760, 这些位是恒定不变的。
13 to 11	DIE [2:0]	芯片编号。这些位反映当前AD7760的芯片编号, 用于系统内部识别。
10	0	此位置0。
9	LPWR	低功耗。如果AD7760在低功耗模式下工作, 则此位置1。
8	OVR	如果当前的模拟输入超过当前超量程阈值, 则此位置1。
7	DL_OK	将一个用户定义滤波器下载到AD7760时, 会产生一个校验和。此校验和与在系数之后下载的校验和进行比较。如果二者一致, 则此位置1。
6	FILTOK	如果一个用户定义滤波器正在使用中, 则滤波器系数通过该滤波器时, 会产生一个校验和。此校验和与下载的校验和进行比较。如果二者一致, 则此位置1。
5	UFILT	如果一个用户定义滤波器正在使用中, 则此位置1。
4	BYP F3	旁路滤波器3。如果通过设置控制寄存器1中的相关位来旁路滤波器3, 此位也会置1。
3	BYP F1	旁路滤波器1。如果通过设置控制寄存器1中的相关位来旁路滤波器1, 此位也会置1。
2 to 0	DEC [2:0]	抽取率。这些位对应于控制寄存器1中设置的相应位。

失调寄存器—地址0x0003

非位映射, 默认值: 0x0000

失调寄存器采用二进制补码表示法, 并经过放大, 使得0x7FFF(最大正值)和0x8000(最大负值)分别对应于+0.78125%和-0.78125%的失调。失调校正正在增益校正之后应用。使用1.25的默认增益值, 并假设基准电压为4.096 V时, 失调校正范围约为±25 mV。

增益寄存器—地址0x0004

非位映射, 默认值: 0xA000

增益寄存器经过放大, 使得0x8000对应于1.0的增益。此寄存器的默认值为1.25(0xA000)。当输入为 V_{REF} 的80%, 即采用最大模拟输入范围(V_{REF} 峰峰值的±80%)时, 此默认值将产生满量程数字输出。

超量程寄存器—地址0x0005

非位映射, 默认值: 0xCCCC

超量程寄存器值与第一个抽取滤波器的输出进行比较, 以获得一个具有最小传播延迟的过载指示。需在任何增益或失调调整之前比较。默认值为0xCCCC, 对应于 V_{REF} 的80% (允许的最大模拟输入范围)。假设 $V_{REF} = 4.096 V$, 当输入电压超过约6.55 V峰峰值差分电压时, 此位置1。一旦超量程位置1, AD7760输出状态位中的DVALID位就会置0, 同样表示输入已超量程。请注意, 如果以调制器速率进行四个以上连续采样, 均反映模拟输入电压超过 V_{REF} 的100%, 则超量程位立即置1。

外形尺寸

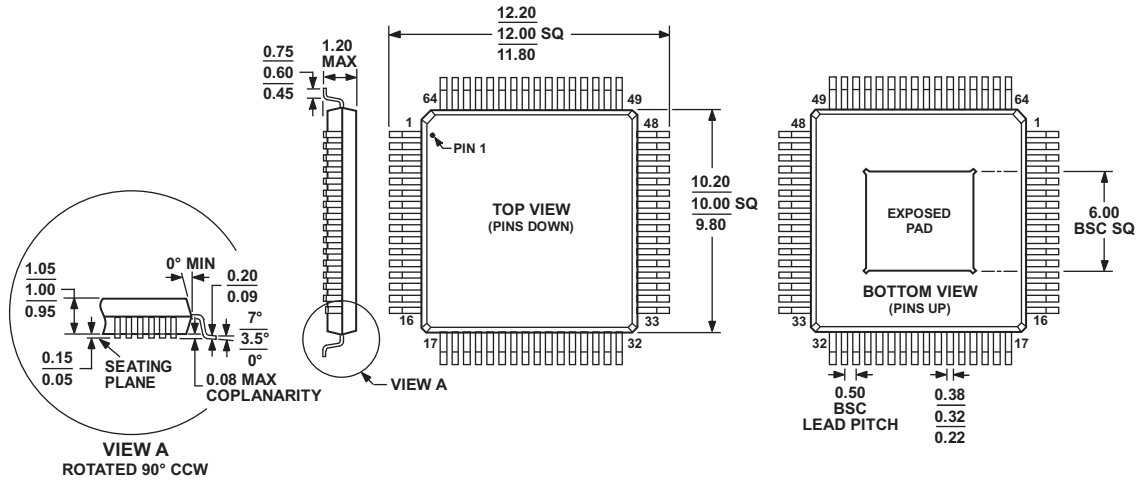


图59. 64引脚裸露焊盘、超薄四方扁平封装[TQFP_EP](SV-64-2)
尺寸(单位: mm)

订购指南

型号	温度范围	封装描述	封装选项
AD7760BSVZ ¹	-40°C 至 +85°C	64引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-64-2
AD7760BSVZ-REEL ¹	-40°C 至 +85°C	64引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-64-2
EVAL-AD7760EB		评估板	

¹Z = 无铅器件。

AD7760

注释