

产品特性

八通道LNA、VGA、AAF、ADC与I/Q解调器

低功耗: TGC模式: 每通道88 mW, 40 MSPS;

CW模式: 每通道32 mW

10 mm × 10 mm、144引脚CSP-BGA封装

TGC通道折合到输入端噪声: 1.3 nV/√Hz, 最大增益

灵活的省电模式

可从低功耗待机模式快速恢复: <2 μs

过载恢复: <10 ns

低噪声前置放大器(LNA)

折合到输入端噪声: 1.25 nV/√Hz, 增益= 21.3 dB

可编程增益: 15.6 dB/17.9 dB/21.3 dB

0.1 dB 压缩: 1000 mV p-p/

750 mV p-p/450 mV p-p

双模式有源输入阻抗匹配

带宽(BW): >50 MHz

可变增益放大器(VGA)

衰减器范围: -45 dB至0 dB

后置放大器增益(PGA): 21 dB/24 dB/27 dB/30 dB

线性dB增益控制

抗混叠滤波器(AAF)

可编程二阶LPF范围: 8 MHz至18 MHz

可编程HPF

模数转换器(ADC)

信噪比(SNR): 70 dB(12位, 最高50 MSPS)

串行LVDS(ANSI-644, 低功耗/减少信号)

CW模式I/Q解调器

独立可编程相位旋转

每通道输出动态范围: >158 dBc/√Hz

折合到输出端信噪比: 153 dBc/√Hz, 1 kHz 偏移, -3 dBFS

概述

AD9278支持医疗超声和汽车雷达应用, 专门针对低成本、低功耗、小尺寸及易用性而设计。它内置八通道的可变增益放大器(VGA)、低噪声前置放大器(LNA)、抗混叠滤波器(AAF)、模数转换器(ADC)以及具有可编程相位旋转的I/Q解调器。

每个通道均具有45 dB的可变增益范围、完全差分信号路径、有源输入前置放大器终端和最大51 dB的增益。通道专门针对高动态范围与低功耗而优化, 适合要求小封装尺寸的应用。

LNA具有单端转差分增益, 可以通过SPI进行选择。假设噪声带宽(NBW)为15 MHz且LNA增益为21.3 dB, 则LNA输入信噪比(SNR)约为88 dB。CW多普勒模式下, 各LNA输出端驱动一个I/Q解调器。各解调器具有独立可编程的相位旋转和16种相位设置。

各通道可单独进入省电模式, 从而延长便携式应用的电池使用时间。利用待机模式可以快速上电, 以便开机重启。以CW多普勒模式工作时, VGA、AAF和ADC均进入省电模式。ADC内置多种功能特性, 例如可编程时钟、数据对准、生成可编程数字测试码等, 可使器件的灵活性达到最佳、系统成本降至最低。数字测试码包括内置的固定码和伪随机码, 以及通过串行端口接口输入的用户自定义测试码。

功能框图

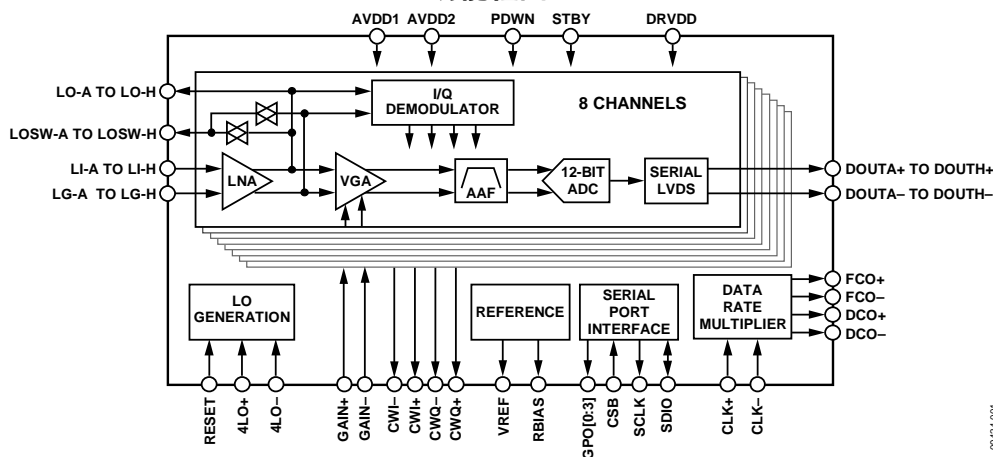


图1

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	等效电路.....	17
概述.....	1	超声工作原理.....	19
功能框图.....	1	通道概述.....	20
修订历史.....	2	TGC运行.....	20
技术规格.....	3	CW多普勒运行.....	33
交流规格.....	3	串行端口接口(SPI).....	37
数字规格.....	6	硬件接口.....	37
转换规格.....	7	存储器映射.....	39
ADC时序图.....	8	读取存储器映射表.....	39
绝对最大额定值.....	9	预留位.....	39
热阻.....	9	默认值.....	39
ESD警告.....	9	逻辑电平.....	39
引脚配置和功能描述.....	10	外形尺寸.....	43
典型工作特性.....	13	订购指南.....	43
TGC模式.....	13		
CW多普勒模式.....	16		

修订历史

2010年10月—修订版0：初始版

技术规格

交流规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，1.0 V内部ADC基准电压，全温度范围(-40°C至+85°C)， f_{IN} = 5 MHz， $R_S = 50 \Omega$ ， $R_{FB} = \infty$ (无端接)，LNA增益 = 21.3 dB，LNA偏置 = 默认值，PGA增益 = 24 dB，GAIN- = 0.8 V，GAIN+ = 0 V，AAF LPF截止频率 = $f_{SAMPLE}/3$ (模式 I/II/III)，HPF截止频率 = LPF截止频率/12，模式I = $f_{SAMPLE} = 40$ MSPS，模式II = $f_{SAMPLE} = 25$ MSPS，模式III = $f_{SAMPLE} = 50$ MSPS，低功耗LVDS模式。

表1

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
低噪声放大器参数 增益	单端输入至差分输出		15.6/17.9/21.3		dB
	单端输入至单端输出		9.6/11.9/15.3		dB
0.1 dB输入压缩点	LNA增益 = 15.6 dB		1.00		V p-p
	LNA增益 = 17.9 dB		0.75		V p-p
	LNA增益 = 21.3 dB		0.45		V p-p
1 dB输入压缩点	LNA增益 = 15.6 dB		1.20		V p-p
	LNA增益 = 17.9 dB		0.90		V p-p
	LNA增益 = 21.3 dB		0.60		V p-p
输入共模(LI-x, LG-x)			2.2		V
输出共模(LO-x)					V
输出共模(LOSW-x)	开关断开		高阻态		Ω
	开关闭合		1.5		V
输入电阻(LI-x)	$R_{FB} = 350 \Omega$, LNA增益 = 21.3 dB		50		Ω
	$R_{FB} = 1400 \Omega$, LNA增益 = 21.3 dB		200		Ω
	$R_{FB} = \infty$, LNA增益 = 21.3 dB		15		k Ω
输入电容(LI-x)			22		pF
-3 dB带宽	LNA增益 = 15.6 dB		100		MHz
	LNA增益 = 17.9 dB		80		MHz
	LNA增益 = 21.3 dB		50		MHz
输入电压噪声	$R_S = 0 \Omega$, $R_{FB} = \infty$				
	LNA增益 = 15.6 dB		1.60		nV/ \sqrt{Hz}
	LNA增益 = 17.9 dB		1.42		nV/ \sqrt{Hz}
	LNA增益 = 21.3 dB		1.27		nV/ \sqrt{Hz}
输入电流噪声 噪声系数	$R_{FB} = \infty$		1.5		pA/ \sqrt{Hz}
	$R_S = 50 \Omega$				
	LNA增益 = 15.6 dB, $R_{FB} = 200 \Omega$		7.8		dB
匹配有源终端	LNA增益 = 17.9 dB, $R_{FB} = 250 \Omega$		6.7		dB
	LNA增益 = 21.3 dB, $R_{FB} = 350 \Omega$		5.6		dB
	LNA增益 = 15.6 dB, $R_{FB} = \infty$		6.1		dB
无端接	LNA增益 = 17.9 dB, $R_{FB} = \infty$		5.3		dB
	LNA增益 = 21.3 dB, $R_{FB} = \infty$		4.7		dB
全通道(TGC)特征					
AAF低通截止频率	-3 dB, 可编程	8		18	MHz
范围内AAF带宽容差			± 10		%
群延时变化	f = 1 MHz至8 MHz, GAIN+ = 0V至1.6V		± 0.3		ns

AD9278

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
折合到输入端电压噪声:	GAIN+ = 1.6 V, R _{FB} = ∞ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		1.7 1.5 1.3		nV/√Hz nV/√Hz nV/√Hz
噪声系数	GAIN+ = 1.6 V, R _S = 50 Ω				
匹配有源终端	LNA增益 = 15.6 dB, R _{FB} = 200 Ω LNA增益 = 17.9 dB, R _{FB} = 250 Ω LNA增益 = 21.3 dB, R _{FB} = 350 Ω		9.2 7.7 6.3		dB dB dB
无端接	LNA增益 = 15.6 dB, R _{FB} = ∞ LNA增益 = 17.9 dB, R _{FB} = ∞ LNA增益 = 21.3 dB, R _{FB} = ∞		6.7 5.7 4.9		dB dB dB
相关噪声比	无信号, 相关/非相关		-30		dB
输出偏移		-35		+35	LSB
信噪比(SNR)	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V) f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)		65 57		dBFS dBFS
谐波失真					
二次谐波	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V) f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)		-70 -70		dBc dBc
三次谐波	f _{IN} = 5 MHz (-10 dBFS, GAIN+ = 0 V) f _{IN} = 5 MHz (-1 dBFS, GAIN+ = 1.6 V)		-70 -70		dBc dBc
双音交调(IMD3)	f _{RF1} = 5.015 MHz, f _{RF2} = 5.020 MHz, A _{RF1} = 0 dB, A _{RF2} = -20 dB, GAIN+ = 1.6 VIMD3相对于A _{RF2}		-70		dBc
通道间串扰	f _{IN1} = 5.0 MHz (-1 dBFS) 超量程条件 ²		-60 -55		dB dB
通道间延迟变化	TGC完整路径, f _{IN} = 5 MHz, GAIN+ = 0 V 至 1.6 V		0.3		度
PGA增益	差分输入至差分输出		21/24/27/30		dB
增益精度	25°C				
增益法则一致性误差	0 < GAIN+ < 0.16 V 0.16 V < GAIN+ < 1.44 V 1.44 V < GAIN+ < 1.6 V	-1.6	0.5	+1.6	dB dB dB
线性增益误差	GAIN+ = 0.8 V, 针对理想AAF损耗进行 规格化处理	-1.6	0.5	+1.6	dB
通道间匹配	0.16 V < GAIN+ < 1.44 V		0.1		dB
增益控制接口					
控制范围	差分 单端	-0.8 0		+0.8 1.6	V V
增益范围	GAIN+ = 0 V 至 1.6 V		45		dB
比例因子			28		dB/V
响应时间	45 dB变化		750		ns
Gain+阻抗	单端		10		MΩ
Gain-阻抗	单端		70		kΩ
CW多普勒模式					
LO频率	f _{LO} = f _{4LO} /4	1		10	MHz
相位分辨率	每通道		22.5		Degrees
输出直流偏置(单端)	CWI+, CWI-, CWQ+, CWQ-		1.5		V
输出交流电流范围	每个CWI+, CWI-, CWQ+, CWQ-, 启用每个通道			±1.25	mA
跨导(差分)	经过解调的I _{OUT} /V _{IN} , 每个CWI+, CWI-, CWQ+, CWQ-		1.8 2.4 3.5		mA/V mA/V mA/V

参数 ¹	测试条件/注释	最小值	典型值	最大值	单位
折合到输入端电压噪声:	$R_S = 0 \Omega, R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		2.0 1.9 1.8		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
噪声系数	$R_S = 50 \Omega, R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		7.8 7.3 6.9		dB dB dB
折合到输入端动态范围	$R_S = 0 \Omega, R_{FB} = \infty$ LNA增益 = 15.6 dB LNA增益 = 17.9 dB LNA增益 = 21.3 dB		162 160 157		dBFS/ $\sqrt{\text{Hz}}$ dBFS/ $\sqrt{\text{Hz}}$ dBFS/ $\sqrt{\text{Hz}}$
折合到输出端信噪比	-3 dBFS输入, $f_{RF} = 2.5 \text{ MHz}, f_{4LO} = 10 \text{ MHz}, 1 \text{ kHz}$ 偏移		153		dBc/ $\sqrt{\text{Hz}}$
双音交调(IMD3)	$f_{RF1} = 5.015 \text{ MHz}, f_{RF2} = 5.020 \text{ MHz}, f_{4LO} = 20 \text{ MHz}, A_{RF1} = -1 \text{ dBFS}, A_{RF2} = -21 \text{ dBFS}$, IMD3相对于 A_{RF2}		-58		dB
正交相位误差	I至Q, 所有相位, 1σ		0.15		度
I/Q幅度不平衡	I至Q, 所有相位, 1σ		0.015		dB
通道间匹配	I至I, Q至Q相位, 1σ		0.5		度
	I至I, Q至Q幅度, 1σ		0.25		dB
电源, 模式I/II/III					
AVDD1		1.7	1.8	1.9	V
AVDD2 ³		2.7	3.0	3.6	V
DRVDD		1.7	1.8	1.9	V
I_{AVDD1}	TGC 模式 CW多普勒模式		178/145/215 32		mA mA
I_{AVDD2}	TGC模式, 无信号 CW多普勒模式		108 63		mA mA
I_{DRVDD}	ANSI-644 模式 低功耗(类似于IEEE 1596.3) 模式		47/44/48 33/31/34		mA mA
总功耗 (包括输出驱动器)	TGC模式, 无信号 CW多普勒模式		704/640/772 252	815/755/908	mW mW
省电功耗				5	mW
待机功耗			285		mW
电源抑制比 (PSRR)			1.6		mV/V
ADC分辨率			12		Bits
ADC基准电压					
输出电压误差	$V_{REF} = 1 \text{ V}$			± 50	mV
负载调整@1.0 mA	$V_{REF} = 1 \text{ V}$		2		mV
输入电阻			6		k Ω

¹如需了解完整的定义以及这些测试如何完成, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

²超量程条件规定为超出满量程输入范围6 dB。

³LNA增益设置为15.6 dB时, $AVDD2 > 3.0 \text{ V}$ 。

AD9278

数字规格

除非另有说明，AVDD1 = 1.8 V，AVDD2 = 3.0 V，DRVDD = 1.8 V，ADC内部1.0 V基准电压、整个温度范围。

表2

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入 (CLK+, CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输入电压 ²	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻 (差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
CW 4LO输入 (4LO+, 4LO-)					
逻辑兼容			CMOS/LVDS/LVPECL		
差分输入电压 ²	全	250			mV p-p
输入共模电压	全		1.2		V
输入电阻 (差分)	25°C		20		kΩ
输入电容	25°C		1.5		pF
逻辑输入 (PDWN, STBY, SCLK, RESET)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		0.5		pF
逻辑输入 (CSB)					
逻辑1电压	全	1.2		3.6	V
逻辑0电压	全			0.3	V
输入电阻	25°C		70		kΩ
输入电容	25°C		0.5		pF
逻辑输出 (SDIO) ³					
逻辑1电压 (I _{OH} = 800 μA)	全	1.2		DRVDD + 0.3	V
逻辑0电压 (I _{OL} = 50 μA)	全	0		0.3	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
数字输出 (DOUTx+, DOUTx-), (ANSI-644)					
逻辑兼容			LVDS		
差分输出电压 (V _{OD})	全	247		454	mV
输出失调电压 (V _{OS})	全	1.125		1.375	V
输出编码 (默认)			偏移二进制		
数字输出 (DOUTx+, DOUTx-), (低功耗、简化信号选项)					
逻辑兼容			LVDS		
差分输出电压 (V _{OD})	全	150		250	mV
输出失调电压 (V _{OS})	全	1.10		1.30	V
输出编码 (默认)			偏移二进制		
逻辑输出 (GPO0/GPO1/GPO2/GPO3)					
逻辑0电压 (I _{OL} = 50 μA)	全			0.05	V

¹如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

²仅针对LVDS和LVPECL。

³针对共用同一连接的13个SDIO引脚。

开关规格

除非另有说明, AVDD1=1.8V, AVDD2=3.0V, DRVDD=1.8V, 整个温度范围。

表3

参数 ¹	温度	最小值	典型值	最大值	单位
时钟²					
时钟速率					
25 MSPS (模式II)	全	18.5		25	MHz
40 MSPS (模式I)	全	18.5		40	MHz
50 MSPS (模式III)	全	18.5		50	MHz
时钟脉宽高电平 (t_{EH})	全		6.25		ns
时钟脉宽低电平 (t_{EL})	全		6.25		ns
输出参数^{2,3}					
传播延迟 (t_{PD})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
上升时间 (t_R) (20% 至 80%)	全		300		ps
下降时间 (t_F) (20% 至 80%)	全		300		ps
FCO传播延迟 (t_{FCO})	全	$(t_{SAMPLE}/2) + 1.5$	$(t_{SAMPLE}/2) + 2.3$	$(t_{SAMPLE}/2) + 3.1$	ns
DCO传播延迟 (t_{CPD}) ⁴	全		$t_{FCO} + (t_{SAMPLE}/24)$		ns
DCO至数据延迟 (t_{DATA}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
DCO至FCO延迟 (t_{FRAME}) ⁴	全	$(t_{SAMPLE}/24) - 300$	$(t_{SAMPLE}/24)$	$(t_{SAMPLE}/24) + 300$	ps
数据至数据偏斜 ($t_{DATA-MAX} - t_{DATA-MIN}$)	全		± 100	± 350	ps
唤醒时间 (待机模式), GAIN+ = 0.5 V	25°C		2		μs
唤醒时间 (省电模式)	25°C		1		ms
流水线延迟	全		8		时钟周期
孔径					
孔径不确定 (抖动)	25°C		<1		ps rms
LO发生器					
4LO频率	全	4		40	MHz
LO分频器RESET建立时间 ⁵	全	5			ns
LO分频器RESET保持时间 ⁵	全	5			ns
LO分频器RESET高脉冲宽度	全	20			ns

¹ 如需了解完整的定义以及这些测试如何完成, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 可通过SPI进行调整。

³ 将器件焊接在FR4材料上进行测量。

⁴ $t_{SAMPLE}/24$ 基于位数的一半, 因为延迟基于一半的占空比。

⁵ RESET沿至4LO上升沿。

ADC时序图

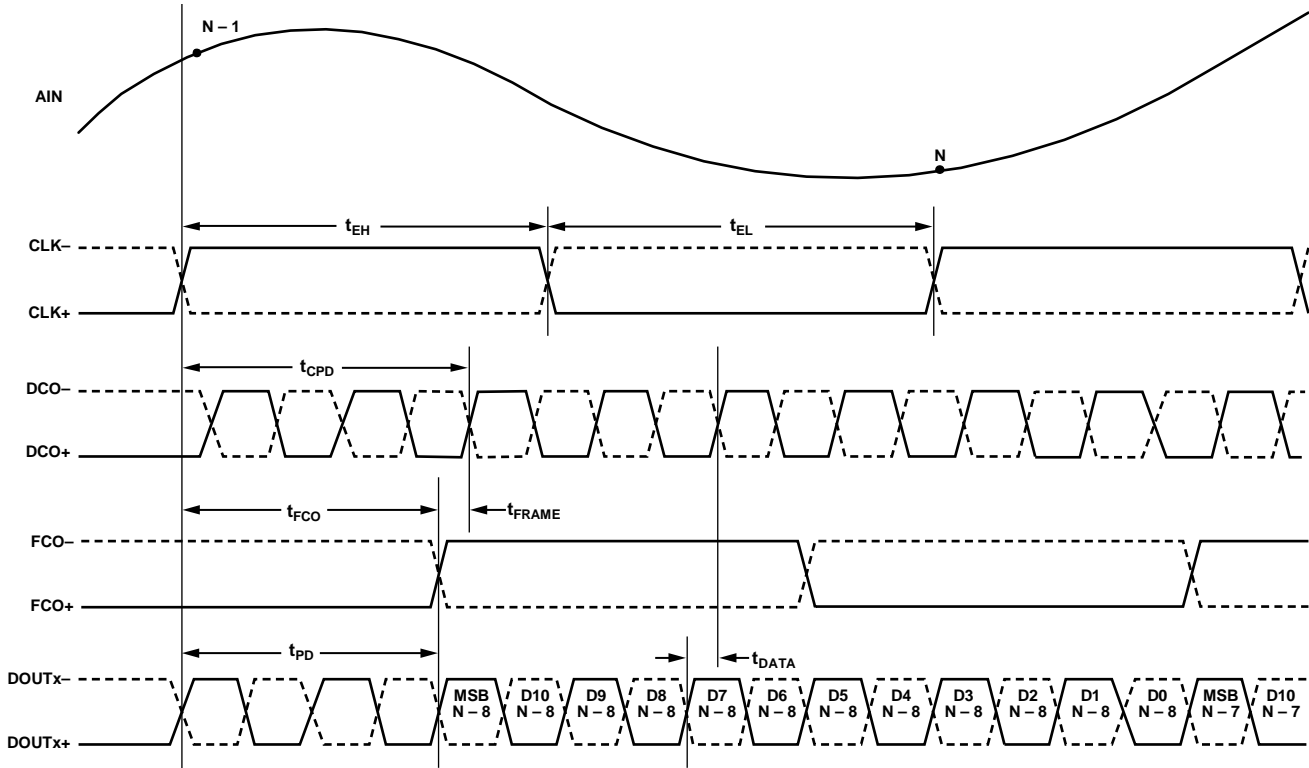


图2. 12位数据串行流(默认)

09424-002

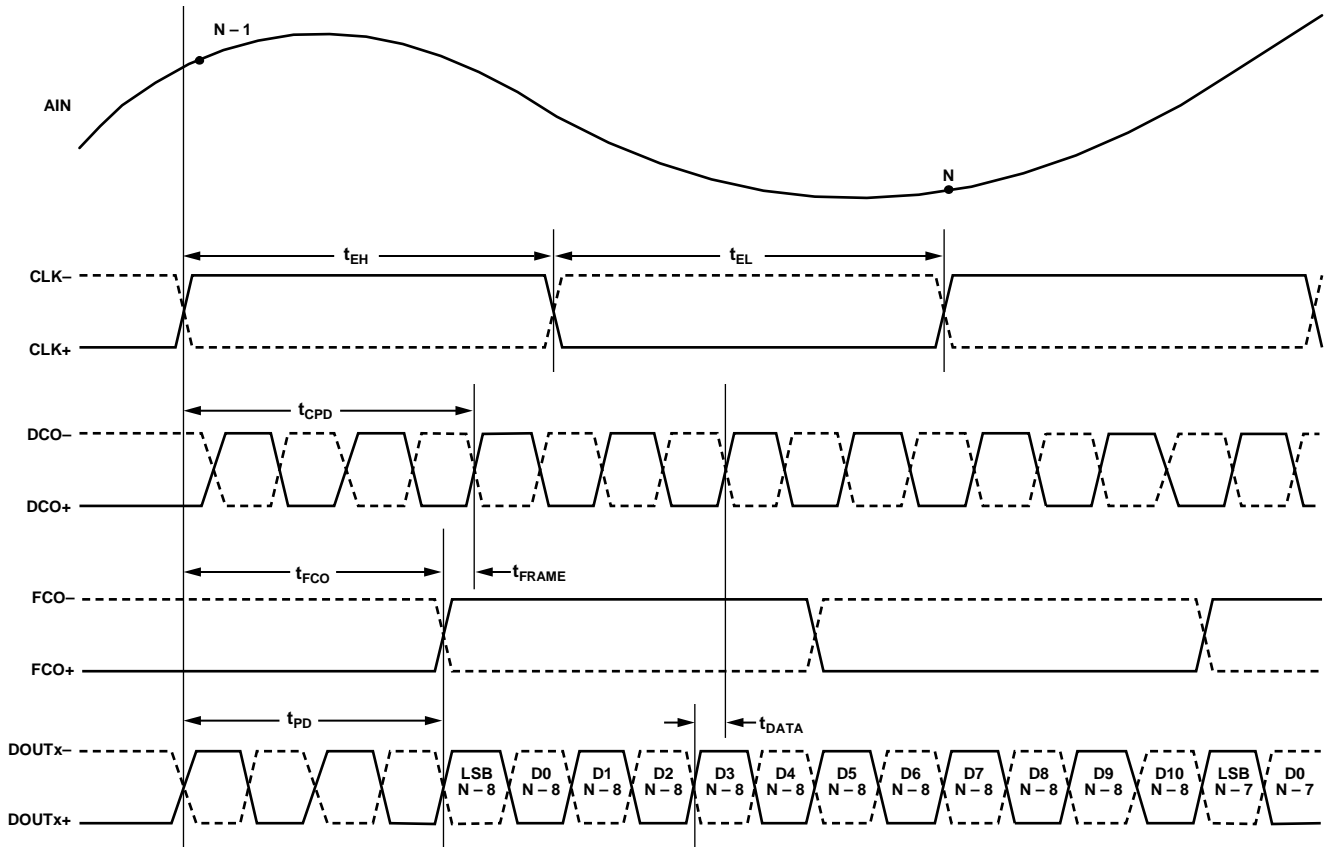


图3. 12位数据串行流, LSB优先

09424-003

绝对最大额定值

表4

参数	额定值
AVDD1 至 GND	-0.3V 至 +2.0V
AVDD2 至 GND	-0.3V 至 +3.9V
DRVDD 至 GND	-0.3V 至 +2.0V
GND 至 GND	-0.3V 至 +0.3V
AVDD2 至 AVDD1	-2.0V 至 +3.9V
AVDD1 至 DRVDD	-2.0V 至 +2.0V
AVDD2 至 DRVDD	-2.0V 至 +3.9V
数字输出 (DOUTx+, DOUTx-, DCO+, DCO-, FCO+, FCO-) to GND	-0.3V 至 DRVDD + 0.3V
CLK+, CLK-, SDIO 至 GND	-0.3V 至 AVDD1 + 0.3V
LI-x, LO-x, LOSW-x 至 GND	-0.3V 至 AVDD2 + 0.3V
CWI-, CWI+, CWQ-, CWQ+ to GND	-0.3V 至 AVDD2 + 0.3V
PDWN, STBY, SCLK, CSB to GND	-0.3V 至 AVDD1 + 0.3V
GAIN+, GAIN-, RESET, 4LO+, 4LO-, GPO0, GPO1, GPO2, GPO3 to GND	-0.3V 至 AVDD2 + 0.3V
VREF to GND	-0.3V 至 AVDD1 + 0.3V
工作温度范围 (环境)	-40°C 至 +85°C
存储温度范围 (环境)	-65°C 至 +150°C
最高结温	150°C
引脚温度 (焊接, 10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表5

符号	描述	值 ¹	单位
θ_{JA}	结至环境热阻, 0.0 m/s气流, 按照JEDEC JESD51-2(静止空气)	22.0	°C/W
Ψ_{JB}	结至板热特性参数, 0 m/s气流, 按照JEDEC JESD51-8(静止空气)	9.2	°C/W
Ψ_{JT}	结至封装顶部特性参数, 0 m/s气流, 按照JEDEC JESD51-2 (静止空气)	0.12	°C/W

¹结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时，要求仔细检查应用的条件，以确定这些条件是否与计算的假设条件相符。

ESD警告



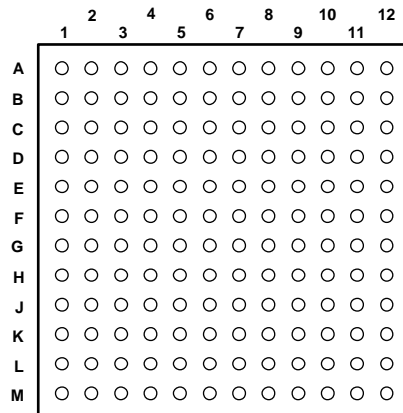
ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

	1	2	3	4	5	6	7	8	9	10	11	12
A	LI-E	LI-F	LI-G	LI-H	VREF	RBIAS	GAIN+	GAIN-	LI-A	LI-B	LI-C	LI-D
B	LG-E	LG-F	LG-G	LG-H	GND	GND	AVDD2	GND	LG-A	LG-B	LG-C	LG-D
C	LO-E	LO-F	LO-G	LO-H	GND	GND	GND	GND	LO-A	LO-B	LO-C	LO-D
D	LOSW-E	LOSW-F	LOSW-G	LOSW-H	GND	GND	GND	GND	LOSW-A	LOSW-B	LOSW-C	LOSW-D
E	GND	AVDD2	AVDD2	AVDD2	GND	GND	GND	GND	AVDD2	AVDD2	AVDD2	GND
F	AVDD1	GND	AVDD1	GND	AVDD1	GND	GND	AVDD1	GND	AVDD1	GND	AVDD1
G	GND	AVDD1	GND	AVDD1	GND	GND	GND	GND	AVDD1	GND	AVDD1	GND
H	CLK-	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	CSB
J	CLK+	GND	CWQ+	GND	CWI+	AVDD2	4LO+	GND	GPO3	GPO1	PDWN	SDIO
K	GND	GND	CWQ-	GND	CWI-	AVDD2	4LO-	RESET	GPO2	GPO0	STBY	SCLK
L	DRVDD	DOUTH+	DOUTG+	DOUTF+	DOUTE+	DCO+	FCO+	DOUTD+	DOUTC+	DOUTB+	DOUTA+	DRVDD
M	GND	DOUTH-	DOUTG-	DOUTF-	DOUTE-	DCO-	FCO-	DOUTD-	DOUTC-	DOUTB-	DOUTA-	GND

图4. 引脚配置



TOP VIEW
(Not to Scale)

图5.

表6. 引脚功能描述

引脚编号	名称	描述
B5, B6, B8, C5, C6, C7, C8, D5, D6, D7, D8, E1, E5, E6, E7, E8, E12, F2, F4, F6, F7, F9, F11, G1, G3, G5, G6, G7, G8, G10, G12, H2, H3, H4, H5, H6, H7, H8, H9, H10, H11, J2, J4, J8, K1, K2, K4, M1, M12	GND	接地(应与安静的模拟地相连)
F1, F3, F5, F8, F10, F12, G2, G4, G9, G11	AVDD1	1.8V模拟电源
B7, E2, E3, E4, E9, E10, E11, J6, K6	AVDD2	3.0V模拟电源
L1, L12	DRVDD	1.8V数字输出驱动器电源
A1	LI-E	E通道LNA模拟输入
B1	LG-E	E通道LNA接地
C2	LO-F	F通道LNA模拟反相输出
D2	LOSW-F	F通道LNA模拟开关输出
A2	LI-F	F通道LNA模拟输入
B2	LG-F	F通道LNA接地
C3	LO-G	G通道LNA模拟反相输出
D3	LOSW-G	G通道LNA模拟开关输出
A3	LI-G	G通道LNA模拟输入
B3	LG-G	G通道LNA接地
C4	LO-H	H通道LNA模拟反相输出
D4	LOSW-H	H通道LNA模拟开关输出
A4	LI-H	H通道LNA模拟输入
B4	LG-H	H通道LNA接地
H1	CLK-	时钟输入(-)
J1	CLK+	时钟输入(+)
M2	DOUTH-	ADC H数字输出(-)
L2	DOUTH+	ADC H数字输出(+)
M3	DOUTG-	ADC G数字输出(-)
L3	DOUTG+	ADC G数字输出(+)
M4	DOUTF-	ADC F数字输出(-)
L4	DOUTF+	ADC F数字输出(+)
M5	DOUTE-	ADC E数字输出(-)
L5	DOUTE+	ADC E数字输出(+)
M6	DCO-	数字时钟输出(-)
L6	DCO+	数字时钟输出(+)
M7	FCO-	帧时钟数字输出(-)
L7	FCO+	帧时钟数字输出(+)
M8	DOUTD-	ADC D数字输出(-)
L8	DOUTD+	ADC D数字输出(+)
M9	DOUTC-	ADC C数字输出(-)
L9	DOUTC+	ADC C数字输出(+)
M10	DOUTB-	ADC B数字输出(-)
L10	DOUTB+	ADC B数字输出(+)
M11	DOUTA-	ADC A数字输出(-)
L11	DOUTA+	ADC A数字输出(+)
K11	STBY	待机关断电源
J11	PDWN	全关断
K12	SCLK	串行时钟
J12	SDIO	串行数据输入/输出
H12	CSB	片选信号
B9	LG-A	A通道LNA接地
A9	LI-A	A通道LNA模拟输入
D9	LOSW-A	A通道LNA模拟开关输出
C9	LO-A	A通道LNA模拟反相输出

AD9278

引脚编号	名称	描述
B10	LG-B	B通道LNA接地
A10	LI-B	B通道LNA模拟输入
D10	LOSW-B	B通道LNA模拟开关输出
C10	LO-B	B通道LNA模拟反相输出
B11	LG-C	C通道LNA接地
A11	LI-C	C通道LNA模拟输入
D11	LOSW-C	C通道LNA模拟开关输出
C11	LO-C	C通道LNA模拟反相输出
B12	LG-D	D通道LNA接地
A12	LI-D	D通道LNA模拟输入
D12	LOSW-D	D通道LNA模拟开关输出
C12	LO-D	D通道LNA模拟反相输出
K10	GPO0	通用开漏输出0
J10	GPO1	通用开漏输出1
K9	GPO2	通用开漏输出2
J9	GPO3	通用开漏输出3
K8	RESET	重置为4LO 4分频计数器同步
K7	4LO-	CW多普勒4LO输入(-)
J7	4LO+	CW多普勒4LO输入(+)
A8	GAIN-	增益控制电压输入(-)
A7	GAIN+	增益控制电压输入(+)
A6	RBIAS	用于设置ADC内核偏置电流的外部电阻
A5	VREF	基准电压输入/输出
K5	CWI-	CW多普勒I输出(-)
J5	CWI+	CW多普勒I输出(+)
K3	CWQ-	CW多普勒Q输出(-)
J3	CWQ+	CW多普勒Q输出(+)
C1	LO-E	E通道LNA模拟反相输出
D1	LOSW-E	E通道LNA模拟开关输出

典型工作特性

TGC模式

$f_{\text{SAMPLE}} = 40 \text{ MSPS}$, $f_{\text{IN}} = 5 \text{ MHz}$, $R_s = 50 \Omega$, LNA 增益 = 21.3 dB, LNA 偏置 = 中高, PGA 增益 = 24 dB, GAIN- = 0.8 V, AAF LPF 截止频率 = $f_{\text{SAMPLE}}/3.0$, HPF 截止频率 = LPF 截止频率/12.00 (默认)。

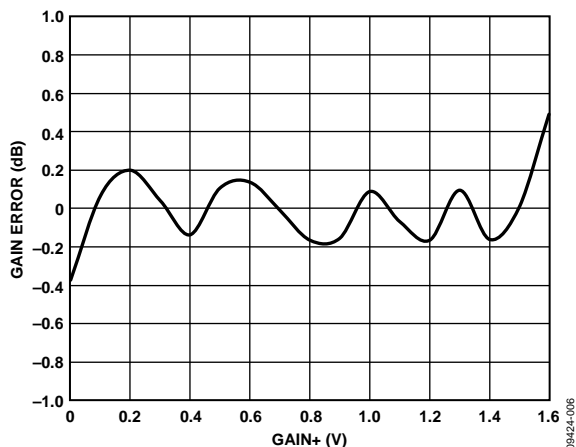


图6. 增益误差与 GAIN+ 的关系

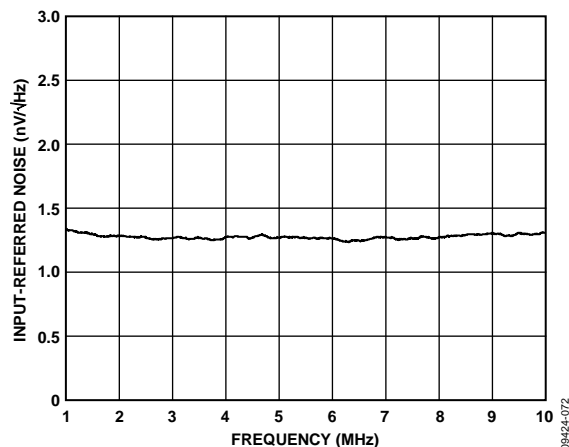


图9. 短路, 折合到输入端的噪声与频率的关系, LNA 增益 = 21.3 dB, PGA 增益 = 30 dB, GAIN+ = 1.6 V

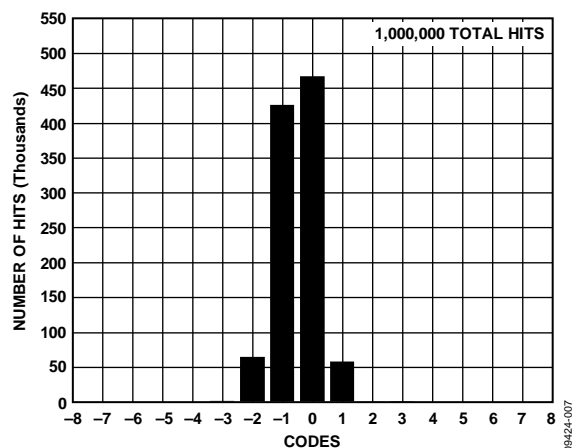


图7. 折合到输出端的噪声柱状图, GAIN+ = 0.0 V

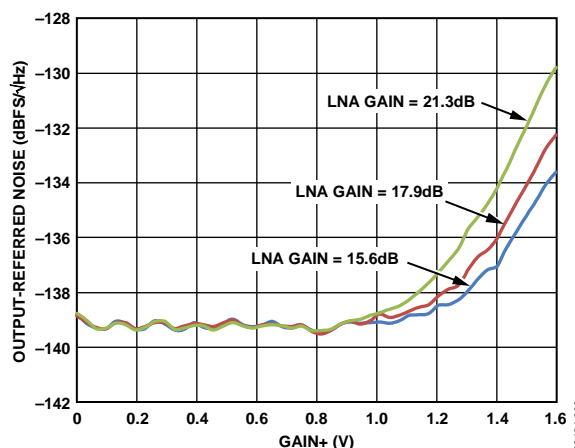


图10. 短路, 折合到输出端的噪声与 GAIN+ 的关系

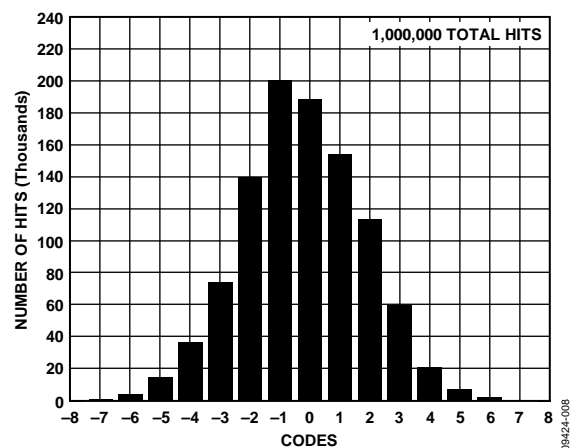


图8. 折合到输出端的噪声柱状图, GAIN+ = 1.6 V

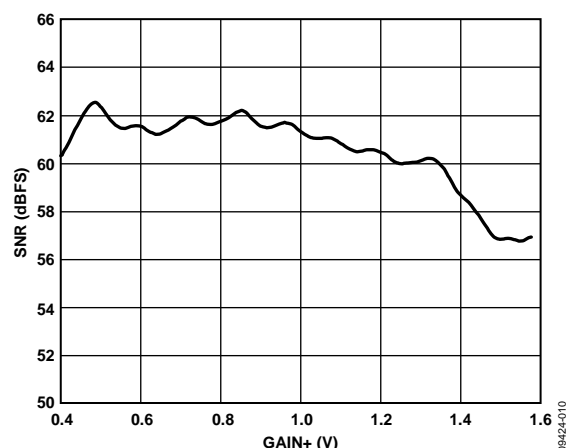


图11. 信噪比与 GAIN+ 的关系, AOUT = -1.0 dBFS

AD9278

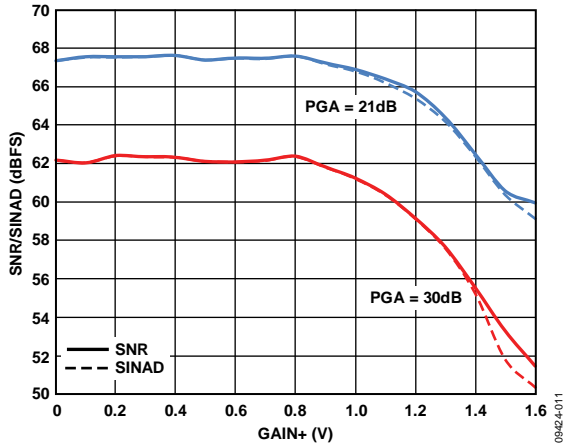


图12.信噪比/信噪失真比与GAIN+的关系, AIN = -45 dBm

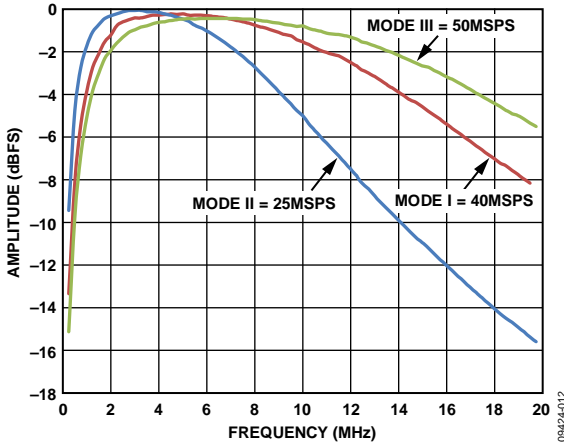


图13.抗混叠滤波器(AAF)通带响应,
LPF 截止频率 = $1 \times (1/3) \times f_{\text{SAMPLE}}$

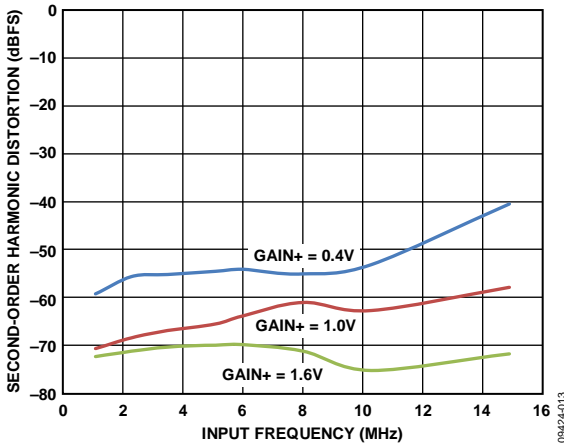


图14.二次谐波失真与频率的关系, AOUT = -1.0 dBFS

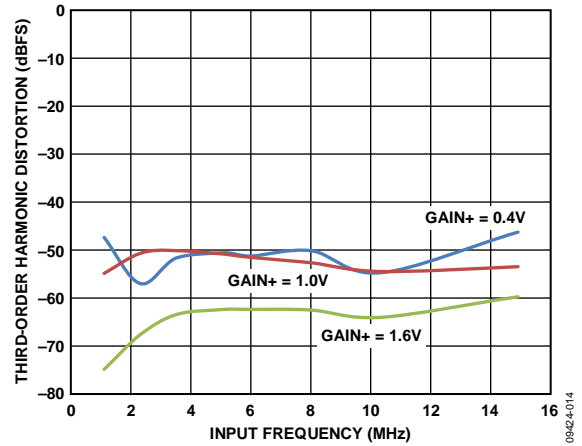


图15.三次谐波失真与频率的关系, AOUT = -1.0 dBFS

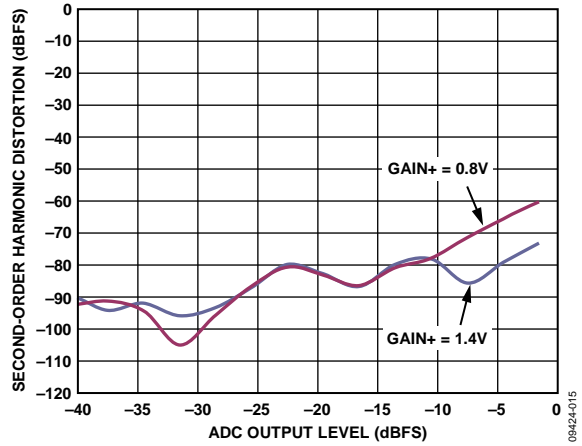


图16.二次谐波失真与ADC输出电平的关系, AOUT

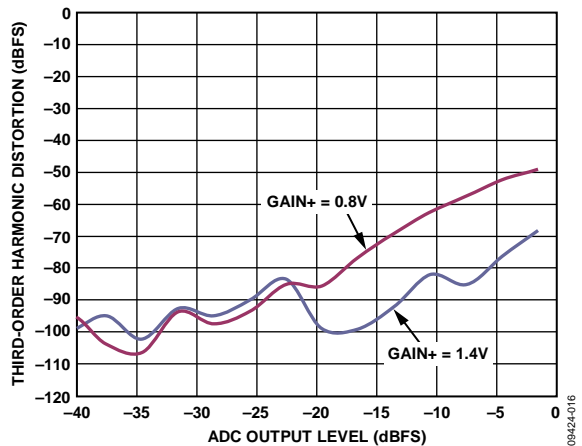


图17.三次谐波失真与ADC输出电平的关系

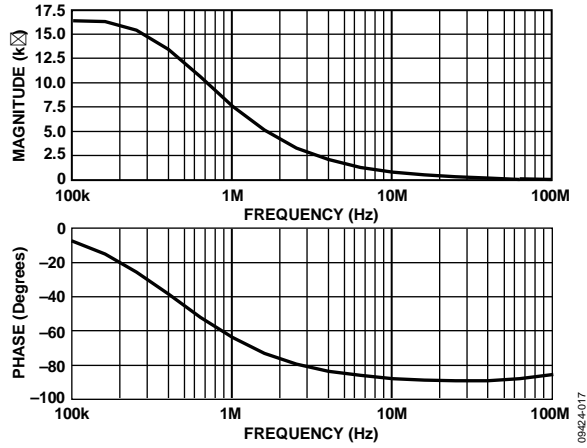


图18.LNA输入阻抗幅度和相位，无端接

0922-4-017

AD9278

CW多普勒模式

$f_{IN} = 5 \text{ MHz}$, $R_S = 50 \Omega$, LNA 增益 = 21.3 dB, LNA 偏置 = 中高, 启用所有CW通道, 相位旋转 0 度。

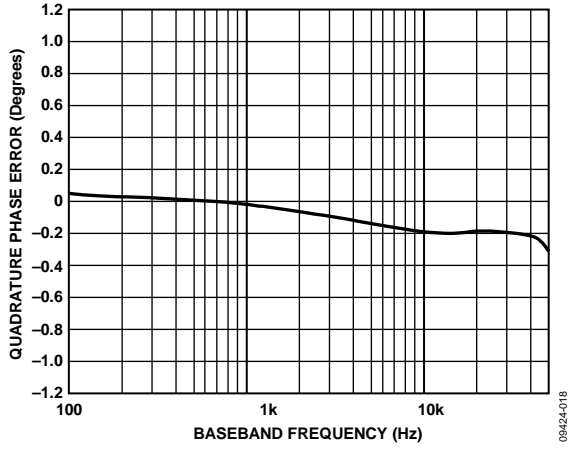


图19.正交(I/Q)相位误差与基带频率的关系

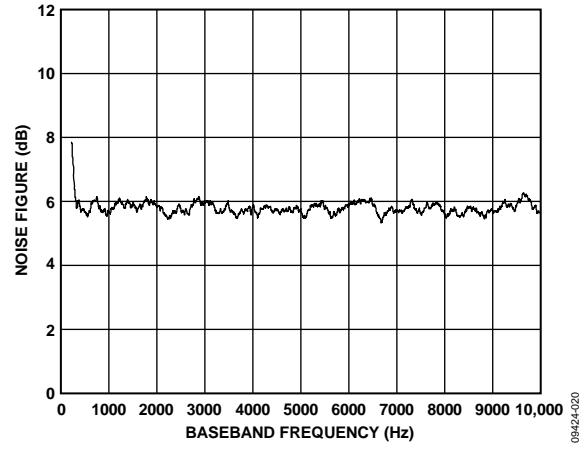


图21.噪声系数与基带频率的关系

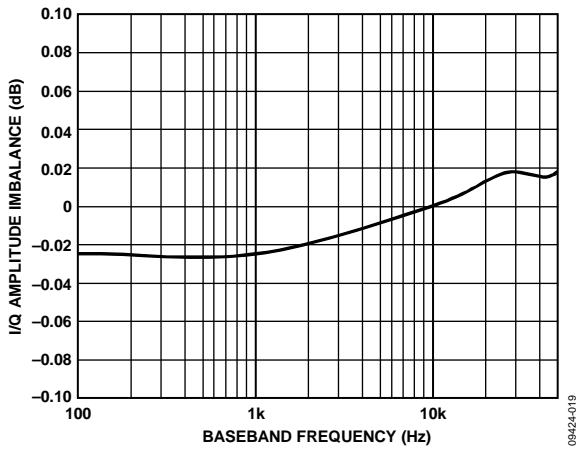


图20.正交(I/Q)幅度误差与基带频率的关系

等效电路

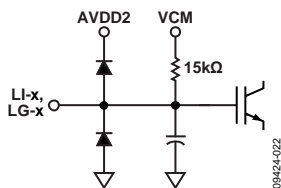


图22. 等效LNA输入电路(VCM=共模电压)

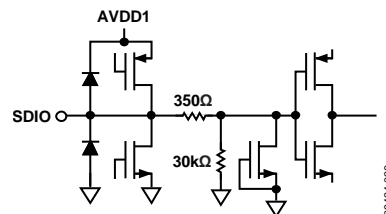


图26. 等效SDIO输入电路

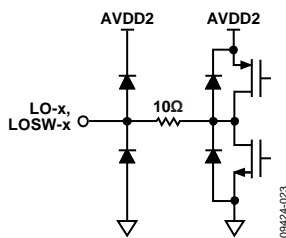


图 23. 等效LNA输出电路

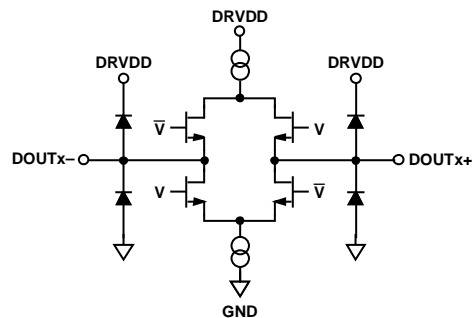


图27. 等效数字输出电路

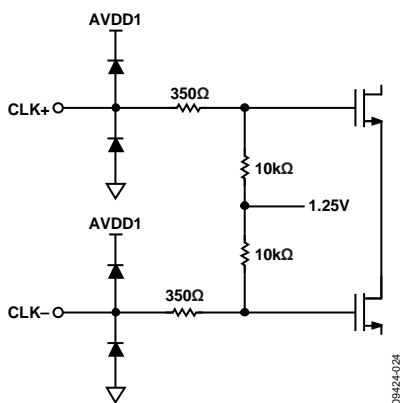


图24. 等效时钟输入电路

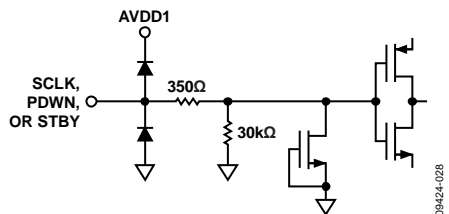


图28. 等效SCLK、PDWN或STBY输入电路

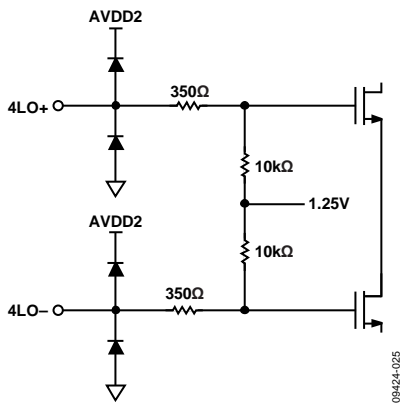


图25. 等效4LO输入电路

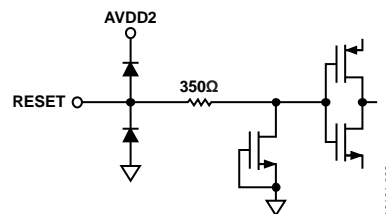


图29. 等效RESET输入电路

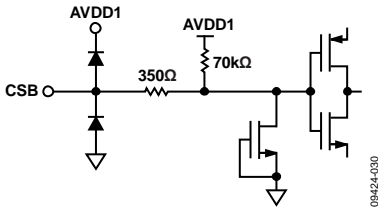


图30. 等效CSB输入电路

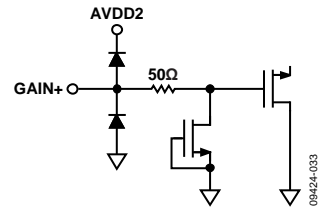


图33. 等效GAIN+输入电路

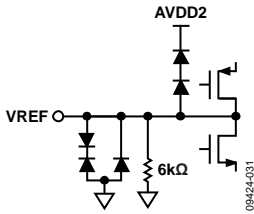


图31. 等效VREF电路

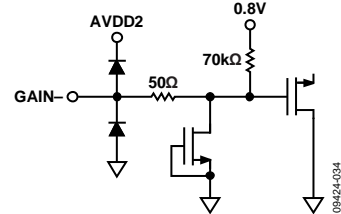


图34. 等效GAIN-输入电路

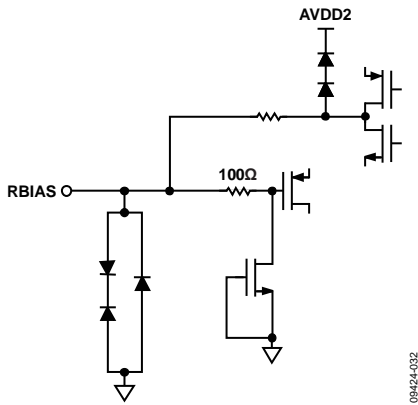


图32. 等效RBIAS电路

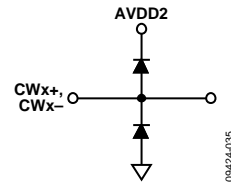


图35. 等效CWx±、CWQ±输出电路

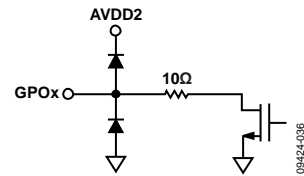


图36. 等效GPOx输出电路

超声工作原理

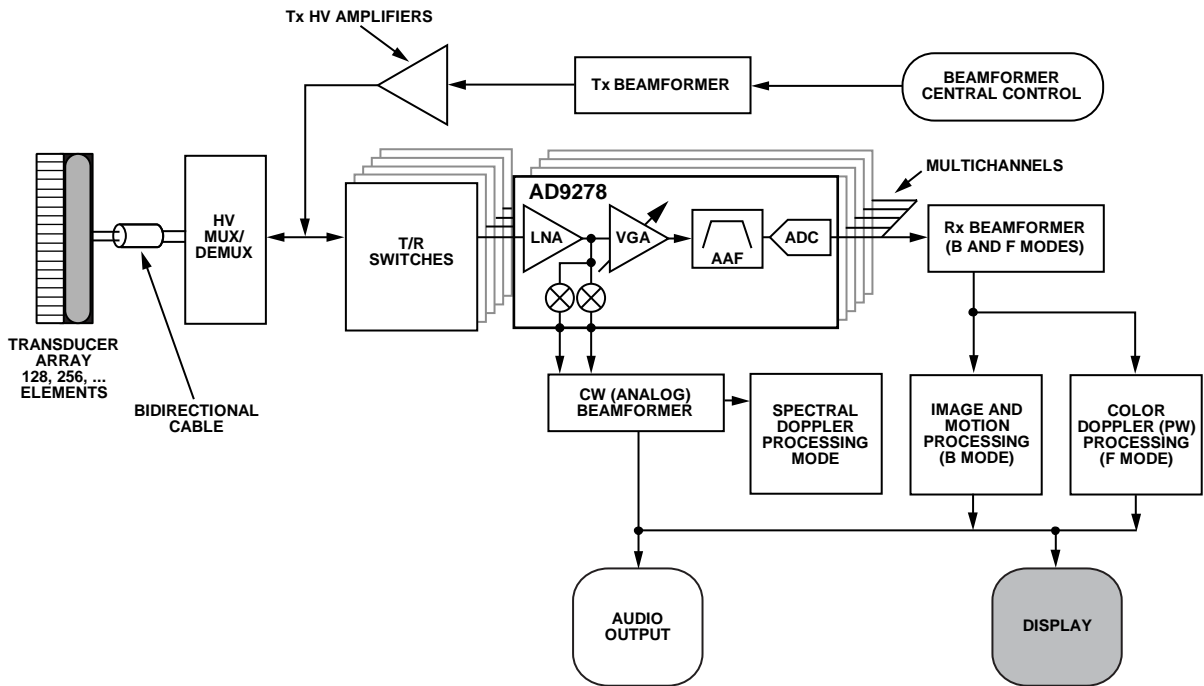


图37. 简化超声系统功能框图

09/24-037

AD9278主要应用于医用超声领域。图37所示为超声系统的简化功能框图。超声系统的重要功能是为生理信号衰减进行时间增益控制(TGC)补偿。因为超声信号的衰减与距离(时间)呈指数关系，因此线性dB可变增益放大器为最佳解决方案。

超声信号链的主要要求有超低噪声、有源输入匹配、快速过载恢复、低功耗以及ADC差动驱动。由于超声设备使用波束形成技术，要求大量二进制加权通道(例如，32至512)，所以在可能的最低噪声下实现最低功耗至关重要。

大多数现代超声设备使用数字波束形成技术。信号经TGC放大器后立即转换至数字格式，然后完成数字波束形成。

12位50 MSPS采样ADC可同时满足通用型和高端系统的要求。根据系统架构，ADC功耗与可编程速度模式成正比，从而实现最佳功率特性。

对于低端和便携式超声设备而言，节省电力、高性能和低成本是三个重要考虑因素，AD9278的设计就能够满足这些要求。

更多关于超声波系统的其他信息，请参考模拟对话，第36卷，第3期，2002年5-7月“影响超声系统前端器件选择的考量因素”以及模拟对话 第41卷，第7期，2007年7月“AD9271-便携式超声设备的革命性解决方案”。

通道概述

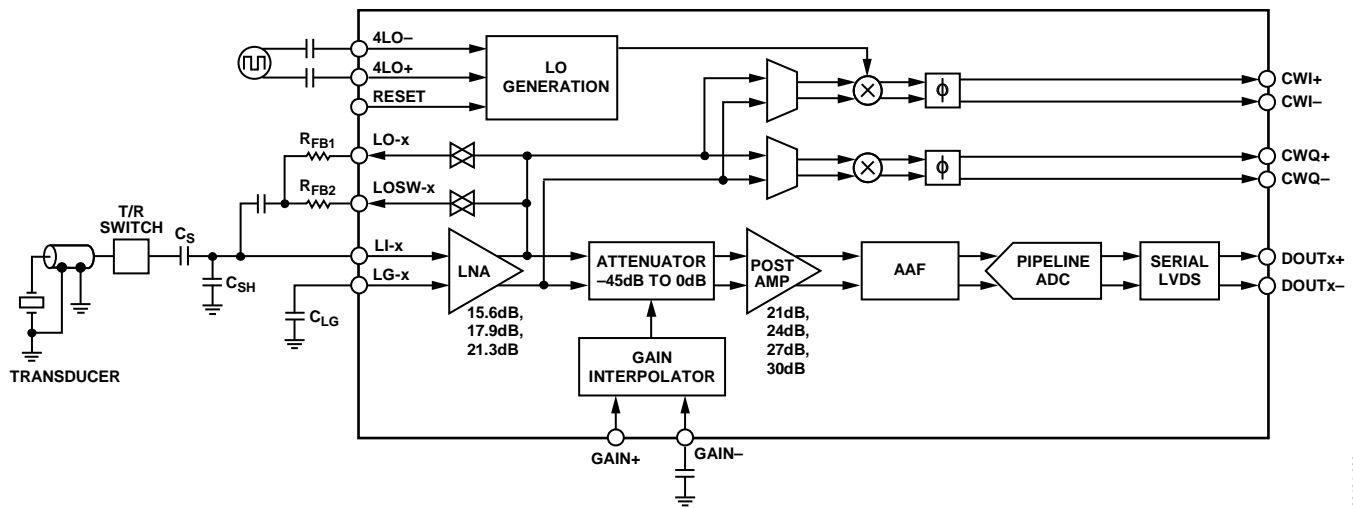


图38. 单通道的简化功能框图

09-024-038

每个通道都包括TGC信号路径和CW多普勒信号路径。LNA为两个信号路径提供四个用户可调的输入阻抗端选项，用来匹配不同的探头阻抗。CW多普勒路径配置I/Q解调器，具有模拟波束形成必需的可编程相位旋转功能。TGC路径包括差分X-AMP[®] VGA、抗混叠滤波器和ADC。图38所示为带外部元件的简化功能框图。

TGC运行

TGC信号路径为全差分路径，能够实现最大信号摆幅，并减少偶数阶失真；不过，LNA为单端信号源驱动。增益值以单端LNA输入至差分ADC输入为基准。图39显示满足最高和最低增益要求的简单测试。

所需最高增益由下式确定

$$(ADC\text{噪底}/LNA\text{输入噪底}) + \text{余量} = 20 \log(224/5.8) + 11 \text{ dB} = 42 \text{ dB}$$

所需最低增益由下式确定

$$(ADC\text{输入FS}/LNA\text{输入FS}) + \text{余量} = 20 \log(2/0.45) - 10 \text{ dB} = 3 \text{ dB}$$

因此，12位40 MSPS ADC(带宽15 MHz，增益42 dB)应能满足如今大多数超声系统所需的动态范围。

系统增益分配如表7所列。

表7. 通道增益分配

部分	标称增益 (dB)
LNA	15.6/17.9/21.3
衰减器	0 至 -45
VGA放大器	21/24/27/30
滤波器	0
ADC	0

TGC路径的线性dB增益(法则一致性)范围为45 dB。增益控制接口的斜度为28 dB/V，增益控制范围为-0.8 V至+0.8 V。式3是增益控制接口差分电压 V_{GAIN} 的表达式。式4为VGA衰减的表达式， V_{GAATT} 与 V_{GAIN} 成函数关系。

$$V_{GAIN} (V) = (GAIN+) - (GAIN-) \quad (3)$$

$$VGA_{ATT} (dB) = -28 \frac{dB}{V} (8.0 - V_{GAIN}) \quad (4)$$

然后由式5求出总通道增益。

$$ChannelGain (dB) = LNA_{GAIN} + VGA_{ATT} + PGA_{GAIN} \quad (5)$$

默认状态下，LNA的增益为21.3 dB (12×)，如果GAIN+引脚电压为0 V，GAIN-引脚电压为0.8 V，则VGA后置放大器的增益为24 dB(42 dB衰减)。因此，如果LNA输入不匹配时，通过TGC路径的总增益(或ICPT)达到3.6 dB，或如果LNA匹配至50 Ω ($R_{FB} = 350 \Omega$)，总增益为-2.4 dB。但如果GAIN+引脚的电压为1.6 V，GAIN-引脚的电压为0.8 V(0 dB衰减)，则VGA增益为24 dB。此时，若LNA输入不匹配，通过TGC路径的总增益达到45 dB，或LNA输入匹配，则总增益为39 dB。

每个LNA输出端都直流耦合至VGA输入端。VGA内置增益范围至-42 dB的衰减器，后接增益为21 dB/24 dB/27 dB/30

dB的放大器。X-AMP增益内插法会形成低增益误差和均衡带宽，且差分信号路径将失真降至最低。

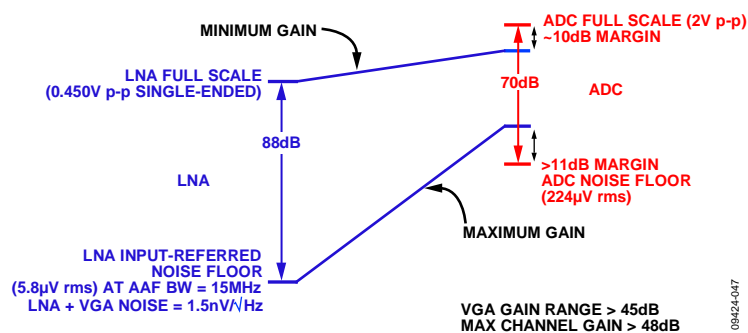


图39. 12位40 MSPS ADC的TGC运行增益要求

AD9278

表8. 敏感度和动态范围间的权衡考量^{1, 2, 3}

增益		LNA		可变增益放大器		通道		时折合到输入端的噪声 ⁶ GAIN+ = 1.6 V (nV/√Hz)
单位: (V/V)	(dB)	满量程输入 (V峰峰值)	输入噪声 (nV/√Hz)	后置放大器增益 (dB)	典型输出动态范围 (dB)			
						GAIN+ = 0 V ⁴	GAIN+ = 1.6 V ⁵	
6	15.6	0.733	1.60	21	68.6	63.6	1.863	
				24	67.8	61.2	1.773	
				27	66.5	58.5	1.725	
				30	64.7	55.7	1.701	
7.8	17.9	0.550	1.42	21	68.6	62.6	1.590	
				24	67.8	60.0	1.531	
				27	66.5	57.3	1.500	
				30	64.7	54.4	1.485	
11.6	21.3	0.367	1.27	21	68.6	60.6	1.347	
				24	67.8	57.9	1.316	
				27	66.5	55.0	1.301	
				30	64.7	52.1	1.293	

¹ LNA: 输出满量程 = 差分4.4 V峰峰值。

² 滤波器: 损耗 ~ 1 dB, NBW = 13.3 MHz, GAIN- = 0.8 V。

³ ADC: 40 MSPS, 70 dB SNR, 2 V p-p满量程输入。

⁴ 最小VGA增益 (VGA为主的)时的输出动态范围。

⁵ 最大VGA增益 (LNA为主的)时的输出动态范围。

⁶ 最大VGA增益时的通道噪声。

图8显示相对于各种LNA和VGA增益设置，能实现的敏感度和动态范围间的权衡考量。

例如，当VGA设定为最小增益电压时，TGC路径主要是VGA噪声，可实现最大输出信噪比。但随着后置放大器增益选项的增加，折合到输入端的噪声随之降低，信噪比性能也下降。

如果VGA设定为最大增益电压时，TGC路径主要是LNA噪声，折合到输入端的噪声达到最低，但输出信噪比性能也下降。TGC (LNA + VGC)增益越高，输出信噪比就越低。随着后置放大器增益增加，折合到输入端的噪声也降低。

低增益时，VGA应限制系统噪声性能(信噪比)；高增益时，噪声取决于噪声源和LNA。最大电压摆幅则受ADC满量程输入电压峰峰值(2 V p-p)的限制。

TGC路径的每个部分中，LNA和VGA的满量程范围不同。范围值取决于每个功能框的增益设置，以及GAIN+与GAIN-引脚电压。LNA有三个范围值，即，通过SPI实现的满量程设置值。同样，VGA也有四个后置放大器增益设置可通过SPI实现。GAIN±引脚电压确定放大器(LNA或VGA)饱和的先后顺序。0.1 dB压缩之前，LNA输出端的最大信号输入电平与GAIN±引脚电压成函数关系，为SPI可选增益选项，如图40至42所示。

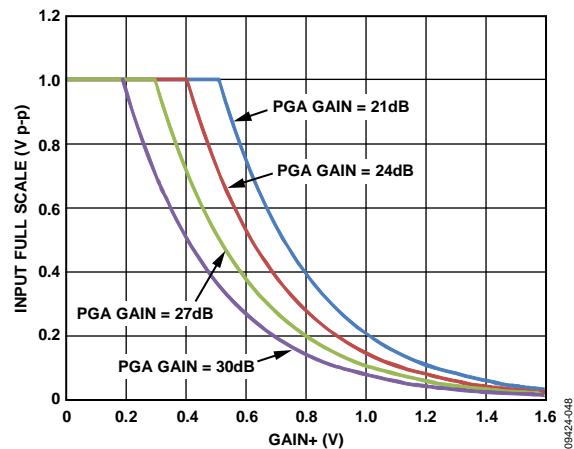


图40. LNA(15.6 dB增益设置)/VGA满量程范围

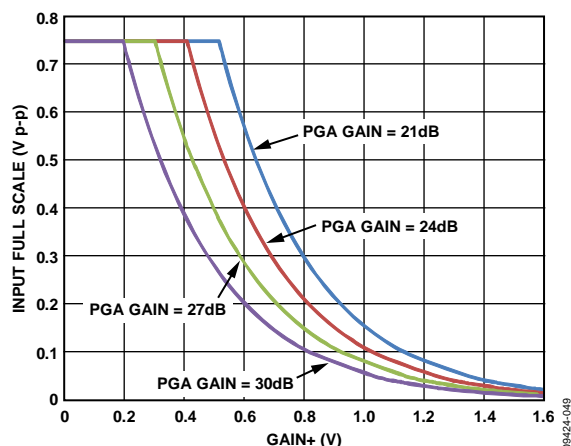


图41. LNA(17.9 dB增益设置)/VGA满量程范围

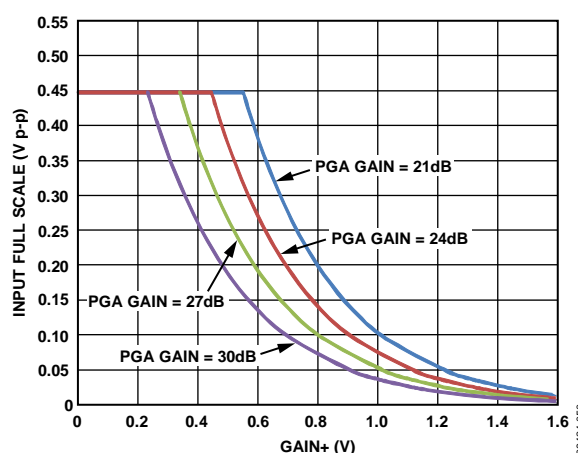


图42. LNA(21.3dB增益设置)/VGA满量程范围

低噪声放大器(LNA)

良好的系统灵敏度依赖于信号链始端LNA专有超声噪声，可将随后的VGA噪声分配降至最低。在输入阻抗匹配有利的应用中，有源阻抗控制使噪声性能最佳。

LNA输入LI-x容性耦合至源。片上偏置电压发生器产生约2.2 V的直流输入偏置电压，将输出共模电平集中在1.5 V(2分之一AVDD2)。电容 C_{LG} 的值与输入耦合电容 C_s 的值相同，与LG-x引脚相连并接地。

强烈建议通过LG-x引脚构成开尔文连接，连接至输入端或探头接地。简单地将LG-x引脚在器件附近接地，会导致不同地的电位差通过LNA放大。通常会产生一个直流偏移电压，该电压值随不同通道和器件而异，具体取决于应用和PCB的布局。

LNA支持4.4 V p-p标称差分输出电压，与1.5 V的共模电压正负偏移了 ± 1.1 V。LNA差分增益可设定饱和前的最大输入信号。三个增益中的其中之一可通过SPI设置。过载保护可确保从大输入电压状态下快速恢复。因为输入端都容性

耦合至电源电压一半左右的偏置电压，所以无需与ESD保护交互，便可处理大的输入电压。

借助低值反馈电阻和输出级的电流驱动能力，LNA可以实现 $1.3 \text{ nV}/\sqrt{\text{Hz}}$ 的低折合到输入端噪声电压(增益为21.3 dB)。片上电阻匹配产生精确的单端增益，这对准确阻抗控制很关键。由于采用全差动拓扑和负反馈，使失真减至最低。低二阶谐波失真在二次谐波超声成像应用中尤其重要。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶谐波失真。

有源阻抗匹配

LNA内置单端电压增益放大器，具有差分输出端，外部可提供负输出端。例如，固定增益为 $8\times$ (17.9 dB)时，在负输出引脚LO-x和正输入引脚LI-x间连接反馈电阻，形成有源输入端。通过这种众所周知技术可以在单一系统中连接多个探头阻抗。输入阻抗如式1所示。

$$R_{IN} = \frac{R_{FB}}{1 + (A/2)} \quad (1)$$

其中：

A/2为单端增益或LI-x输入端至LO-x输出端的增益。

R_{FB} 是 R_{FB1} 和 R_{FB2} 的组合阻抗(参见图38)。

因为放大器的输入端至差分输出端具有 $8\times$ 增益，所以必须注意，A/2是LI-x引脚至LO-x引脚的增益，比放大器的增益小6 dB，即12.1 dB (4倍)。一个15 k Ω 的内部偏置电阻与Pin LI-x相连的源电阻并联减小了输入电阻值，LG-x引脚交流接地。式2用来计算得出特定 R_{IN} 所需要的 R_{FB} ，即便是较大 R_{IN} 值。

$$R_{IN} = \frac{R_{FB}}{(1 + 4)} \parallel 15 \text{ k}\Omega \quad (2)$$

例如，要设置 R_{IN} 为200 Ω ，则 R_{FB} 值必须为1000 Ω 。如果用简化式(式2)计算 R_{IN} ，则该值为194 Ω ，增益误差要小于0.27 dB。一些因素，诸如存在动态源电阻，可能会更明显地影响绝对增益精度。高频率下，必须考虑LNA的输入电容。用户必须确定匹配精度水平并相应调整 R_{FB} 。

LNA带宽(BW)大于100 MHz。最终，LNA的带宽会限制合成 R_{IN} 的精度。若 $R_{IN} = R_S$ 最高约200 Ω ，那么最佳匹配介于100 kHz与10 MHz之间，此时，较低频率限制由交流耦合电容的大小确定，上限由LNA BW确定。此外，输入电容和 R_S 限制了更高频的BW。图43显示了各种 R_{FB} 值时 R_{IN} 与频率的关系。

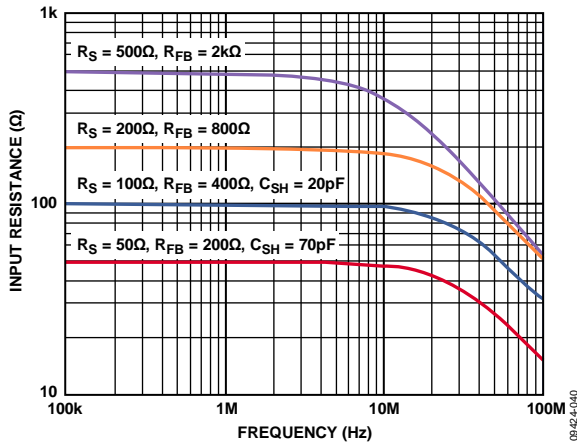


图43. 各种 R_{FB} 值时与 R_{IN} 与频率的关系 (同时显示 R_{SH} 和 C_{SH} 的影响)

应当注意，在 R_{IN} 最低值(50 Ω)时、 R_{IN} 峰值会出现在频率大于10 MHz时，这是因为LNA BW滚降的关系。

但 R_{IN} 值较大时，在LNA到达峰值前，寄生电容开始滚降信号BW。 C_{SH} 进一步降低了匹配度；因此， C_{SH} 不应用于 R_{IN} 值大于100 Ω 的情形中。

表9列出了根据 R_{IN} 的情况 R_{FB} 和 C_{SH} 的推荐值。

C_{FB} 需要与 R_{FB} 串联，因为LO-x引脚和LI-x引脚的直流电平不相等。

表9. 有源匹配外部元件值

LNA增益 (dB)	R_{IN} (Ω)	R_{FB} (Ω)	最小值 C_{SH} (pF)	带宽 (MHz)
15.6	50	200	90	57
17.9	50	250	70	69
21.3	50	350	50	88
15.6	100	400	30	57
17.9	100	500	20	69
21.3	100	700	10	88
15.6	200	800	不适用	72
17.9	200	1000	不适用	72
21.3	200	1400	不适用	72

LNA噪声

短路噪声电压(折合到输入端噪声)是系统性能的一个重要限制因素。增益为21.3 dB时，LNA的短路噪声电压为1.3 nV/ \sqrt{Hz} ，包括VGA后置放大器增益27 dB时的VGA噪声。这些测量值在无反馈电阻情况下测定，为计算不同配置的输入噪声和噪声系数性能提供了基础。如图44所示。

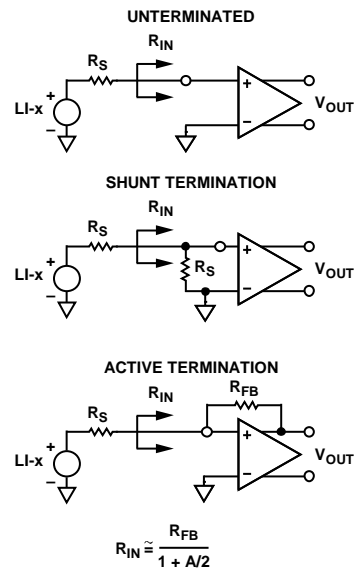


图44. 输入配置

图45和46显示噪声系数与 R_S 关系的仿真结果。其中使用上述配置，VGA折合到输入端的噪声电压为3.5 nV/ \sqrt{Hz} 。无端接 ($R_{FB} = \infty$) 运行达到了最低等效输入噪声和噪声系数。图46显示噪声系数与源电阻上升的关系， R_S 较低时，LNA电压噪声比源噪声大； R_S 较高时，是因为噪声源于 R_{FB} 。当 R_S 与 R_{IN} 匹配时，噪声系数最低。

输入阻抗匹配主要是为了提高系统的瞬态响应。采用分流器端接时，因为匹配电阻的热噪声，以及LNA输入电压噪声发生器的贡献增加，输入噪声增大。不过，采用有源端接时，两者的贡献比分流器端接时小(系数为 $1/(1 + \text{LNA 增益})$)。

图45显示相应的噪声系数性能。LNA增益为21.3 dB时，输入阻抗被 R_S 扫描以保持每个点的匹配。50 Ω 源阻抗在端接分流器、有源端接和无端接配置时的噪声系数分别为7.3 dB、4.2 dB和2.8 dB。200 Ω 源阻抗的噪声系数分别为4.5 dB、1.7 dB和1.0 dB。

图46显示各种 R_{IN} 值时 R_S 相关噪声系数，有助于顺利完成设计。

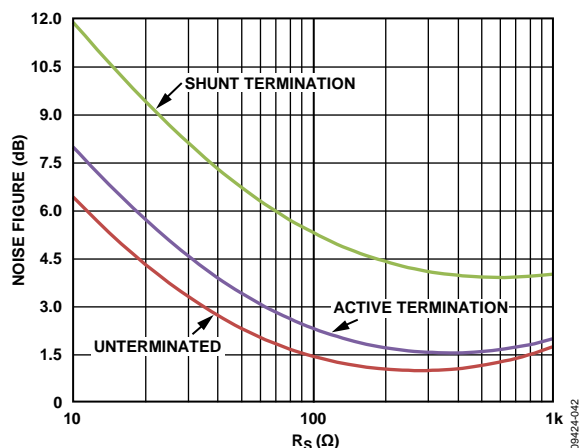


图45.分流器端接、有源端接匹配和无端接输入时的噪声系数和 R_S 的关系, $V_{GAIN} = 1.6 V$

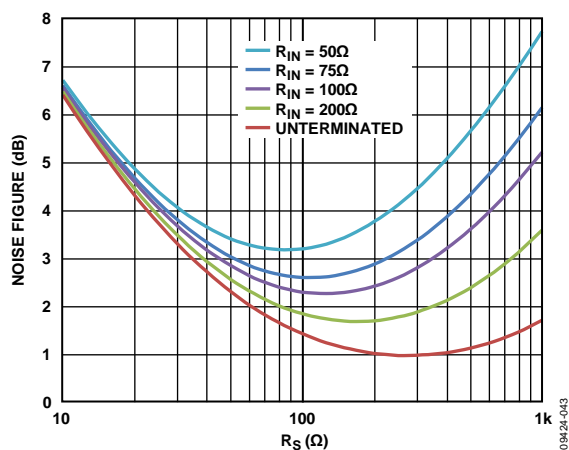


图46.各种 R_{IN} 固定值,有源端接匹配输入, $V_{GAIN} = 1.6 V$ 时噪声系数和 R_S 的关系

输入过驱

在超声系统中,最重要的是出色的过载表现。LNA和VGA都内置过驱保护,能在过载事件后快速恢复。

跟任何放大器一样,如果应用易受到高瞬态电压的影响,强烈推荐在输入端前进行电压钳位。

图47显示简化的超声传感器接口。普通的传感器元件具有发射与接收超声能量双重功能。在发射阶段,将向陶瓷基元施加高压脉冲。典型发射/接收(T/R)开关由四个采用桥式配置的高压二极管组成。尽管理想状态下,二极管会阻止来自灵敏接收机输入端的发射脉冲,但二极管特性并不完美,所以LI-x输入端的泄漏瞬态可能会有问题。

外部输入过载保护方案也包括一对钳位二极管,此二极管应位于交流耦合电容前。注意,所有二极管都容易出现一定量的散粒噪声。许多类型的二极管可用于实现所需的噪声性能。图47所示的配置中往往会增加 $2 \text{ NV}/\sqrt{\text{Hz}}$ 折合成输入端噪声。根据不同的应用,降低 $5 \text{ k}\Omega$ 的电阻和增加 $2 \text{ k}\Omega$ 的电阻可能会改善噪声分布。如图47所示,增加了二极管后, $\pm 0.5 \text{ V}$ 或更低的钳位电平显著提高了系统的过载性能。

由于超声系统是一种脉冲系统,传播时间用于确定深度,因此从输入过载中快速恢复的功能是至关重要的。前置放大器和VGA会出现过载情况。紧接着发射脉冲后,典型VGA增益较低,LNA受到T/R开关泄漏过载的影响。随着增益的增加,因为近场和声学高密度材料(如骨)造成的强回波可能会引起VGA发生过载。

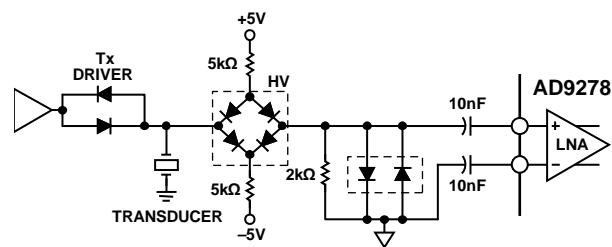


图47.输入过载保护

可变增益放大器(VGA)

X-AMP差分VGA提供精确输入衰减和插值。具有 $3.5 \text{ NV}/\sqrt{\text{Hz}}$ 低折合到输入端噪声和出色的增益线性。VGA由LNA的全差分输入信号驱动。X-AMP架构具有线性dB增益法则一致性和低失真水平，仅偏离理想值 $\pm 0.5 \text{ dB}$ 或更少。增益斜率相对于控制电压单调无变化，在过程、温度和电源供应发生变化时相对稳定。由此产生的总增益范围是45dB，在端点损失范围之内。

X-AMP输入端为可编程增益反馈放大器(PGA)的一部分，使得VGA成为一个完整的器件。VGA的PGA增益可编程设置为21 dB、24 dB、27 dB或30dB。这样，使超声系统不同成像模式的通道增益得到优化。VGA带宽约为100 MHz。输入级设计用于确保整个增益设置范围内出色的频率响应一致性。TGC模式下，能在整个增益范围内最大限度地减少时间延迟变化。

增益控制

增益控制接口GAIN \pm 为差分输入端。通过插值器选择连接到输入衰减器的适当输入级，VGAIN可以改变所有VGA的增益。对于0.8 V GAIN $^-$ ，28 dB/V标称GAIN $^+$ 范围为0 V至1.6 V，最佳增益线性度约为0.16 V至1.44 V，误差通常小于 $\pm 0.5 \text{ dB}$ 。GAIN $^+$ 电压大于1.44 V和低于0.16 V时，误差增大。无增益叠影(foldover)时，GAIN $^+$ 值可超过电源电压1 V。

增益控制响应时间小于750ns，是最小到最大增益变化最终值的10%。

GAIN $^+$ 和GAIN $^-$ 引脚有两种连接方式。可以使用单端法，即开尔文连接至地，如图48所示。用于驱动多个设备时，最好是使用差分法，如图49所示。对于任何一种方法，GAIN $^+$ 和GAIN $^-$ 引脚都应采取直流耦合，并驱动以适合1.6 V满量程输入。

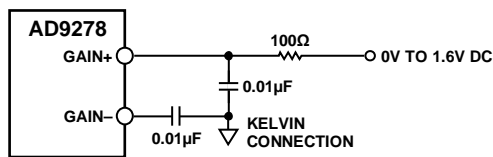


图48. 单端GAIN \pm 引脚配置

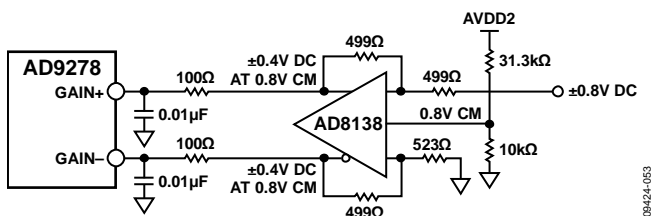


图49. 差分GAIN \pm 引脚配置

VGA 噪声

典型应用中，VGA压缩宽动态范围输入信号至ADC输入范围内。LNA折合到输入端噪声限制了最小可分辨输入信号；而折合到输出端噪声(主要取决于VGA)限制了最大瞬时动态范围，该范围可以在任何一个特定的增益控制电压下处理。折合到输出端噪声范围根据ADC的总噪底设置。

短路输入条件下，折合到输出端噪声与GAIN $^+$ 成函数关系，如图7、图8和图10所示。输入噪声电压等于输出噪声除以控制范围内每一点的测量增益。

在大部分增益范围内，因为以VGA折合到输出端固定噪声为主，所以折合到输出端噪声均为 $50 \text{ NV}/\sqrt{\text{Hz}}$ (后置放大器增益=24 dB)。在增益控制范围高端部分，则主要是LNA噪声和源噪声。在最大增益控制电压附近，折合到输入端噪声为最低值，而VGA折合到输入端的噪声贡献微乎其微。

较低增益时，折合到输入端噪声，以及噪声系数随着增益的下降而增加。系统的瞬时动态范围不会丢失，但是，因为折合到输入端噪声增加，输入容量也随之增加。ADC噪底分布具有同样的相关性。重要的是，VGA输出噪底的幅度是相对于ADC的噪底的幅度而言的。

增益控制噪声在极低噪声应用中值得注意。增益控制接口的热噪声可以调制进通道增益。由此产生的噪声与输出信号电平成正比，通常只有出现大信号时会很明显。增益接口包括片上噪声滤波器，该滤波器能显著降低5 MHz以上频率噪声的影响。应注意尽量减少GAIN \pm 输入端的噪声冲击。外部RC滤波器可用于去除VGAIN源噪声。滤波器带宽应足以满足所需的控制带宽。

抗混叠滤波器(AAF)

信号到达ADC之前，抗混叠滤波器用来抑制直流信号，并限制信号的带宽达到抗混叠的目的。抗混叠滤波器由单极点高通滤波器和二阶低通滤波器组合而成。高通滤波器可配置为与低通滤波器截止频率成一定比例关系。可通过SPI进行选择。

该滤波器采用片上调谐来调整电容，进而设置所需的截止频率并减少变化。 -3 dB 低通滤波器的默认截止频率为ADC采样时钟速率的1/3或1/4.5。截止频率可通过SPI调整至该频率的0.7、0.8、0.9、1、1.1、1.2或1.3倍。截止频率范围可保持在8 MHz至18 MHz范围。

调谐通常关闭以免在关键时刻改变电容设置。调谐电路通过SPI启用和禁用。初始上电后，以及滤波器截止频率缩放比例或ADC采样率重新编程后，必须对滤波器调谐执行初始化。建议在空闲时间偶尔重新调整，以补偿温度漂移。

共有8个SPI可编程设置值，用户可以更改高通滤波器截止频率与低通截止频率的函数关系。表10所示为两个示例：一个是8 MHz低通截止频率，另一个是18 MHz低通截止频率。这两种情况下，低端频率的抑制量随比例下降而逐步增加。因此，使整个AAF频率通带变窄可以减少低频噪声，或者使谐波处理的动态范围最大。

表10. SPI可选的高通滤波器的截止频率选项

SPI设置	比例 ¹	高通滤波器截止频率	
		低通滤波器截止频率 = 8 MHz	低通滤波器截止频率 = 18 MHz
0	12.00	670 kHz	1.5 MHz
1	8.57	930 kHz	2.1 MHz
2	6.67	1.2 MHz	2.7 MHz
3	5.46	1.47 MHz	3.3 MHz
4	4.62	1.73 MHz	3.9 MHz
5	4.00	2.0 MHz	4.5 MHz
6	3.53	2.27 MHz	5.1 MHz
7	3.16	2.53 MHz	5.7 MHz

¹ 比例=低通滤波器的截止频率/高通滤波器的截止频率。

ADC

AD9278采用流水线式ADC架构。各级的量化输出组合在一起，在数字校正逻辑中形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后将数据串行化，并使其与帧和输出时钟对齐。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9278采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置，无需其它偏置。

图50显示了为AD9278提供时钟信号的首选方法。使用RF变压器，可以将低抖动时钟源，如VFAC3-BHL-50 MHz Valpey Fisher振荡器从单端转换成差分。跨接在次级变压器上的钳位肖特基二极管可以将输入到AD9278中的时钟幅度限制为约0.8 V p-p差分信号。这样，既可以防止时钟的大电压摆

幅馈通至AD9278的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

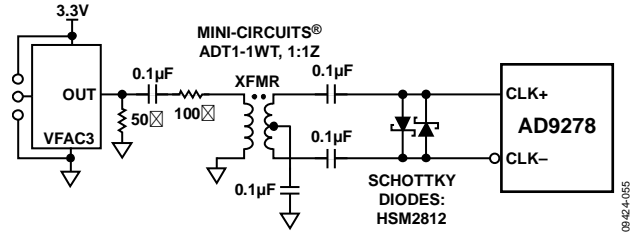
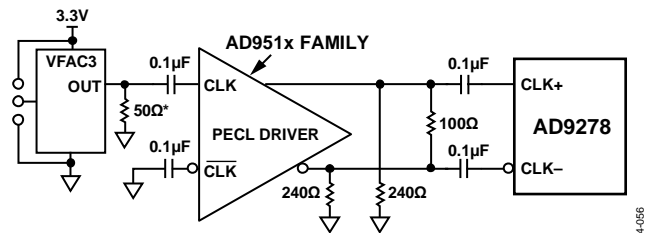


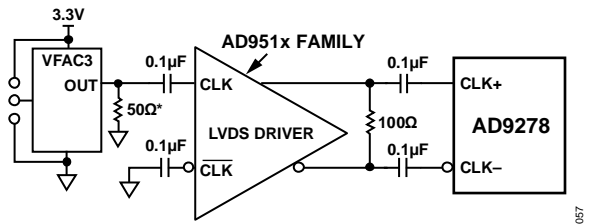
图50. 变压器耦合的差分时钟

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图51所示)。AD951x时钟驱动器系列具有出色的抖动性能。



*50Ω RESISTOR IS OPTIONAL.

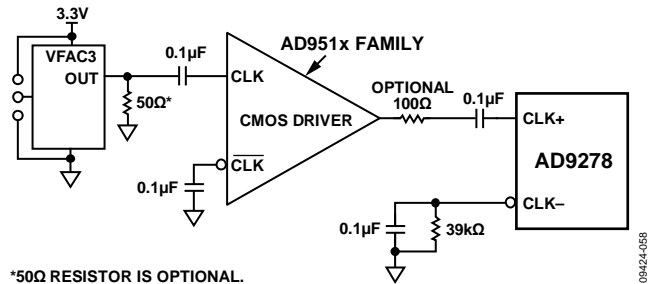
图51. 差分PECL采样时钟



*50Ω RESISTOR IS OPTIONAL.

图52. 差分LVDS采样时钟

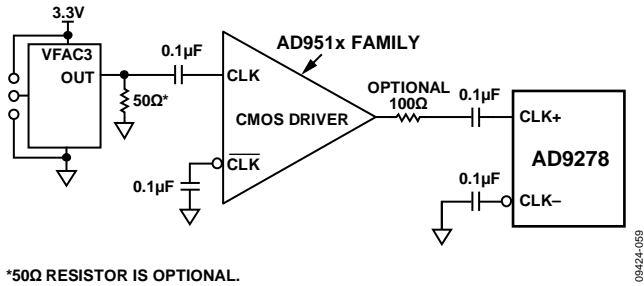
在某些应用中，可以利用单端CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过与39 kΩ电阻并联的0.1 μF电容旁路接地(见图53)。虽然CLK+输入电路电源为AVDD1(1.8 V)，但该输入电路可支持高达3.3 V的输入电压，因此，驱动逻辑的电压选择非常灵活。



*50Ω RESISTOR IS OPTIONAL.

图53. 单端1.8V CMOS采样时钟

AD9278



*50Ω RESISTOR IS OPTIONAL.

图54. 单端3.3V CMOS采样时钟

时钟占空比考虑

典型的高速ADC利用两个时钟沿产生不同的内部定时信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。AD9278内置一个占空比稳定器(DCS)，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响AD9278的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的。但是，有些应用可能要求关闭DCS功能。如果是这样，则在这种模式下工作时，应注意动态范围性能可能会受影响。有关使用此功能的更多详细信息，请参阅表18。

占空比稳定器利用延迟锁定环(DLL)创建非采样边沿。因此，一旦采样频率发生变化，DLL就需要大约8个时钟周期来获取并锁定新的速率。

时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，由于孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$\text{SNR下降幅度} = 20 \times \log_{10}(1/2 \times \pi \times f_A \times t_j)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动)的均方根。中频欠采样应用对抖动尤其敏感(如图55所示)。

当孔径抖动可能影响AD9278的动态范围时，应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动、晶控振荡器为最佳时钟源，如Valpey Fisher VFAC3系列。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要最后在原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756(访问www.analog.com)。

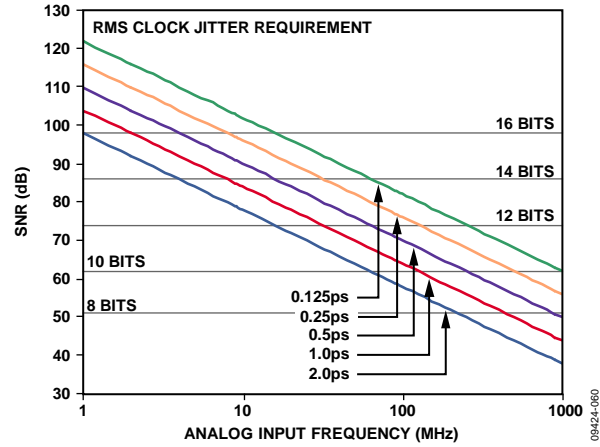


图55. 理想信噪比与输入频率和抖动的关系

功耗和省电模式

如图56和图57所示，AD9278的功耗与其采样速率成比例关系。数字功耗变化不大，因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

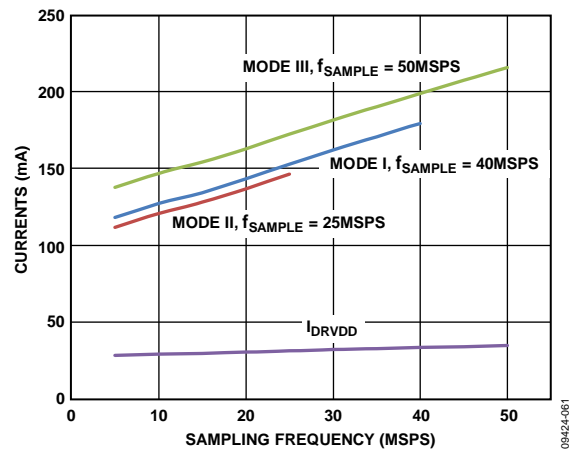


图56. 电源电流与 f_{SAMPLE} 的关系($f_{\text{IN}} = 5 \text{ MHz}$)

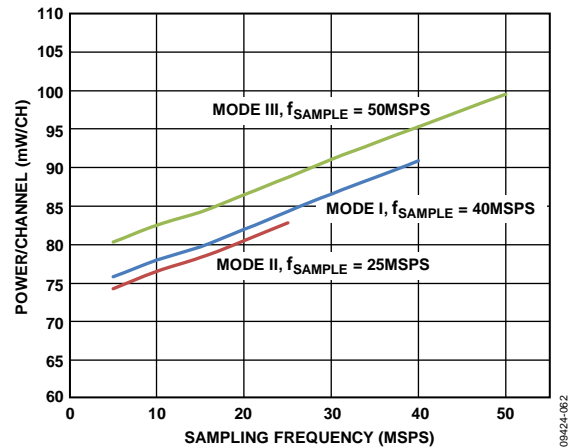


图57. 各通道电源与 f_{SAMPLE} 的关系($f_{\text{IN}} = 5 \text{ MHz}$)

AD9278具有可调整LNA偏置电流特性(见表18，寄存器0x12)。默认LNA偏置电流设置为高。

图58显示每个偏置设置值时AVDD2电流减少的典型值。此外，LNA偏置设置为低时，建议使用寄存器0x10(见表18)调整LNA偏移。

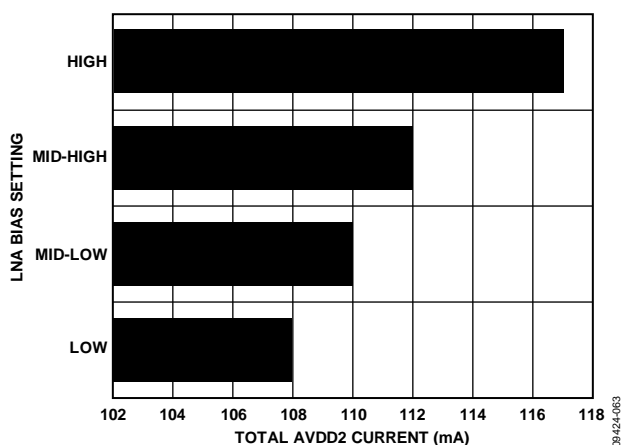


图58.差分LNA偏置设置时的AVDD2电流, $f_{SAMPLE} = 40 \text{ MSPS}$

将PDWN引脚置位高电平，可使AD9278进入省电模式。在这种状态下，器件的典型功耗为5 mW。在省电模式下，LVDS输出驱动器处于高阻抗状态。将PDWN引脚拉低时，AD9278返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

将STBY引脚置位高电平，可使AD9278进入待机模式。在这种状态下，器件的典型功耗为285 mW。待机状态下，除了内部基准电压外，整个器件都断电。LVDS输出驱动器处于高阻抗状态。这种模式非常适合需要省电的应用，因为器件能够在不使用时关断，使用时迅速上电。器件再次上电的时间也大大缩短。将STBY引脚拉低时，AD9278返回正常工作模式。此引脚兼容1.8 V和3.3 V电压。

在省电模式下，通过关闭基准电压、基准电压缓冲器、PLL和偏置网络，可实现低功耗。进入省电模式时，VREF上的去耦电容放电；返回正常工作模式时，去耦电容必须重新充电。因此，唤醒时间跟省电模式时间有关：周期越短，唤醒时间相应地更短。器件全面恢复运作需要约0.5毫秒的时间，建议在VREF引脚使用1 μF 和0.1 μF 的去耦电容，在GAIN \pm 引脚使用0.01 μF 的去耦电容。时间大多取决于增益去耦：GAIN \pm 引脚上的去耦电容值越高，唤醒时间越长。

使用SPI端口接口时，可以使用一些其他的省电选项。用户可以分别关断各通道，或者将整个器件置于待机模式。如需较短的唤醒时间，待机模式下，内部PLL处于通电状态。唤醒时间跟增益有一定的关系。当器件处于待机模式时，要达到1 μs 的唤醒时间，GAIN \pm 引脚必须施加0.8 V的电平。有关使用这些功能的更多详细信息，请参阅表18。

电源和接地建议

当连接电源至AD9278时，建议使用两个独立的1.8 V电源：一个用于模拟(AVDD)，一个用于数字(DRVDD)。如果仅提供一个1.8 V电源，则应先连接到AVDD1引脚，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再连接到DRVDD。用户应针对所有电源使用多个去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置，并尽可能缩短走线长度。

AD9278仅需要一个PCB接地层。只要对PCB的模拟、数字和时钟部分进行适当的去耦和巧妙的分隔，就能轻松实现最佳性能。

数字输出和时序

采用默认设置上电时，AD9278差分输出符合ANSI-644 LVDS标准。通过SPI接口，使用寄存器0x14的第6位，可使其更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。这种LVDS标准可将器件的总体功耗进一步降低约36mW。

LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω 差分端接电阻，因此接收器摆幅标称值为350 mV。

AD9278 LVDS输出便于与具有LVDS能力的定制ASIC和FPGA中的LVDS接收器连接，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω 端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分线布线不佳，可能会导致时序错误。建议走线长度不要超过24英寸，差分输出走线应尽可能彼此靠近且长度相等。图59显示了一个走线长度和位置适当的FCO (CH2)、DCO (CH1)和数据(CH3)流示例。

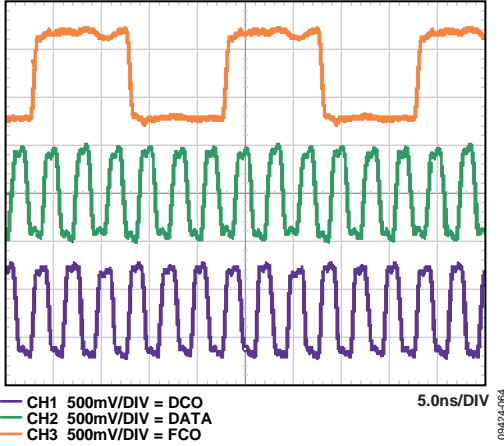


图59. LVDS输出时序示例(默认ANSI-644模式下)

图60显示使用ANSI-644标准(默认)数据眼图(LVDS输出示例)和时间间隔误差(TIE)抖动直方图, 其中走线长度小于24英寸, 并采用标准FR-4材料。图61显示走线长度超过24英寸、采用标准FR-4材料的示例。请注意, 从TIE抖动直方图可看出, 数据眼图开口随着边沿偏离理想位置而减小; 因此, 走线长度超过24英寸时, 用户必须确定波形是否满足设计的时序预算要求。

附加SPI选项允许用户进一步提高所有8路输出的内部端接电阻(因而提高电流), 从而驱动更长的走线(见图62)。虽然这会在数据边沿上产生更陡的上升和下降时间, 更不容易发生比特错误, 并且改善了频率分布(见图62), 但使用此选项会提高DRVDD电源的功耗。

如果因为负载不匹配而要求提高DCO±和FCO±输出的驱动强度, 用户可以通过寄存器0x15将驱动强度提高一倍。为此须设置寄存器0x05中适当的位。注意, 此功能不能使用寄存器0x15的位[5:4], 因为这些位优先于此功能。详情参见表18。

输出数据格式默认为偏移二进制。表11提供了输出编码格式的示例。若要将输出数据格式变为二进制补码, 请参阅存储器映射部分。

表11. 数字输出编码

代码	(VIN+) - (VIN-), 输入范围 = 2 V p-p (V)	数字输出偏移二进制 (D11 to D0)
4095	+1.00	1111 1111 1111
2048	0.00	1000 0000 0000
2047	-0.000488	0111 1111 1111
0	-1.00	0000 0000 0000

来自各ADC的数据经过串行化后, 通过不同的通道产生。每个串行流的数据速率等于12位乘以采样时钟速率, 最大值为600 Mbps(12位 × 50 MSPS = 600 Mbps)。最低典型转换速率为10 MSPS, 但如果特定应用需较低的采样速率, PLL可以通过SPI设置低至5 MSPS的编码速率。有关启用此功能的详细信息, 请参阅表18。

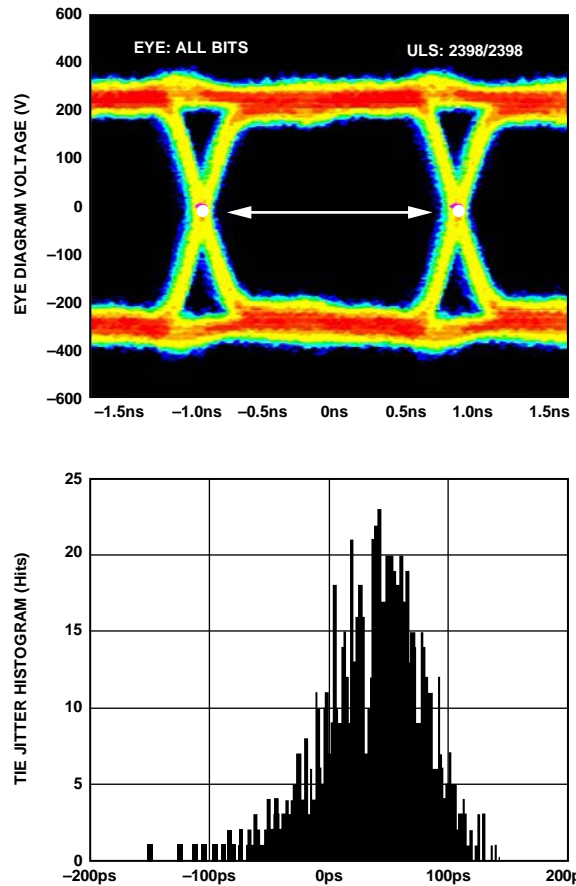


图60. LVDS输出的数据眼(ANSI-644模式, 走线长度小于24英寸, 标准FR-4)

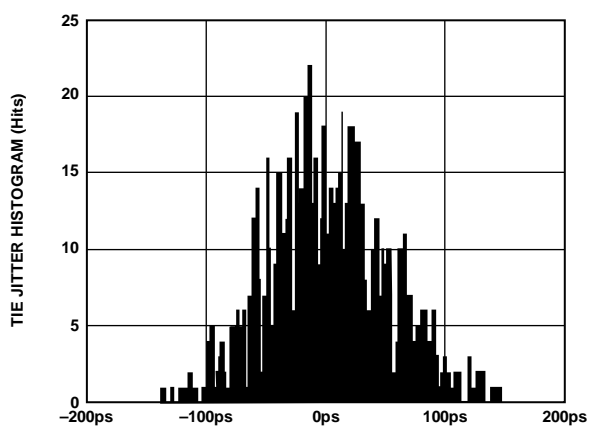
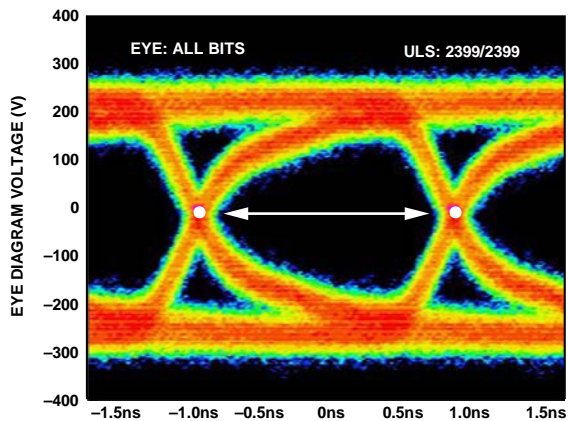


图61. LVDS输出的数据眼(ANSI-644模式, 走线长度大于24英寸, 标准FR-4)

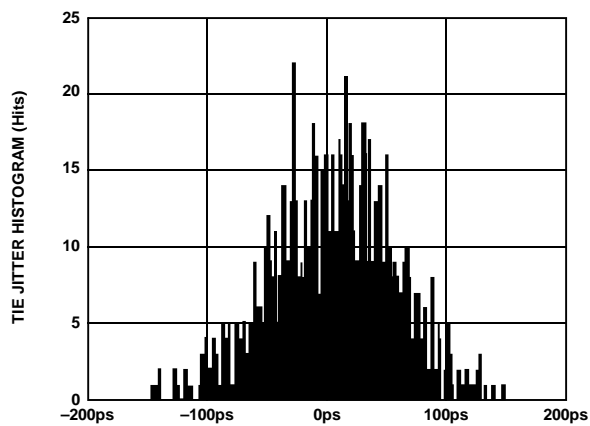
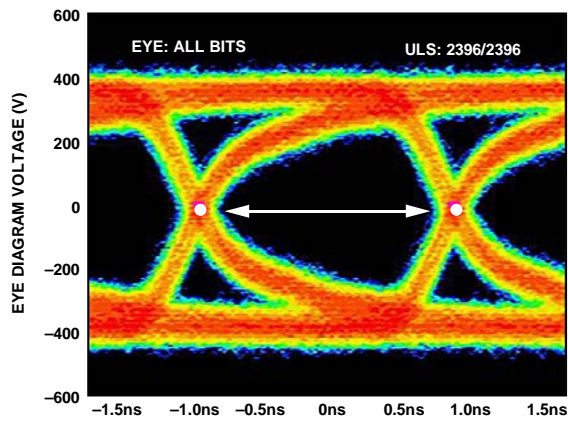


图62. LVDS输出的数据眼(ANSI-644模式, 100 Ω端接电阻, 走线长度大于24英寸, 标准FR-4)

AD9278

为了帮助从AD9278捕捉数据，器件提供了两个输出时钟。DCO±用来为输出数据定时，它等于采样时钟速率的6倍。数据逐个从AD9278输出，必须在DCO±的上升沿和下降沿进行捕捉；DCO±支持双倍数据速率(DDR)捕捉。帧时钟输出(FCO±)用于指示新输出字节的开始，它与采样时钟速率相等。更多信息参见图2所示的时序图。

使用SPI时，DCO±相位可以相对于数据边沿以60°增量进行调整。这样，必要时用户可以优化系统时序余量。DCO+默认时序相对于输出数据边沿为90°，如图2所示。

还可以从SPI启动8、10或14位串行流。这样，用户就可以实现不同串行流并测试与更低和更高分辨率系统的兼容性。当分辨率变为8位或10位串行流时，数据流缩短。当使用14位选项时，数据流会在正常12位串行数据的末尾填充两个0。

使用SPI时，通过设置OUTPUT_MODE寄存器(地址0x14)的位2，所有的数据输出也可以从其标准状态反转。这种方式不要与串行流反转到LSB优先模式相混淆。在默认模

式下，如图2所示，数据输出串行流首先输出MSB。但是，可以将其反转，使数据输出串行流首先输出LSB(见图3)。

通过SPI可以启动的数字输出测试码选项有12个。当验证接收器捕捉和时序功能时，这个功能很有用。可用的输出位序列选项参见表12。一些测试码有两个串行序列字，可以通过各种方式进行交替，具体取决于所选的测试码。注意有些测试码可能并不遵守数据格式选择选项。此外，可以在0x19至0x1C寄存器地址中指定用户定义的测试码。除PN短序列和PN长序列以外，其它测试模式都支持8到14位字长，以便验证接收器的数据捕捉是否成功。

PN短序列测试码产生一个伪随机位序列，每隔 $2^n - 1$ 或511位重复一次。关于PN短序列的说明以及如何产生，请参阅ITU-T 0.150 (05/96)标准的第5.1部分。唯一的不同在于起始值是一个特定值，而不是全1(初始值见表13)。

表12. 灵活的输出测试模式¹

输出测试模式位序列	测试码名称	数字输出字1	数字输出字2	接受数据格式选择
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	1000 0000 0000	相同	是
0010	+满量程短码	1111 1111 1111	相同	是
0011	-满量程短码	0000 0000 0000	相同	是
0100	棋盘形式	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	不适用	不适用	是
0110	PN短序列	不适用	不适用	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户输入	寄存器0x19至寄存器0x1A	寄存器0x1B至寄存器0x1C	否
1001	1/0位反转	1010 1010 1010	不适用	否
1010	1×同步	0000 0011 1111	不适用	否
1011	1位高电平	1000 0000 0000	不适用	否
1100	混合位频率	1010 0011 0011	不适用	否

¹ N/A is not applicable.

PN长序列测试码产生一个伪随机位序列，每隔 $2^{23} - 1$ 或8,388,607位重复一次。关于PN长序列的说明以及如何产生，请参阅ITU-T 0.150 (05/96)标准的第5.6部分。不同之处在于起始值是一个特定值，而不是全1，并且AD9278会根据ITU-T标准反转位流(初始值见表13)。

表13. PN序列

序列	初始值	前三个采样输出 (MSB优先)
PN短序列	0x0DF	0xDF9, 0x353, 0x301
PN长序列	0x29B80A	0x591, 0xFD7, 0x0A3

有关如何通过SPI更改这些附加数字输出时序特性的信息，请参阅“存储器映射”部分。

SDIO引脚

此引脚用于运行SPI。它内置30 kΩ下拉电阻，可拉低该引脚。引脚仅兼容1.8 V电压。如果应用要求以3.3 V逻辑电平驱动此引脚，则应在此引脚上串联一个1 kΩ电阻以限制电流。

SCLK引脚

此引脚用于运行SPI。它内置30 kΩ下拉电阻，可拉低该引脚。引脚兼容1.8 V和3.3 V电压。

CSB引脚

此引脚用于运行SPI。它内置70 kΩ上拉电阻，可拉高该引脚。引脚兼容1.8 V和3.3 V电压。

RBIAS引脚

为设置ADC的内核偏置电流，应在RBIAS引脚上串联一个接地电阻(标称值10.0 kΩ)。建议使用10.0 kΩ电阻，若使用其他电阻作为RBIAS会降低器件的性能。因此，要实现稳定的性能，至少应使用1%容差的电阻。

基准电压源

AD9278内置稳定、精确的0.5 V基准电压源。基准电压在内部放大2倍，将VREF设置为1.0 V，因此ADC的满量程差分输入范围为2.0 V p-p。VREF默认为内部设置，但也可以用1.0 V外部基准电压源驱动VREF引脚，以便提高精度。不过，AD9278不支持低于2.0 Vpp的ADC满量程范围。

对VREF引脚应用去耦电容时，应采用低ESR陶瓷电容。这些电容应靠近基准引脚，并与AD9278处于同一层PCB。VREF引脚应该有一个0.1 μF的电容和一个1 μF的电容并联至模拟地。

建议ADC采用这些电容值以妥善建立和获得下一个有效采样。

基准设置可以使用SPI来选择。设置允许两种选择：使用内部基准电压或外部基准电压。内部基准电压选项为默认设置，相应的差分范围为2 V pp。

表14.SPI可选择的基准电压设置

SPI选择模式	相应的VREF (V)	相应的差分范围 (V p-p)
外部基准电压	不适用	2 × 外部基准电压
内部基准电压(默认)	1.0	2.0

CW多普勒操作

AD9278每个通道都有一个I/Q解调器。每个解调器具有一个单独的可编程移相器。I/Q解调器是医疗超声领域相控阵波束形成应用的理想选择。每个通道都可以通过SPI端口选择16延迟状态/360°(或22.5°/步进)。该器件的RESET输入端用来同步每个通道的LO分频器。如果使用多个AD9278，共有跨阵列RESET可确保所有通道相位同步。AD9278的内部通道I和Q的输出电流进行求和。如果使用多个AD9278，每个AD9278都能进行I和Q输出电流求和，并使用外部跨导放大器转换为电压。

正交产生

内部0°和90°的LO数字相位都由4分频逻辑电路产生。分频器支持直流耦合输入，本身为宽带；最高LO频率只能通过开关速度来限制。正交LO信号的占空比本身为50%，不受外部连接4LO输入不对称的影响。此外，利用分频器以满足4LO信号对产生内部LO信号的最终触发器重新计时，从而最大限度地减少分频电路引入的噪声。

为了获得最佳性能，4LO输入为差分驱动，同AD9278评估板(见“订购指南”)。每个引脚上的共模电压约为1.2 V，标称电源电压3 V。重要的是，要获得CW信号链的最佳性能，须确保LO源有非常低的相位噪声(抖动)、快速压摆率以及充足的输入电平。

波束形成应用需要精确的通道间相位关系，实现多通道之间的一致性。不同AD9278在数个阵列使用时，采用RESET引脚同步LO分频电路。多个AD9278通电后，RESET引脚将分频器复位到已知状态。使用一个以上AD9278时，只能通过RESET引脚上的同一脉冲实现精确的通道间相位匹配。

I/Q解调器和移相器

I/Q解调器由多个双平衡无源混频器组成。RF输入信号通过跨导级转换成电流，跨导级具有最大差分输入信号处理能力，与LNA输出满量程相匹配。这些电流然后注入混频器，混频器将其转换为基带电流(RF - LO)和两倍射频电流(RF + LO)。根据SPI锁存器中的编程设置码(见表15)，信号发生相移。整体电路具有相移功能。表15第1栏所列的相移定义为基带I或Q输出通道之间的相移。例如，对于AD9278两个RF输入端的同一信号，对于匹配的相位编码，基带输出端同相。但是，如果通道1的相位编码是0000，通道2的是0001，那么通道2的输出领先通道1的输出22.5°。

表15.通道间相移的相位选择码

Φ 移位	I/Q解调相位 (SPI寄存器0x2D [3:0])
0°	0000
22.5°	0001
45°	0010
67.5°	0011
90°	0100
112.5°	0101
135°	0110
157.5°	0111
180°	1000
202.5°	1001
225°	1010
247.5°	1011
270°	1100
292.5°	1101
315°	1110
337.5°	1111

动态范围和噪声

图63为AD9278所有八个通道的互连框图。如图所示，通过线“或”技术连接输出端，可轻松添加求和更多通道(ADA4841用作求和放大器时最多达32个)。在波束形成应用中，多个接收通道的I和Q输出端被求和。该系统的动态范围增加比例为 $10 \log_{10}(N)$ ，其中N指通道数(假设为随机无关噪声)。图63的8通道示例中，噪声增加了9 dB，而信号变为四倍(18 dB)，总的信噪比改善值为 $(18 - 9) = 9$ dB。

CW信号路径的折合到输出端噪声取决于LNA增益、外部求和放大器的选择、和 R_{FILT} 值。要确定折合到输出端噪声，重要的是要知道有源低通滤波器(LPF)的 R_{FILT} 和 C_{FILT} 值，如图63所示。单一通道典型滤波器 R_{FILT} 值为2kΩ， C_{FILT} 为0.8 nF，此时可实现100 kHz的单极低通滤波器。在八个通道合成的情况下， R_{FILT} 和 C_{FILT} 为250Ω和6.4nF。

如果RF和LO偏移10 kHz，那么解调信号为10kHz并通过LPF。从RF输入端至ADA4841输出端的单通道混合增益(例如 $I1'$ ， $Q1'$)近似为LNA增益，其 R_{FILT} 为2 kΩ， C_{FILT} 为0.8 nF。

增加滤波器电阻，同时保持截止频率，即可提高该增益。限制增益幅度的因素是输出摆幅，以及根据I-V转换器而选定的运算放大器(在此例中是ADA4841)的驱动能力。任何放大器的驱动能力都有限，所以可以将有限多个通道进行求和。通道求和范围与放大器的电流驱动能力直接相关，该放大器用来实现有源低通滤波器和电流-电压转换器。使用ADA4841时，最多支持AD9278的32个通道。也就是说，四个AD9278 ($4 \times 8 = 32$ 个通道)可使用ADA4841求和。

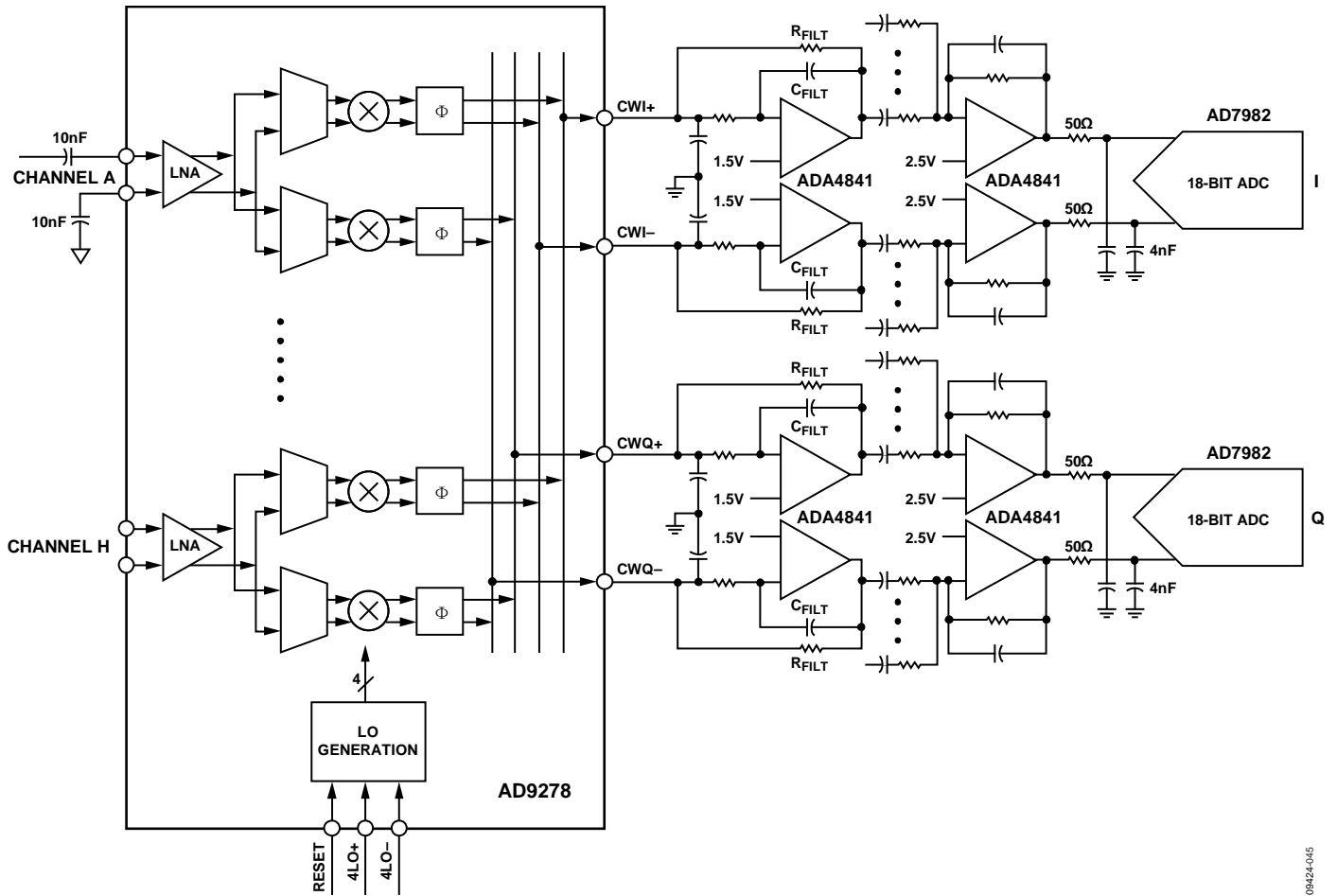


图63. CW模式下I/Q输出端的典型连接接口

相位补偿和模拟波束形成

波束形成在医疗超声中定义为对多基元超声传感器在不同时间接收的同源信号进行相位对准并求和。波束形成有两个功能：指定传感器发射方向，提高其增益；确定人体内的焦点，即产生回波的位置。AD9278 I/Q解调器的主要应用在超声CW多普勒模拟波束形成电路中。

现代医学应用超声设备采用多通道接收器实现波束形成。典型CW多普勒阵列最多达64个接收通道，这些通道经相移并求和用于提取相干信息。使用多个接收器时，可对来自每个通道的所需信号求和而产生一个大信号(增加N倍，N为通道数)，噪声以通道数的平方根数增加。这种技术提高了设备的信噪比性能。波束形成器设计的关键要素是时域输入信号的对齐方法以及将个别信号求和为复合整体的方法。

在集成多普勒功能的传统模拟波束形成器中，每通道有一个V-I转换器和交叉点开关，然后接无源延时线作为组合

相移器和求和电路。系统通过延时线以载波频率(RF)运行，各个通道的信号通过延时线求和，然后合并信号由I/Q解调器下变频。解调器的动态范围会限制可实现的动态范围。

由此产生的I和Q信号经过滤波，然后通过两个高分辨率模数转换器采样。采样信号经过处理，可提取多普勒相关信息。

或者，射频信号在每个通道上分别进行下变频处理，并对下变频信号进行相移，然后合并所有通道。因为波束形成在解调之后使动态范围扩展，所以解调器的动态范围对输出动态范围的影响不大。AD9278就是采用这种架构。每个通道上的I/Q解调器进行下变频，求和的电流输出与延迟线方法相同。经I-V转换后的滤波器和ADC也类似。

AD9278

在CW多普勒操作中，AD9278集LNA、相移器、变频器和I/Q解调器于一体，并直接产生基带信号。图64是简化图，显示的是四个通道的情况。超声波由超声探头里的4个传感器元件(TE1-TE4)接收，并产生信号E1-E4。此例中，TE1的相位以45°领先TE2的相位。

实际应用中，相位差取决于基元间距、波长(λ)、波速、入射角以及其他因素。图64中，信号E1-E4由低噪声放大器放大。为达到最佳信噪比性能，LNA输出直接应用于解调器输入。要对E1-E4信号求和，将通道2的相位编码设置为0010，使E2相对于E1移相45°；E3移相90°(相位编码为0100)；以及E4移相135°(相位编码为0110)。AD9278输出端的相位对准电流信号在I - V转换器中求和，为合并的输出信号提供四个通道的动态范围改善(理论值6 dB)。

CW应用信息

RESET引脚用来同步AD9278阵列的LO分频器。因为由同一内部LO驱动，任何AD9278的四个通道本质上是同步的。然而，使用多个AD9278时，其分频器可能在不同相位状态唤醒。RESET引脚的功能是对多个AD9278的所有LO信号进行相位对准。

相对于其他AD9278，每个AD9278的4LO分频器开始可以为四种状态之一：0°、90°、180°和270°。每个AD9278 LO分频器内部产生的I/Q信号始终彼此呈90°角，但上电时，同一阵列使用的多个AD9278的分频器之间可能发生相移。

RESET机制也可以进行RF输入至输出的非混合增益的测

量。高电平有效RESET脉冲的上升沿任何时间都可能发生；然而，其持续时间最少应 ≥ 20 ns。当RESET脉冲由高向低转变，LO分频器在4LO时钟的下一个上升沿重新激活。为了保证多个AD9278同步运行，在4LO时钟下一个上升沿之前，RESET脉冲必须在所有器件上拉低。

因此，在4LO时钟的下降沿，最好是拉低RESET脉冲；最起码， t_{SETUP} 应该 ≥ 5 纳秒。RESET脉冲的最佳时序设置是：在4LO下降沿拉高，然后在4LO下降沿拉低；这样即使4LO频率为32 MHz (内部LO: 8 MHz)时，建立时间也有15 ns。使用下列程序来检查多个AD9278的同步情况：

1. 通过在串行接口设置适当的通道使能位，每个AD9278至少激活一个通道。
2. 以相同的逻辑状态设置所有AD9278通道的相位编码，例如，0000。
3. 所有设备应用相同的测试信号，以便在基带输出端产生正弦波，用来测量每个器件的每个通道输出。
4. 向所有AD9278施加RESET脉冲。
5. 由于所有AD9278的相位编码都应相同，多台器件的合并信号应比单个通道大N倍。如果合并后的信号比单个通道信号的N倍小，那么单个AD9278的一个或更多LO相位出错。

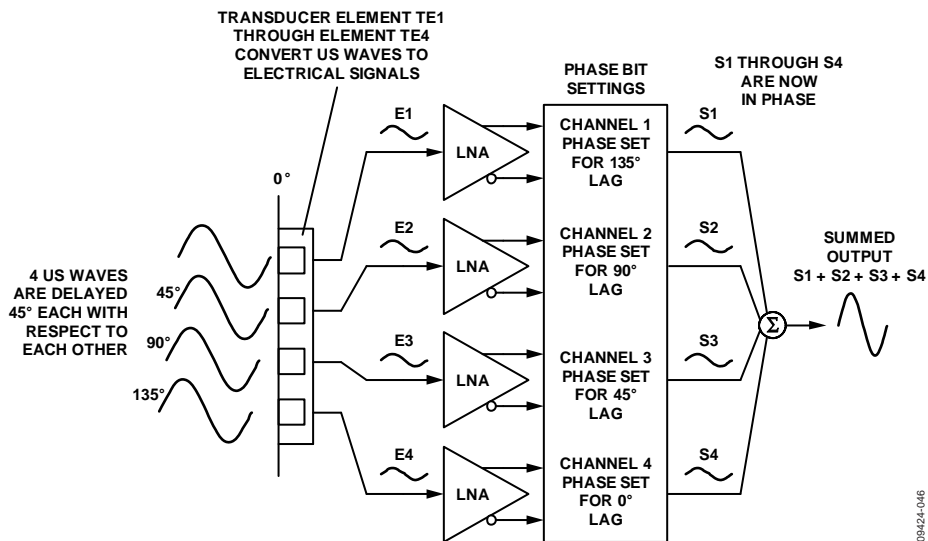


图64.简化的AD9278移相器示例

串行端口接口(SPI)

AD9278串行端口接口允许用户利用芯片内部的一个结构化寄存器空间来配置信号链，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

定义串行端口接口(SPI)的是三个引脚：SCLK、SDIO和CSB(见表16)。SCLK(串行时钟)引脚用于同步提供给器件的读出和写入数据。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部器件存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表16. 串行端口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入。SCLK用来使串行接口的读写操作同步。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号(低电平有效)。用来控制读写周期的选通。

CSB的下降沿与SCLK的上升沿共同决定帧序列的开始。在指令周期传输一条16位指令，然后是一个或多个数据字节，由位域W0和W1决定。图66为串行时序图范例，相应的定义见表17。

正常工作时，CSB用来告知器件准备接收和处理SPI命令。当CSB被拉低时，器件通过SCLK和SDIO来执行指令。一般而言，CSB将保持低电平到通信周期结束。然而，如果与慢速器件相连，可以在两个字节之间拉高CSB，使老式微控制器有足够的时间将数据传输至移位寄存器。当传输一个、两个或三个字节的的数据时，CSB可以保持不变。当W0和W1设置为11时，器件进入流模式并继续处理数据(读出或写入)，直到CSB被拉高以结束通信周期。这样就可以传输整个存储器而无需额外的指令。无论何种模式，如果CSB在字节传输期间被拉高，则SPI状态机复位，器件等待新的指令。

除了操作模式之外，可配置SPI端口以不同的方式操作。对于不需要控制端口的应用，CSB线可以连接并保持高电平。这将把其余SPI引脚置于第二功能模式，如SDIO引脚

和SCLK引脚部分所述。CSB也可以接低电平，以使能双线模式。当CSB接低电平时，通信只需要SCLK和SDIO引脚。虽然器件在上电期间已同步，但在使用此模式时，应注意确保串行端口仍然与CSB线同步。在双线模式下，建议仅使用1、2或3字节传输。无有效CSB线的情况下，可以进入但无法退出流模式。

除了字长，指令阶段还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过调整配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

硬件接口

表16中所描述的引脚构成用户编程器件与AD9278的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

如果多个SDIO引脚共用一个连接，应注意确保其达到正确的 V_{OH} 电平。假设每个AD9278的负载相同，图65显示了可以连在一起的SDIO引脚数量以及相应的 V_{OH} 电平。

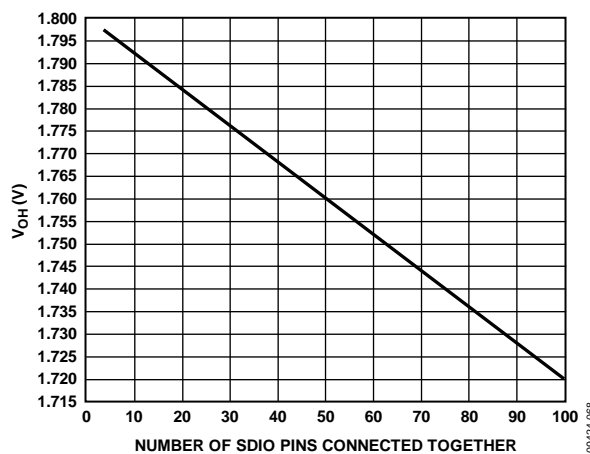


图65. SDIO引脚负载

AD9278

SPI接口非常灵活，串行PROM或PIC微控制器均可控制该接口，因而除了完整SPI控制器之外，用户还可以使用其

它方法对器件编程(参阅应用笔记AN-812)。

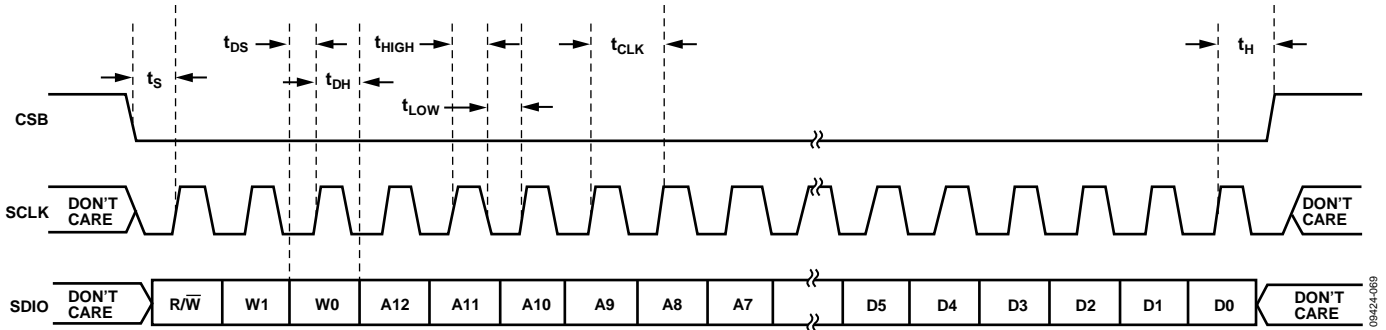


图66. 串行时序详图

表17. 串行时序定义

参数	时间(最小值, ns)	描述
t_{DS}	5	数据与SCLK上升沿之间的建立时间
t_{DH}	2	数据与SCLK上升沿之间的保持时间
t_{CLK}	40	时钟周期
t_s	5	CSB与SCLK之间的建立时间
t_h	2	CSB与SCLK之间的保持时间
t_{HIGH}	16	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	16	SCLK应处于逻辑低电平状态的最短时间
t_{EN_SDIO}	10	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的最短时间(图66未显示)
t_{DIS_SDIO}	10	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的最短时间(图66未显示)

存储器映射

读取存储器映射表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器映射(地址0x00至地址0x02)、器件索引和传送寄存器映射(地址0x04至0xFF)以及程序寄存器映射(地址0x08至地址0x2D)。

存储器映射的第一栏显示寄存器地址号码，倒数第二栏显示默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，地址0x09(时钟寄存器)的默认值为0x01，表示位7 = 0、位6 = 0、位5 = 0、位4 = 0、位3 = 0、位2 = 0、位1 = 0、位0 = 1，或者0000 0001(二进制)。此设置是占空比稳定器在开启状态下的默认值。通过向该地址的位0写入0，然后在寄存器0xFF(传送位)写入0x01之后至，关闭占空比稳定器。在每个写入序列后对传送位写入1以更新SPI寄存器，这点很重要。

除了寄存器0x00、0x04、0x05和0xFF之外的所有寄存器都利用主从锁存器进行缓冲，并要求对传送位写入1。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

保留位置

不得写入未定义的存储器位置，除非写入本数据手册建议的默认值。值标示为0的地址应被视为保留地址，上电期间应将0写入其寄存器。

默认值

复位后，关键寄存器自动加载默认值。表18显示了这些值，其中X表示未定义的特性。

逻辑电平

以下是逻辑电平的说明：“置位”是指将某位设置为逻辑1或向某位写入逻辑1。类似地，“清除位”是指将某位设置为逻辑0或向某位写入逻辑0。

AD9278

表18. AD9278存储器映射寄存器

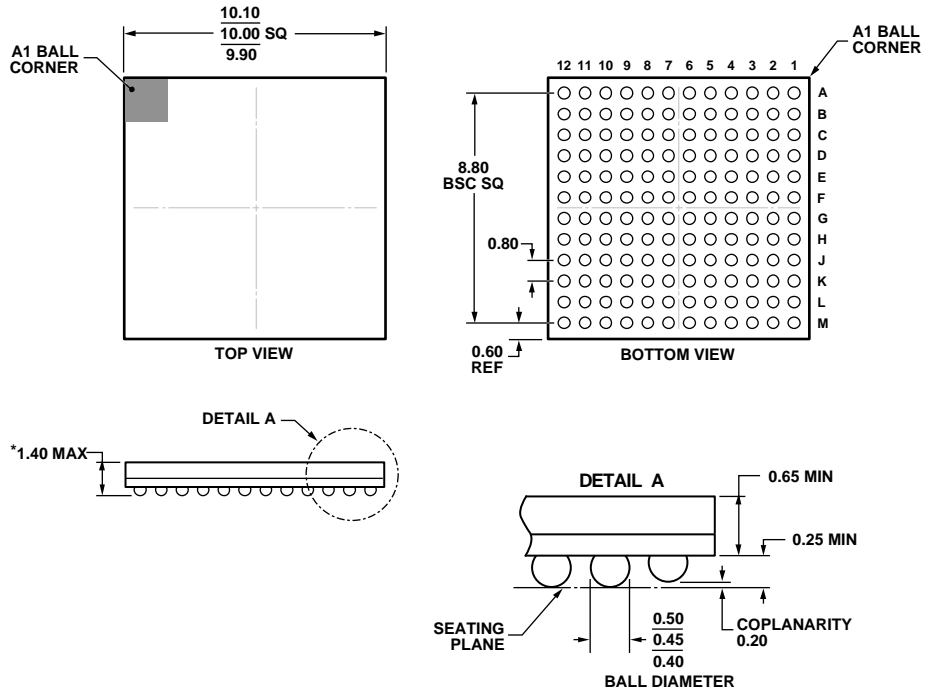
地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	备注
芯片配置寄存器											
0x00	CHIP_PORT_CONFIG	0	LSB优先 1 = 开 0 = 关 (默认)	软复位 1 = 开 0 = 关 (默认)	1	1	软复位 1 = 开 0 = 关 (默认)	LSB优先 1 = 开 0 = 关 (默认)	0	0x18	半字节之间应建立镜像关系, 使得无论在何种移位模式下, 均能正确设置LSB优先或MSB优先模式。
0x01	CHIP_ID	芯片ID位[7:0] (AD9278 = 0x7D), (默认值)								0x7D	默认值为唯一芯片ID, 各器件均不相同。只读寄存器。
0x02	CHIP_GRADE	X	X	高速模式[5:4] (在芯片ID下确定器件等级) 00: 模式I (40 MSPS) (默认) 01: 模式II (25 MSPS) 10: 模式III (50 MSPS)		X	X	X	X	0x00	子ID用来区分ADC速度功耗模。
器件索引和传送寄存器											
0x04	DEVICE_INDEX_2	X	X	X	X	数据通道H 1 = 开 (默认) 0 = 关	数据通道G 1 = 开 (默认) 0 = 关	数据通道F 1 = 开 (默认) 0 = 关	数据通道E 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
0x05	DEVICE_INDEX_1	X	X	时钟通道DCO± 1 = 开 0 = 关 (默认)	时钟通道FCO± 1 = 开 0 = 关 (默认)	数据通道D 1 = 开 (默认) 0 = 关	数据通道C 1 = 开 (默认) 0 = 关	数据通道B 1 = 开 (默认) 0 = 关	数据通道A 1 = 开 (默认) 0 = 关	0x0F	设置这些位以决定哪一个片内器件接收下一个写命令。
0xFF	DEVICE_UPDATE	X	X	X	X	X	X	X	SW传输 1 = 开 0 = 关 (默认)	0x00	从主移位寄存器向从移位寄存器同步传输数据。
程序功能寄存器											
0x08	模式	X	X	X	0	0	I内部省电模式 000 = 芯片运行(默认) 001 = 完全关断 010 = 待机 011 = 复位 100 = CW模式 (TGC PDWN)			0x00	决定芯片运行的一般工作模式。(全局)
0x09	时钟	X	X	X	X	X	X	X	DCS 1 = 开 (默认) 0 = 关	0x01	打开和关闭内部占空比稳定器(DCS)(全局)
0x0D	TEST_IO	用户测试模式 00 = 关(默认) 01 = 开, 单一交替 10 = 开, 单一一次 11 = 开, 交替一次		产生复位PN长序列 1 = 开 0 = 关 (默认)	Reset PN short gen 1 = 开 0 = 关 (默认)	输出测试模式-见表12 0000 = 关(默认) 0001 = 中间电平短路 0010 = +FS短路 0011 = -FS短路 0100 = 棋盘形式输出 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率 (格式由output_mode决定)				0x00	设置此寄存器后, 测试数据将取代正常数据被置于输出引脚上。(局部, 为PN序列)
0x0E	GPO输出	X	X	X	X	通用数字/输出				0x00	各值置于GPO[0:3]引脚上(全局)

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	备注			
0x0F	FLEX_CHANNEL_INPUT	滤波器截止频率控制 0000 = $1.3 \times 1/3 \times f_{\text{SAMPLE}}$ 0001 = $1.2 \times 1/3 \times f_{\text{SAMPLE}}$ 0010 = $1.1 \times 1/3 \times f_{\text{SAMPLE}}$ 0011 = $1.0 \times 1/3 \times f_{\text{SAMPLE}}$ (默认) 0100 = $0.9 \times 1/3 \times f_{\text{SAMPLE}}$ 0101 = $0.8 \times 1/3 \times f_{\text{SAMPLE}}$ 0110 = $0.7 \times 1/3 \times f_{\text{SAMPLE}}$ 1000 = $1.3 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1001 = $1.2 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1010 = $1.1 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1011 = $1.0 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1100 = $0.9 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1101 = $0.8 \times 1/4.5 \times f_{\text{SAMPLE}}$ 1110 = $0.7 \times 1/4.5 \times f_{\text{SAMPLE}}$				X	X	X	X	X	X	X	0x30	抗混叠滤波器截止频率(全局)
0x10	FLEX_OFFSET	X	X	1	0	0	0	0	0	0x20	保留。			
0x11	FLEX_GAIN	X	X	X	X	PGA增益 00 = 21 dB 01 = 24 dB (默认) 10 = 27 dB 11 = 30 dB		LNA增益 00 = 15.6 dB 01 = 17.9 dB 10 = 21.3 dB (默认)		0x06	LNA和PGA增益调整(全局)			
0x12	BIAS_CURRENT	X	X	X	X	1	X	LNA偏置 00 = 高 01 = 中高 (默认) 10 = 中-低 11 = 低		0x09	LNA偏置电流调整(全局)			
0x14	OUTPUT_MODE	X	0 = LVDS ANSI-644 (默认) 1 = LVDS 低功耗 (类似于 IEEE 1596.3)	X	X	X	输出反 相使能 1 = 开 0 = 关 (默认)	数据格式选择 00 = 偏移二进制 (默认) 01 = 二进制补码		0x00	配置输出和数据的格式(位[7:3] 和位[1:0]为全局; 位2为局部)			
0x15	OUTPUT_ADJUST	X	X	输出驱动器端接 00 = v (默认) 01 = 200 Ω 10 = 100 Ω 11 = 100 Ω		X	X	X	DCO \pm 和 FCO \pm 2倍 驱动强度 1 = 开 0 = 关 (默认)	0x00	决定LVDS或其它输出属性。主要功能是设置LVDS范围和共模电平, 代替外部电阻(位[7:1]为全局; 位0为局部)			
0x16	OUTPUT_PHASE	X	X	X	X	输出时钟相位调整 0000 = 相对于数据边沿为0° 0001 = 相对于数据边沿为60° 0010 = 相对于数据边沿为120° 0011 = 相对于数据边沿为180°(默认) 0100 = 保留 0101 = 相对于数据边沿为300° 0110 = 相对于数据边沿为360° 0111 = 保留 1000 = 相对于数据边沿为480° 1001 = 相对于数据边沿为540° 1010 = 相对于数据边沿为600° 1011至1111 = 相对于数据边沿为660°			0x03	用于利用全局时钟分频的器件上, 决定使用分频器输出的哪一个相位来提供输出时钟。内部锁存不受影响。(全局)				
0x18	FLEX_VREF	X	0 = 内部基准电压 1 = 外部基准电压	X	X	X	X	1	1	0x03	选择内部基准电压(推荐的默认值)或外部基准电压(全局)			
0x19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码1, LSB(全局)			

AD9278

地址 (十六进制)	寄存器名称	位7 (MSB)	位 6	位5	位 4	位3	位2	位1	位0 (LSB)	默认值	备注
0x1A	USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码1, MSB(全局)
0x1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的测试码2, LSB(全局)
0x1C	USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的测试码2, MSB(全局)
0x21	SERIAL_CONTROL	LSB优先 1 = 开 0 = 关 (默认)	X	X	X	<10 MSPS, 低 编码 速率 模式 1 = 开 0 = 关 (默认)	000 = 12位(默认, 正常位流) 001 = 8位 010 = 10位 011 = 12位 100 = 14位			0x00	串行流控制(全局)
0x22	SERIAL_CH_STAT	X	X	X	X	X	X	通道 输出 复位 1 = 开 0 = 关 (默认)	通道 关断 1 = 开 0 = 关 (默认)	0x00	用来关断转换器(局部)的独立部分。
0x2B	FLEX_FILTER	X	使能 自动 低通 调谐 1 = 开 (自清零)	X	X	高通滤波器截止频率 0000 = $f_{LP}/12.00$ 0001 = $f_{LP}/8.57$ 0010 = $f_{LP}/6.67$ 0011 = $f_{LP}/5.46$ 0100 = $f_{LP}/4.62$ 0101 = $f_{LP}/4.00$ 0110 = $f_{LP}/3.53$ 0111 = $f_{LP}/3.16$				0x00	滤波器截止频率(全局)(f_{LP} = 低通滤波器截止频率)
0x2C	ANALOG_INPUT	X	X	X	X	X	X	LO-x, LOSW-x 连接 00 = R_{FB1} 01 = $R_{FB1} R_{FB2}$ 10 = R_{FB2} 11 = ∞		0x00	LNA有源端接/输入阻抗(全局)
0x2D	CW多普勒I/Q 解调器相位	X	X	X	CW 多普勒 通道 使能 1 = 开 0 = 关	I/Q解调器相位 0000 = 0° 0001 = 22.5° 0010 = 45° 0011 = 67.5° 0100 = 90° 0101 = 112.5° 0110 = 135° 0111 = 157.5° 1000 = 180° 1001 = 202.5° 1010 = 225° 1011 = 247.5° 1100 = 270° 1101 = 292.5° 1110 = 315° 1111 = 337.5°				0x00	解调器相位(局部)

外形尺寸



*COMPLIANT WITH JEDEC STANDARDS MO-275-EEAB-1 WITH EXCEPTION TO PACKAGE HEIGHT.

图67. 144引脚CSP_BGA芯片级封装 (BC-144-1)
尺寸单位: mm

10-21-2010-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9278-BBCZ	-40°C 至 +85°C	144引脚CSP_BGA封装	BC-144-1
AD9278-50EBZ		评估板	

¹ Z = 符合RoHS标准的器件。

AD9278

注释