

## 特性

高动态范围，双路数模转换器  
 低噪声和互调失真  
 单载波 WCDMA ACLR=80dBc@61.44MHz IF  
 支持高奈奎斯特域频率输出能力  
 双口或单口交织LVCMOS数据输入接口  
 8.6mA到31.7mA的可编程差分输出电流  
 10-bit辅助DAC支持外部模拟信号偏置调整  
 内置1.2v精密偏压  
 1.8v和3.3v供电  
 4线SPI控制接口  
 310mw典型功耗  
 72脚LFCSP封装  
 -40°C ~ +85°C工作温度范围

## 应用

无线通信系统  
 宽带通信  
 仪器、任意波形发生器

## 概述

YD16D250 是双通道、16 位、高动态范围 DAC，最大支持 250Msps 的转换速率，可在奈奎斯特频带内输出多载波宽带信号。YD16D250 内部针对直接变频发射应用做了专门设计，包括增益和偏置补偿。DAC 输出可与模拟正交调制器进行无缝连接。DAC 采用 4 线 SPI 接口，可对 DAC 进行配置、读取等操作。DAC 输出电流可以从 8.6mA 配置到 31.7mA。

## 产品优势

1. 低噪声、低谐波、低交调失真（IMD），可输出高质量宽带信号。
2. 高奈奎斯特域模拟输出功能（混频模式）
3. 可编程差分输出电流能力，从 8.6mA 到 31.7mA。

## 功能框图

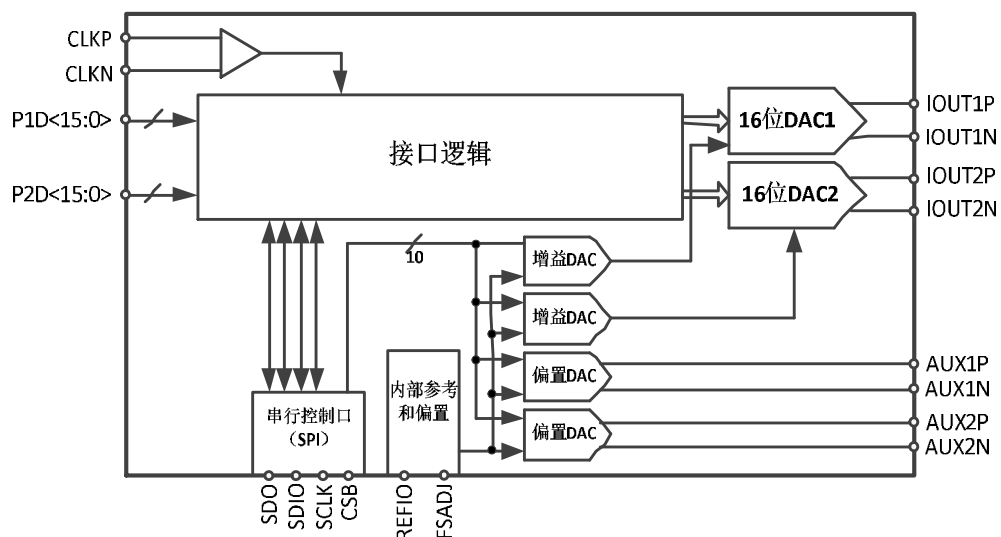


图 1 YD16D250 功能框图

## 目录

特性 .....	1
应用 .....	1
概述 .....	1
产品优势 .....	1
功能框图 .....	1
技术规格 .....	3
直流规格 .....	3
数字规格 .....	4
交流规格 .....	5
最大额定值 .....	6
热力学阻抗 .....	6
引脚配置和功能描述 .....	7
数据格式 .....	9
串口 (SPI) 管脚功能描述 .....	9
串行端口选项 .....	10
SPI 寄存器描述 .....	12
数字输入和输出 .....	14
DAC 的时钟输入 .....	15
模拟接口 .....	15
封装信息 .....	17

## 技术规格

### 直流规格

除非另有说明，测试条件：AVDD33 = 3.3 V、DVDD18 = CVDD18 = 1.8 V、I<sub>FS</sub> = 20 mA、满功率数字输入、f<sub>DAC</sub> = 250Msps。

表 1

参数	最小值	典型值	最大值	单位
分辨率		16		位
精度				
积分非线性 (INL)		±2.0		LSB
差分非线性 (DNL)		±4.0		LSB
DAC 模拟输出				
失调误差		±0.001		% FSR
增益误差 (使用内部参考基准)		±2.0		% FSR
满幅输出电流	8.6		31.7	mA
输出电压范围	-1.0		+1.0	V
输出阻抗		10		MΩ
辅助 DAC 输入输出				
分辨率		10		位
满幅输出电流	-2.0		+2.0	mA
满幅输出电压范围 - 灌电流模式	0.8		1.6	V
满幅输出电压范围 - 拉电流模式	0		1.6	V
输入或输出阻抗		1		MΩ
DAC 温度漂移				
增益		100		ppm/°C
偏移误差		0.1		ppm/°C
参考电压		10		ppm/°C
参考基准源				
内部基准电压		1.2		V
外部输入范围	1.15		1.3	V
输出阻抗		5		kΩ
模拟电源电压				
AVDD33	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	V
数字电源电压				
DVDD33	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	V
供电电流				
I <sub>AVDD33</sub>		57	62	mA
I <sub>DVDD33</sub>		12	17	mA
I <sub>CVDD18</sub>		19	23	mA
I <sub>DVDD18</sub>		33	37	mA

## 数字规格

除非另有说明，测试条件： $AVDD33 = 3.3\text{ V}$ 、 $DVDD18 = CVDD18 = 1.8\text{ V}$ 、 $I_{FS} = 20\text{ mA}$ 、满功率数字输入、 $f_{DAC} = 250\text{ Msps}$ 。

表 2

参数	最小值	典型值	最大值	单位
LVCMOS 数据输入				
输入高电压	2.0			V
输入低电压			0.8	V
输入电流			1	uA
数据到 DAC 时钟建立时间 ( $t_{DBS}$ 双口模式)	400			ps
数据到 DAC 时钟保持时间 ( $t_{DBH}$ 双口模式)	1200			ps
流水线延迟 (双口模式)			7	时钟周期
数据或 IQSEL 输入到 DAC 时钟建立时间 ( $t_{DBS}$ 单口模式)	400			ps
数据或 IQSEL 输入到 DAC 时钟保持时间 ( $t_{DBS}$ 单口模式)	1200			ps
流水线延迟 (单口模式)			8	时钟周期
DAC 时钟输入 (CLKP, CLKN)				
差分峰峰值	400	800	1600	mV
单端峰峰值			800	mV
共模电压	300	400	500	mV
输入电流			1	uA
时钟频率			250	MHz
DAC 时钟输出 (DCO)				
输出高电压	2.4			V
输出低电压			0.4	V
输出电流			10	mA
DAC 时钟到 DCO 延迟 ( $t_{DCO}$ )	2.0	2.2	2.8	ns
SPI 接口				
时钟频率 ( $f_{SCLK}$ )			40	MHz
最小脉宽				
高电平 ( $t_{PWH}$ )	10			ns
低电平 ( $t_{PWL}$ )	10			ns
SDIO 到 SCLK 建立时间 ( $t_{OS}$ )	1			ns
SDIO 到 SCLK 保持时间 ( $t_{OH}$ )	0			ns
CSB 到 SCLK 建立时间 ( $t_{DCSB}$ )	1			ns
CSB 到 SCLK 建立时间 ( $t_{DCSB}$ )	0			ns
SCLK 到 SDIO/SDO 数据有效时间 ( $t_{OV}$ )			1	ns
RESET 高脉宽	10			ns

## 交流规格

除非另有说明，测试条件： $AVDD33 = 3.3\text{ V}$ 、 $DVDD18 = CVDD18 = 1.8\text{ V}$ 、 $I_{FS} = 20\text{ mA}$ 、满功率数字输入、 $f_{DAC} = 250\text{ Msps}$ 。

表 3

参数	最小值	典型值	最大值	单位
无杂散动态范围 (SFDR)				
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=20\text{ MHz}$		80		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=70\text{ MHz}$		70		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=180\text{ MHz}$ (注 1)		65		dBc
交调失真 (IMD)				
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=20\text{ MHz}$		84		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=70\text{ MHz}$		80		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=180\text{ MHz}$ (注 1)		72		dBc
串扰				
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=20\text{ MHz}$		80		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=70\text{ MHz}$		80		dBc
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=180\text{ MHz}$ (注 1)		80		dBc
噪声谱密度 (NSD)				
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=15.36\text{ MHz}$		-164		dBm/Hz
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=61.44\text{ MHz}$		-161		dBm/Hz
$f_{DAC}=250\text{ MSPS}$ 、 $f_{OUT}=184.32\text{ MHz}$ (注 1)		-159		dBm/Hz

注 1：工作在混频模式下

## 最大额定值

表 4

参数	参考	最大范围
AVDD33, DVDD33	AVSS/DVSS	-0.3V 到+3.6V
VDD18, CVDD18	AVSS/DVSS	-0.3V 到+1.98V
AVSS	DVSS	-0.3V 到+0.3V
DVSS	AVSS/CVSS	-0.3V 到+0.3V
CVSS	AVSS	-0.3V 到+0.3V
REFIO	AVSS	-0.3V 到 AVDD+0.3V
IOUT1P/IOUT1N, IOUT2P/IOUT2N	AVSS	-1.0V 到 AVDD18+0.3V
AUX1P, AUX1N		
AUX2P, AUX2N		
CLKP, CLKN	CVSS	-0.3V 到 DVDD18+0.3V
CSB, SCLK, SDO, SDIO, RESET	DVSS	-0.3V 到 AVDD33+0.3V
结温		125°C
储存温度范围		-65°C到+150°C

上述在最大额定值下可能会对器件带来永久性的损坏。器件默认不是功能性工作在上述条件或任何超过上述工作区间的条件下，长时间暴露在最大额定值环境下可能会影响器件的可靠性。

## 热力学阻抗

72 管脚 QFN 封装的裸露焊盘（EPAD）必须焊接到接地层。封装通过 EPAD 形成与电路板的电气和热连接。 $\theta_{JA}$  特指在最差条件下，即器件焊接在表面封装的电路板上。

表 5 热力学阻抗

封装类型	$\theta_{JA}$	单位
72 管脚 QFN	25.0	°C/W <sup>1</sup>

<sup>1</sup> 没有空气流动

## 引脚配置和功能描述

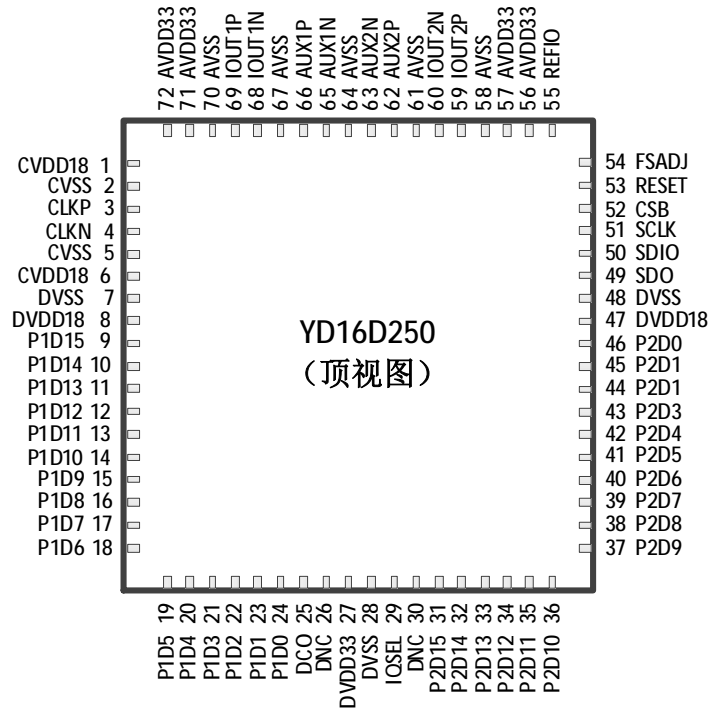


图 2 YD16D250 管脚配置

表 4 YD16D250 管脚功能描述

端口号	端口符号	功能描述
1、6	CVDD18	时钟电路 1.8V 电源
2、5	CVSS	时钟电路地 (0v)
3、4	CLKP, CLKN	差分时钟输入正负端
7、28、48	DVSS	数字地 (0v)
8、47	DVDD18	数字核电压 (1.8v)
9 ~ 24	P1D15 ~ P1D0	数据口 1 输入
26、30	DNC	悬空
25	DCO	数据时钟输出。可用于数据源时钟
27	DVDD33	数字输入/输出供电 (3.3v)
29	IQSEL	单口模式下 1/Q 帧信号
31 ~ 46	P2D15 ~ P2D0	数字输入口 2
49	SDO	SPI 数据输出信号

50	SDIO	SPI 数据输入输出信号
51	SCLK	SPI 时钟输入信号
52	CSB	SPI 片选信号，低有效
53	RESET	硬件复位，高电平复位
54	FSADJ	满量程电流输出调整。需要接 10K 欧电阻到地
55	REF10	基准电压源。1.2v 输出。经 0.1uF 电容到地
56、57、71、72	ADVDD33	模拟供电（3.3v）
58、61、64、67、70	AVSS	模拟地（0v）
59、60	IOUT2P, IOUT2N	DAC2 正负电流输出
62、63	AUX2P, AUX2N	辅助 DAC2 的正负电流输出
66、65	AUX1P, AUX1N	辅助 DAC1 的正负电流输出
68, 69	IOUT1P, IOUT1N	DAC1 正负电流输出
	EPAD	裸露焊盘。焊接到接地层。



## 串行端口（SPI）操作

串行端口（SPI）是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。用户可以通过 SPI 口对 YD16D250 进行读/写操作，访问所有的配置寄存器。支持单字节和多字节数据传输，以及高位优先和低位优先传输模式。串行数据输入输出可以通过一个双向的 SDIO 管脚或两个单向的 SDIO 和 SDO 管脚来实现。串行口的工作模式是有寄存器 0x00 位[7]来控制的，写入该寄存器最后一位后配置立刻生效。

YD16D250 的 SPI 通信周期分为两个阶段。第一阶段是指令周期（将指令字节写入器件），与前 8 个 SCLK 上升沿同步，指令字节向串行端口控制器提供有关数据传输周期（及通信周期第二阶段）的信息，明确即将发生的数据传输是读操作还是写操作，以及数据传输中第一个字节的起始寄存器地址。各通信周期的前 8 个 SCLK 上升沿用于将指令字节写入器件。

当 CSB 管脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的 8 个 SCLK 上升沿代表当前 I/O 操作的指令位。其余 SCLK 的沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期的第二阶段可以传输一个或多个数据字节。

## 数据格式

SPI 端口的指令字节如表 5 所示：

表 5 串口指令字节

I7 (MSB)	I6	I5	I4	I3	I2	I1	I0 (LSB)
R/W	N1	N0	A4	A3	A2	A1	A0

R/W：指令字节位 7 决定指令字节写周期结束后进行读操作还是写操作。‘1’表示读操作，‘0’表示写操作。

N[1:0]：定义数据传输的字节数。00：传输一个字节；01：传输两个字节；10：传输三个字节；11：传输四个字节。

A4~A0：指令字节的位 4~位 0 决定通信周期数据传输阶段要访问的寄存器地址。对于多字节传输，在 MSB 模式下，该地址为结束地址。在 LSB 模式下，该地址是起始字节地址。

## 串口（SPI）管脚功能描述

### 串行时钟（SCLK）

串行时钟管脚用于同步输入/输出器件的数据，并运行内部的状态机。SCLK 能支持的频率为 40MHz，所有数据的输入是在 SCLK 的上升沿，输出是在 SCLK 的下降沿。

### 片选（CSB）

片选信号为低电平有效，用于启动并选通一个通信周期，当片选为高电平时，SDIO 管脚进入高阻状态。在整个 SPI 通信期间，片选信号应当保持低电平。

### 串行数据输入 / 输出 (SDIO)

对器件寄存器的写入操作和数据的读出操作都必须经过该管脚进行，为双向数据口。数据的输入始终是通过该管脚完成的。上电复位后，该管脚默认为双向管脚。

### 串行数据输出 (SDO)

对器件寄存器数据的读出操作，为数据输出口。该管脚的使能是有 0x00 寄存器的位 7 来控制的，当该位设置成 ‘0’ 的时候，SDO 没有数据输出，处于高阻状态。

## 串行端口选项

YD16D250 的 SPI 口支持高位优先 (MSB) 和低位优先 (LSB) 两种数据格式。此功能由 LSB\_FIRST(寄存器 0x00 的位 6) 控制。默认是 MSB 优先 (LSB\_FIRST = 0)。

当 LSB\_FIRST = 0 (MSB 优先) 时，指令和数据位必须按照从 MSB 到 LSB 的顺序写入。采用 MSB 优先格式的多字节数据传输由一个包括最高有效数据字节寄存器地址的指令开始。后续数据字节必须按照从高地址到低地址的顺序传输。在 MSB 模式下，多字节通信周期每传输一个数据字节，串行端口的内部地址产生器便递减 1。

当 LSB\_FIRST = 1 (LSB 优先) 时，指令和数据位必须按照从 LSB 到 MSB 的顺序写入。采用 LSB 优先格式的多字节数据传输由一个包括最低有效数据字节寄存器地址的指令开始。后续数据字节必须按照从低地址到高地址的顺序传输。在 LSB 模式下，多字节通信周期每传输一个数据字节，串行端口的内部地址产生器便递增 1。

如果 MSB 优先模式有效，串行端口控制器的数据地址将从写入 0x00 以进行多字节 I/O 操作的数据地址开始递减。如果 LSB 优先模式有效，串行端口控制器的地址将从写入 0x7F 以进行多字节 I/O 操作的数据地址开始递增。

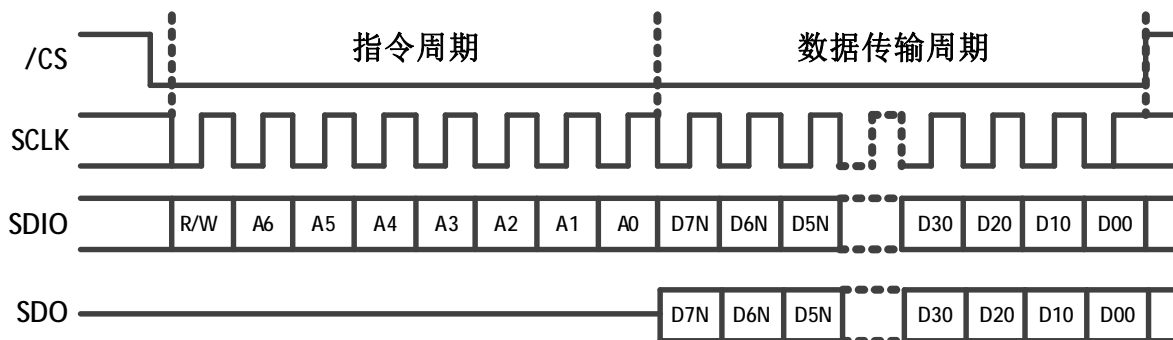


图 3 串行寄存器接口时序 (MSB 优先)

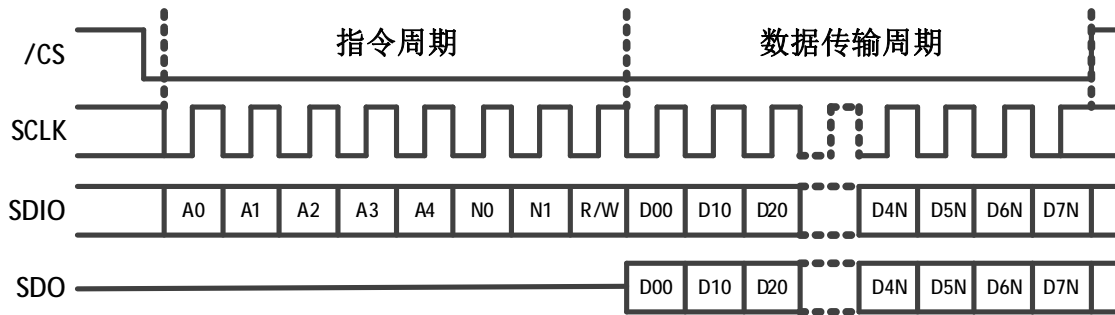


图 4 串行寄存器接口时序 (LSB 优先)

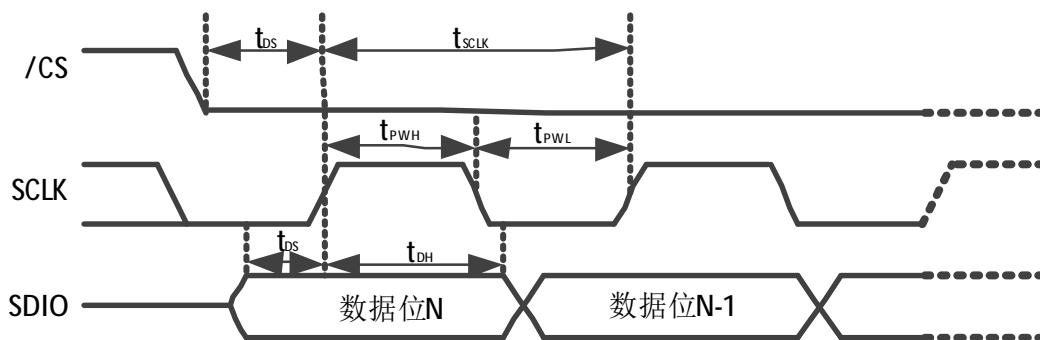


图 5 串行寄存器写操作时序图

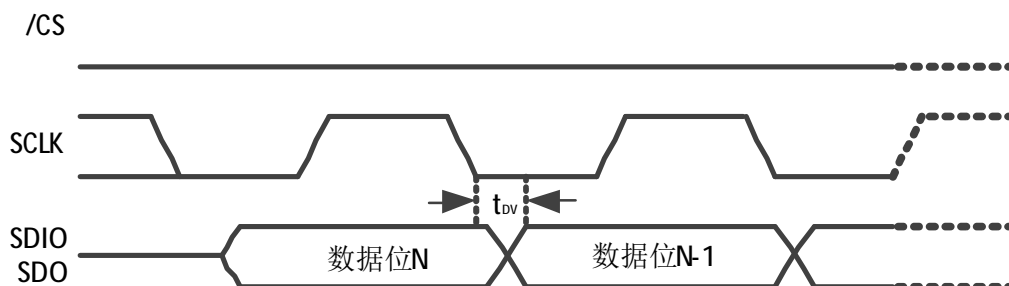


图 6 串行寄存器读操作时序图

## SPI 寄存器描述

表 6 YD16D250 寄存器描述

寄存器名	地址	位	位名	说明
SPI 控制寄存器	0x00	7	SDIODIR	0 = SPI 为四线工作模式, SDIO 为输入脚 1 = SPI 为三线工作模式, SDIO 为双向输入输出脚
		6	LSBFIRST	0 = LSBFIRST 模式关, SPI 串行数据格式为 MSB 模式 1 = LSBFIRST 模式使能, SPI 串行数据格式为 LSB 模式
		5	SWRESET	0 = 正常工作模式 1 = 软复位; 将所有寄存器回复到默认状态 (除 0x00 寄存器外)
数据控制寄存器	0x02	7	DATYPE	0 = 设置 DAC 输入数据为二进制补码格式 1 = 设置 DAC 输入数据为无符号二进制格式
		6	ONEPORT	0 = 数据输入为双口模式 1 = 单口数据输入模式, 交织的数据经数据输入口 1 输入
		4	INVDCO	1 = DCO 输出反向
掉电控制寄存器	0x03	7	PD_DCO	1 = DCO 输出掉电
		5	PD_AUX2	1 = AUX2 DAC 掉电
		4	PD_AUX1	1 = AUX1 DAC 掉电
		3	PD_BIAS	1 = 参考电压偏置掉电
		2	PD_CLK	1 = DAC 时钟输入电路掉电
		1	PD_DAC2	1 = DAC2 模拟输出掉电
		0	PD_DAC1	1 = DAC1 模拟输出掉电
DAC 模式控制寄存器	0x0A	3:2	DAC1MODE[1:0]	00 = DAC1 工作在普通模式 01 = DAC1 工作在混频模式 10 = DAC1 工作在回零模式
		1:0	DAC2MODE[1:0]	00 = DAC2 工作在普通模式 01 = DAC2 工作在混频模式 10 = DAC2 工作在回零模式
DAC1 增益控制寄存器	0x0B	7:0	DAC1FSC[7:0]	DAC1 的满幅输出电流调整字, 共 10 位 0x03FF = 设置满幅电流最大值为 31.7mA 0x0200 = 设置满幅电流为正常值 20mA 0x0000 = 设置满幅电流为最小值 8.7mA
	0x0C	1:0	DAC1FSC[9:8]	
辅助 DAC1 控制寄存器	0x0D	7:0	AUXDAC1[7:0]	辅助 DAC1 的输出电流调整字, 共 10 位 0x03FF = 设置电流输出为 2mA 0x0200 = 设置电流输出为 1mA 0x0000 = 设置电流输出为 0mA
		1:0	AUXDAC1[9:8]	
	0x0E	7	AUX1PIN	1 = AUX1P 输出管脚有效 0 = AUX1N 输出管脚有效
		6	AUX1DIR	0 = AUX1DAC 输出为拉电流模式

				1 = AUX1DAC 输出为灌电流模式
DAC2 增益 控制寄存 器	0x0F	7:0	DAC2FSC[7:0]	DAC2 的满幅输出电流调整字, 共 10 位
	0x10	1:0	DAC2FSC[9:8]	0x03FF = 设置满幅电流最大值为 31.7mA 0x0200 = 设置满幅电流为正常值 20mA 0x0000 = 设置满幅电流为最小值 8.7mA
辅助 DAC2 控制寄存 器	0x11	7:0	AUXDAC2[7:0]	辅助 DAC2 的输出电流调整字, 共 10 位
	0x12	1:0	AUXDAC2[9:8]	0x03FF = 设置电流输出为 2mA 0x0200 = 设置电流输出为 1mA 0x0000 = 设置电流输出为 0mA
		7	AUX2PIN	1 = AUX2P 输出管脚有效 0 = AUX2N 输出管脚有效
		6	AUX2DIR	0 = AUX2DAC 输出为拉电流模式 1 = AUX2DAC 输出为灌电流模式

注: YD16D250 的寄存器均为 8 位, 在表 6 中没有列出来的位, 在读写是可以忽略。写入的时候可以用 ‘0’ 代替。读出的值不用关心是 0 或 1。

## 数字输入和输出

YD16D250 可以工作在两种数据输入模式下：双口模式和单口模式。上电复位后默认为双口模式，这是每个 DAC 从固定的数据输入口接收数据。在单口模式下，两个 DAC 均从数据输入口 1 接收数据。这时，DAC1 和 DAC2 的数据交织输入，IQSEL 信号用来指示交织数据到不同的 DAC。当 IQSEL 为高电平时，端口 1 的数据送到 DAC1；当 IQSEL 为低电平时，端口 1 的数据送到 DAC2。由于受到数据输入口能支持的最大速率限制（250Msps），在单口模式下，DAC 的时钟速率不要超过 125MHz。

### 输入数据时序

为保证 DAC 能够正确接收数据输入，DAC 的时钟信号(CLKP/N)、DCO 和输入端口之间必须满足一定的时序关系。图 7 和图 8 分别给出了 YD16D250 工作在双口模式和单口模式下的时序图。

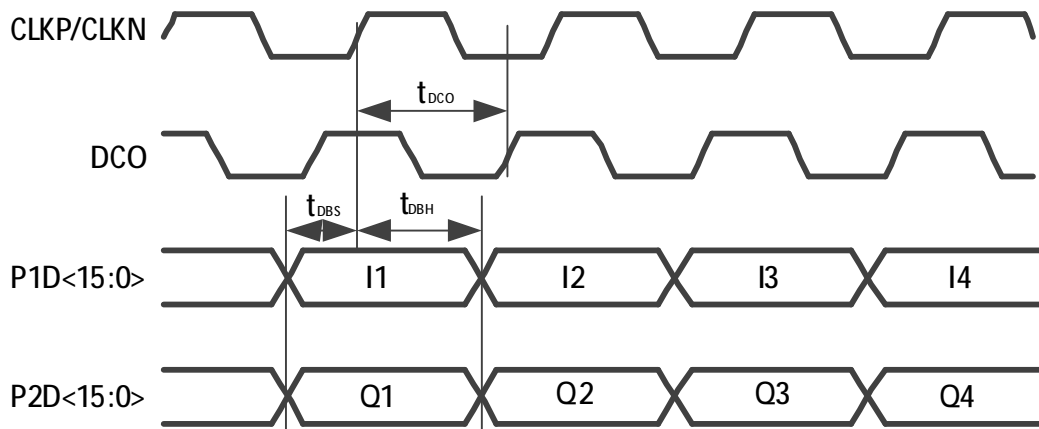


图 7 双口模式下的接口时序

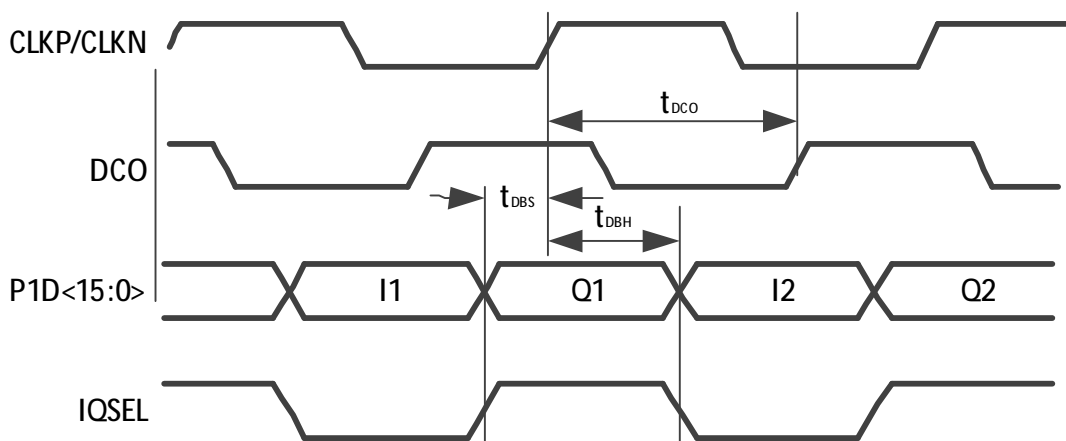


图 8 单口模式下的接口时序

## DAC 的时钟输入

为了得到模拟输出性能，需要给 DAC 提供一个低抖动的时钟信号。时钟的共模电压为 400mV，图 9、图 10 和图 11 分别是 LVDS、CMOS/TTL 和正弦信号的典型时钟驱动电路。另外，图 12 也提供了产生时钟共模电压的参考电路。

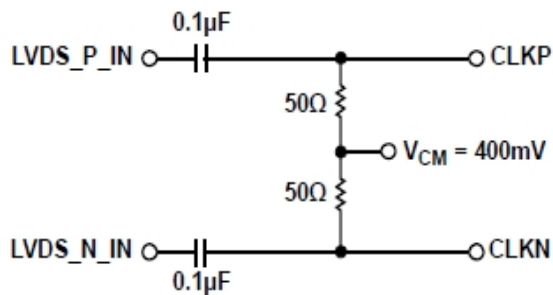


图9 使用LVDS的时钟驱动电路

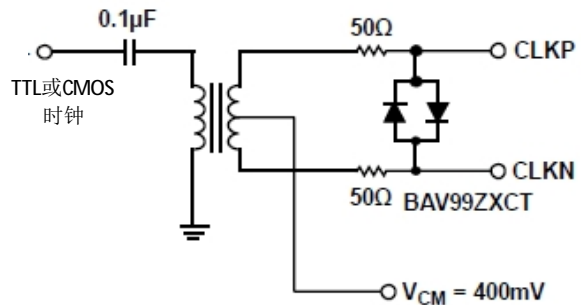


图10 TTL或CMOS的时钟驱动电路

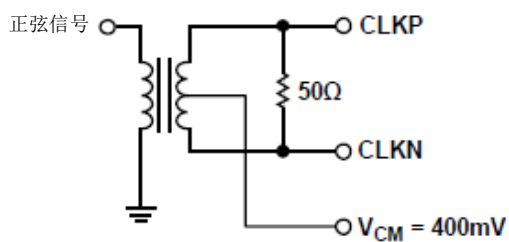


图11 正弦波的时钟驱动电路

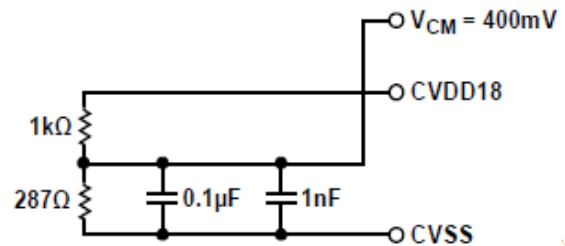


图12 产生VCM的参考电路

## 模拟接口

### 满幅电流产生

DAC1 和 DAC2 的满幅电流是流经管脚 FSADJ 电流的函数，在使用过程中，FSADJ 需要通过一个 10kΩ 的电阻到地。同时 REFIO 需要通过一个 0.1μF 的电容连接到地。DAC 输出满幅电流大小可以通过 DAC1FSC[9:0] 和 DAC2FSC[9:0] 来调整。下面的公式表示 DAC 满幅输出电流与 DACFSC 之间的关系：

### DAC 的传输函数

YD16D250 每路 DAC 提供互补的差分电流 IOU<sub>TP</sub> 和 IOU<sub>TN</sub>。当输入的数字信号都为 1 是，IOU<sub>TP</sub> 输出最大的电流（满幅电流），此时 IOU<sub>TN</sub> 输出电流为 0。IOU<sub>TP</sub> 和 IOU<sub>TN</sub> 为输入数字信号的函数：

$$IOU_{TP} = (DAC \text{ DATA} / 2^N) \times I_{FS}$$

$$IOUTN = ((2^N - 1) - DAC\ DATA) / 2^N \times I_{FS} \quad \text{其中, DAC DATA 为 } 0 \sim 2^N - 1 \text{ (是进制数)}$$

这样在负载 R 的条件下, VOUTP 和 VOUTN 的值为 IOUTP x R 和 IOUTN x R。输出的电压为:

$$VOUT = (IOUTP - IOUTN) \times R$$

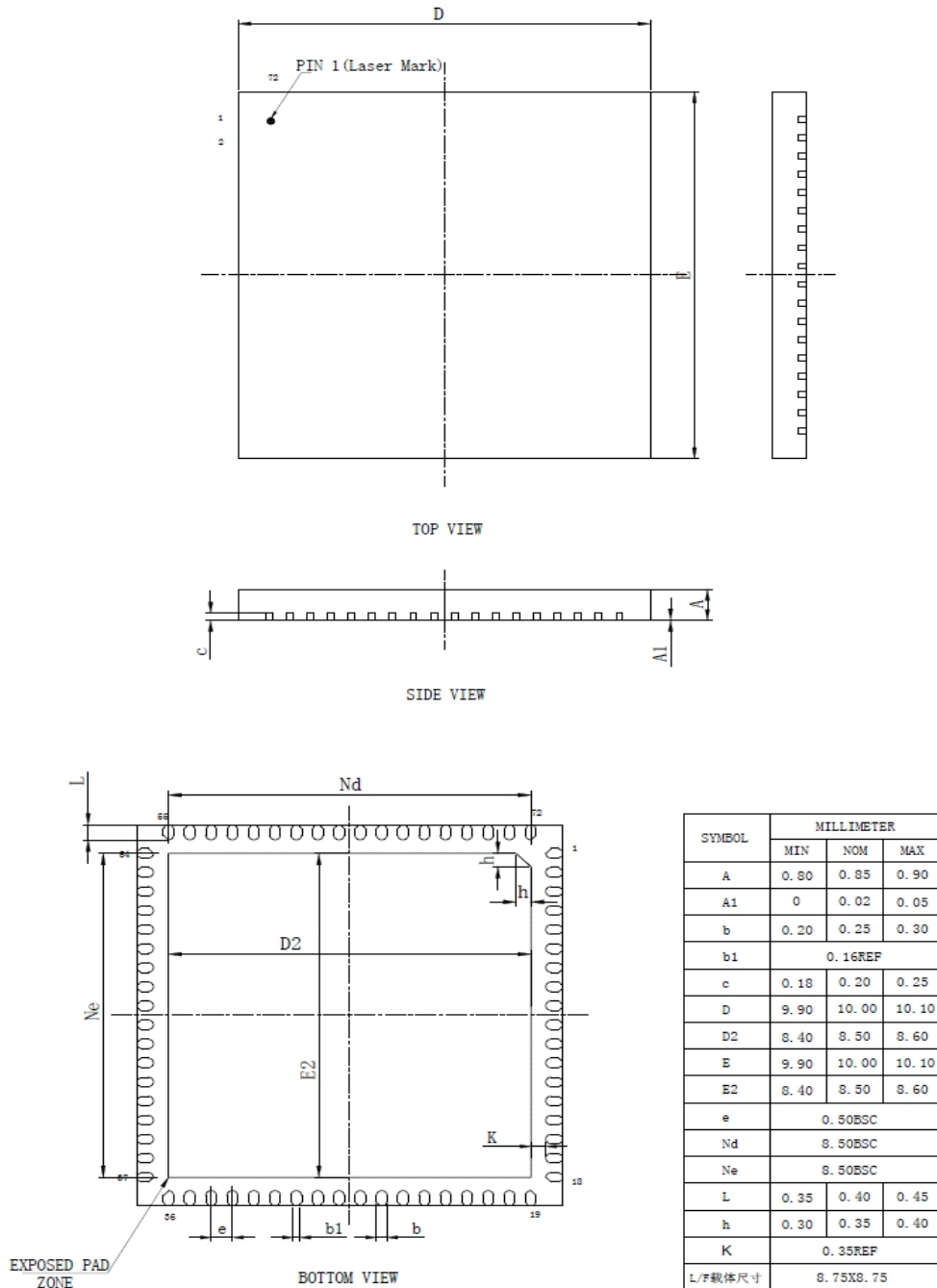
### 工作模式概述

如前面提到的, YD16D250 能工作在三种模式下: 普通模式、混频模式和回零模式。有关这几种模式的输出特性, 请参考 YD14S2G5 的相关章节, 这里就不详细描述了。

### 辅助 DAC

YD16D250 内部集成了 4 个 10 位的低速 DAC, 两路用于内部直接调整 DAC1 和 DAC2 输出信号的增益, 另外两路直接输出到片外, 可以用于调整 DAC 的输出偏置。这对于直接采样正交调制器的发射系统, 提供灵活的射频输出本振泄露调整和镜像抑制调整功能。有关这方面的应用信息, 请参考相关资料, 这里就不详细说明了。



**封装信息**


72 脚 QFN 封装，大小 10mm x 10mm ，底部 8.5mm\*8.5mm 为裸露的焊盘，用作接地并散热。

图 13 YD16D250 封装图