



**ANALOG
DEVICES**

18位、1.5 LSB INL、250 kSPS PuSAR 差分ADC，采用MSOP或QFN封装

AD7691

产品特性

- 18位分辨率、无失码
- 吞吐速率：250 kSPS
- 积分非线性(INL)：典型值±0.75 LSB，最大值±1.5 LSB(FSR的±6 ppm)
- 动态范围：102 dB(典型值，250 kSPS)
- 过采样动态范围：125 dB(1 kSPS)
- 无噪声分辨率：20位(1 kSPS)
- 有效分辨率：22.7位(1 kSPS)
- 信纳比(SINAD)：101.5 dB(典型值，1 kHz)
- 总谐波失真(THD)：-125 dB(典型值，1 kHz)
- 真差分模拟输入范围：±V_{REF}
- 0 V至V_{REF}，两个输入上的V_{REF}均可高达VDD
- 无流水线延迟
- 2.3 V至5 V单电源供电
- 1.8 V/2.5 V/3 V/5 V逻辑接口
- 串行接口：SPI/QSPI™/MICROWIRE™/DSP兼容
- 能够以菊花链形式连接多个ADC
- 可选的繁忙指示功能
- 功耗
 - 1.35 mW (2.5 V/100 kSPS)、4 mW (5 V/100 kSPS)
 - 1.4 μW (2.5 V/100 SPS)
- 待机电流：1 nA
- 10引脚封装：MSOP(MSOP-8尺寸)和3 mm × 3 mm QFN (LFCSP)(SOT-23尺寸)
- 与18位AD7690和16位AD7693、AD7688、AD7687引脚兼容

应用

- 电池供电设备
- 数据采集
- 地震数据采集系统
- 仪器仪表
- 医疗仪器

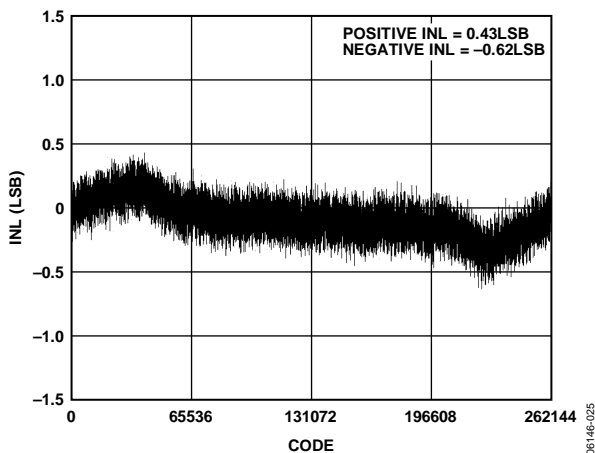


图1. 积分非线性与代码的关系，5 V

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

应用框图

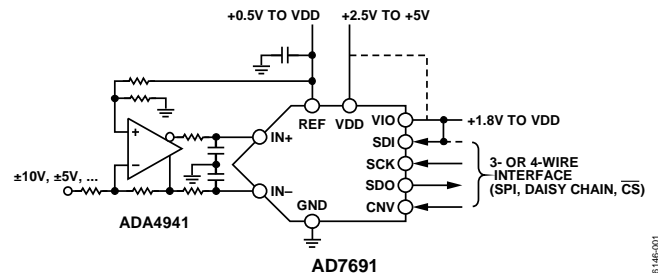


图2.

表1. MSOP、QFN (LFCSP)/SOT-23
14/16/18位PuSAR® ADC

类型	100 kSPS	250 kSPS	400 kSPS至500 kSPS	≥1000 kSPS	ADC驱动器
18位真差分		AD7691	AD7690	AD7982 AD7984	ADA4941-1 ADA4841-x
16位真差分	AD7684	AD7687	AD7688 AD7693		ADA4941-1 ADA4841-x
16位伪差分	AD7680 AD7683 AD7940	AD7685 AD7694	AD7686	AD7980	ADA4841-x
14位伪差分		AD7942 AD7946			ADA4841-1

概述

AD7691是一款18位、电荷再分配、逐次逼近型模数转换器(ADC)，采用2.3 V至5 V单电源(VDD)供电。该器件内置一个低功耗、高速、18位无失码采样ADC、一个内部转换时钟和一个多功能串行接口端口。在CNV上升沿，该器件对IN+与IN-引脚之间的电压差进行采样。这两个引脚上的电压摆幅在0 V和REF之间，相位相反。基准电压REF由外部提供，并且可以设置为电源电压。

该器件的功耗和吞吐速率呈线性变化关系。

SPI兼容串行接口还能够利用SDI输入，将几个ADC以菊花链形式连结到一个三线式总线上，并提供一个可选的繁忙指示。采用独立的VIO电源时，该器件与1.8 V、2.5 V、3 V或5 V逻辑兼容。

AD7691采用10引脚MSOP封装或10引脚QFN (LFCSP)封装，工作温度范围为-40°C至+85°C。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006–2012 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	驱动放大器选择	16
应用	1	单端至差分驱动器	16
应用框图	1	基准电压输入	16
概述	1	电源	17
修订历史	2	从基准电压源为ADC供电	17
技术规格	3	数字接口	17
时序规格	5	$\overline{\text{CS}}$ 模式(三线式但无繁忙指示)	18
绝对最大额定值	7	$\overline{\text{CS}}$ 模式(三线式且有繁忙指示)	19
热阻	7	$\overline{\text{CS}}$ 模式(四线式但无繁忙指示)	20
ESD警告	7	$\overline{\text{CS}}$ 模式(四线式且有繁忙指示)	21
引脚配置和功能描述	8	链模式(无繁忙指示)	22
典型性能参数	9	链模式(有繁忙指示)	23
术语	13	应用须知	24
工作原理	14	布局	24
电路信息	14	评估AD7691性能	24
转换器操作	14	外形尺寸	25
典型连接图	15	订购指南	25
模拟输入	15		

修订历史

2012年3月—修订版B至修订版C

更改表9	14
更改“订购指南”	25

2011年7月—修订版A至修订版B

更改共模输入范围最小值参数	3
图6和表8增加EPAD注释	8
更新“外形尺寸”	25

2007年11月—修订版0至修订版A

删除对开发中QFN封装的引用	通篇
更改“产品特性”、“应用”、图1和图2	1
更改表2中的精度	3
更改表3中的功耗	4
增加“热阻”部分	7
更改图22	11
更改格式	12
更改“术语”部分	13
更改格式和图29	15
插入图31	15
更改格式	17
更改图44	22
更改图46	23
更新QFN外形尺寸	25
更改“订购指南”	25

2006年7月—修订版0：初始版

技术规格

除非另有说明，VDD = 2.3 V至5.25 V，VIO = 2.3 V至VDD， $V_{REF} = VDD$ ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	条件/注释	最小值	典型值	最大值	单位
分辨率		18			位
模拟输入					
V_{IN} 电压范围	IN+ – (IN–)	$-V_{REF}$		$+V_{REF}$	V
绝对输入电压	IN+, IN–	-0.1		$V_{REF} + 0.1$	V
共模输入范围	IN+, IN–	$V_{REF}/2 - 0.1$	$V_{REF}/2$	$V_{REF}/2 + 0.1$	V
模拟输入CMRR	$f_{IN} = 250$ kHz		65		dB
25°C时漏电流	采集阶段		1		nA
输入阻抗 ¹					
吞吐速率					
转换速率	VDD = 4.5 V至5.25 V	0		250	kSPS
	VDD = 4.5 V至5.25 V	0		180	kSPS
瞬态响应	满量程阶跃			1.8	μ s
精度					
无失码		18			位
积分线性误差		-1.5	± 0.75	+1.5	LSB ²
差分线性误差		-1	± 0.5	+1.25	LSB ²
跃迁噪声	REF = VDD = 5 V		0.75		LSB ²
增益误差 ³	VDD = 4.5 V至5.25 V	-40	± 2	+40	LSB ²
	VDD = 2.3 V至4.5 V	-80	± 2	+80	LSB ²
增益误差温漂			± 0.3		ppm/°C
零点误差 ³	VDD = 4.5 V至5.25 V	-0.8	± 0.1	+0.8	mV
	VDD = 2.3 V至4.5 V	-3.5	± 0.7	+3.5	mV
零温漂			± 0.3		ppm/°C
电源灵敏度	VDD = 5 V \pm 5%		± 0.25		LSB ²
交流精度 ⁴					
动态范围	$V_{REF} = 5$ V	101	102		dB
过采样动态范围 ⁵	$f_{IN} = 1$ kSPS		125		dB
信噪比	$f_{IN} = 1$ kHz, $V_{REF} = 5$ V	100	101.5		dB
	$f_{IN} = 1$ kHz, $V_{REF} = 2.5$ V	95	96.5		dB
无杂散动态范围	$f_{IN} = 1$ kHz, $V_{REF} = 5$ V		-125		dB
总谐波失真	$f_{IN} = 1$ kHz, $V_{REF} = 5$ V		-118		dB
信纳比	$f_{IN} = 1$ kHz, $V_{REF} = 5$ V	100	101.5		dB
	$f_{IN} = 1$ kHz, $V_{REF} = 2.5$ V	95	96.5		dB
交调失真 ⁶			115		dB

¹ 参见“模拟输入”部分。

² LSB表示最低有效位。 ± 5 V输入范围时，1 LSB = 38.15 μ V。

³ 参见“术语”部分。这些规格包括整个温度范围内的波动，但不包括外部基准电压源的误差贡献。

⁴ 所有以dB为单位的交流精度规格均参考满量程输入FSR。除非另有说明，测试条件为输入信号比满量程低0.5 dB。

⁵ 动态范围的获得方式是在吞吐速率 f_s 为250 kSPS时对ADC执行过采样，然后使用 f_s 的输出字速率执行数字后滤波。

⁶ $f_{IN1} = 21.4$ kHz且 $f_{IN2} = 18.9$ kHz，每个信号音均位于满量程以下-7 dB。

AD7691

除非另有说明，VDD = 2.3 V至5.25 V，VIO = 2.3 V至VDD， $V_{REF} = VDD$ ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	条件/注释	最小值	典型值	最大值	单位
基准电压					
电压范围		0.5		VDD + 0.3	V
负载电流	250 kSPS, REF = 5 V		60		μ A
采样动态性能					
-3 dB输入带宽			2		MHz
孔径延迟	VDD = 5 V		2.5		ns
数字输入					
逻辑电平					
V_{IL}		-0.3		+0.3 × VIO	V
V_{IH}		0.7 × VIO		VIO + 0.3	V
I_{IL}		-1		+1	μ A
I_{IH}		-1		+1	μ A
数字输出					
数据格式	串行18位二进制补码				
流水线延迟 ¹					
V_{OL}	$I_{SINK} = +500 \mu$ A			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu$ A	VIO - 0.3			V
电源					
VDD	额定性能	2.3		5.25	V
VIO	额定性能	2.3		VDD + 0.3	V
VIO范围		1.8		VDD + 0.3	V
待机电流 ^{2,3}	VDD和VIO = 5 V, $T_A = 25^\circ$ C		1	50	nA
功耗	VDD = 2.5 V, 100 SPS吞吐速率		1.4		μ W
	VDD = 2.5 V, 100 kSPS吞吐速率		1.35		mW
	VDD = 2.5 V, 180 kSPS吞吐速率		2.4		mW
	VDD = 5 V, 100 kSPS吞吐速率		4.24	5	mW
	VDD = 5 V, 250 kSPS吞吐速率		10.6	12.5	mW
每次转换的能量			50		nJ/采样
温度范围 ⁴					
额定性能	T_{MIN} 至 T_{MAX}	-40		+85	$^\circ$ C

¹ 转换完成后立即提供转换结果。

² 根据需要，所有数字输入强制接VIO或GND。

³ 在采集阶段。

⁴ 欲了解扩展温度范围，请联系ADI公司销售代表。

时序规格

除非另有说明，VDD = 4.5 V至5.25 V，VIO = 2.3 V至VDD， $V_{REF} = VDD$ ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。¹

表4.

参数	符号	最小值	典型值	最大值	单位
转换时间：CNV上升沿至数据可用	t_{CONV}	0.5		2.2	μs
采集时间	t_{ACQ}	1.8			μs
转换间隔时间	t_{CYC}	4			μs
CNV脉冲宽度(\overline{CS} 模式)	t_{CNVH}	10			ns
SCK周期(\overline{CS} 模式)	t_{SCK}	15			ns
SCK周期(链模式)	t_{SCK}				
VIO高于4.5 V		17			ns
VIO高于3 V		18			ns
VIO高于2.7 V		19			ns
VIO高于2.3 V		20			ns
SCK低电平时间	t_{SCKL}	7			ns
SCK高电平时间	t_{SCKH}	7			ns
SCK下降沿至数据仍然有效	t_{HSDO}	4			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO高于4.5 V				14	ns
VIO高于3 V				15	ns
VIO高于2.7 V				16	ns
VIO高于2.3 V				17	ns
CNV或SDI低电平至SDO D17 MSB有效(\overline{CS} 模式)	t_{EN}				
VIO高于4.5 V				15	ns
VIO高于2.7 V				18	ns
VIO高于2.3 V				22	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态(\overline{CS} 模式)	t_{DIS}			25	ns
CNV上升沿至SDI有效建立时间(\overline{CS} 模式)	$t_{SSDICNV}$	15			ns
CNV上升沿至SDI有效保持时间(\overline{CS} 模式)	$t_{HSDICNV}$	0			ns
CNV上升沿至SCK有效建立时间(链模式)	$t_{SSCKCNV}$	5			ns
CNV上升沿至SCK有效保持时间(链模式)	$t_{HSCKCNV}$	10			ns
SCK下降沿至SDI有效建立时间(链模式)	$t_{SSDISCK}$	3			ns
SCK下降沿至SDI有效保持时间(链模式)	$t_{HSDISCK}$	4			ns
SDI高电平至SDO高电平(链模式且有繁忙指示)	$t_{DSDOSDI}$				
VIO高于4.5 V				15	ns
VIO高于2.3 V				26	ns

¹ 负载条件参见图3和图4。

AD7691

除非另有说明, VDD = 2.3 V至4.5 V, VIO = 2.3 V至VDD, V_{REF} = VDD, 所有规格均相对于T_{MIN}至T_{MAX}而言。¹

表5.

参数	符号	最小值	典型值	最大值	单位
转换时间: CNV上升沿至数据可用	t _{CONV}	0.5		3.7	μs
采集时间	t _{ACQ}	1.8			ns
转换间隔时间	t _{CYC}	5.5			μs
CNV脉冲宽度(CS _{模式})	t _{CNVH}	10			ns
SCK周期(CS _{模式})	t _{SCK}	25			ns
SCK周期(链模式)	t _{SCK}				
VIO高于3 V		29			ns
VIO高于2.7 V		35			ns
VIO高于2.3 V		40			ns
SCK低电平时间	t _{SCKL}	12			ns
SCK高电平时间	t _{SCKH}	12			ns
SCK下降沿至数据仍然有效	t _{HSDO}	5			ns
SCK下降沿至数据有效延迟时间	t _{DSDO}				
VIO高于3 V				24	ns
VIO高于2.7 V				30	ns
VIO高于2.3 V				35	ns
CNV或SDI低电平至SDO D17 MSB有效(CS _{模式})	t _{EN}				
VIO高于2.7 V				18	ns
VIO高于2.3 V				22	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态(CS _{模式})	t _{DIS}			25	ns
CNV上升沿至SDI有效建立时间(CS _{模式})	t _{SSDICNV}	30			ns
CNV上升沿至SDI有效保持时间(CS _{模式})	t _{HSDICNV}	0			ns
CNV上升沿至SCK有效建立时间(链模式)	t _{SSCKCNV}	5			ns
CNV上升沿至SCK有效保持时间(链模式)	t _{HSCKCNV}	8			ns
SCK下降沿至SDI有效建立时间(链模式)	t _{SSDISCK}	8			ns
SCK下降沿至SDI有效保持时间(链模式)	t _{HSDISCK}	10			ns
SDI高电平至SDO高电平(链模式且有繁忙指示)	t _{DSDOSDI}			36	

¹ 负载条件参见图3和图4。

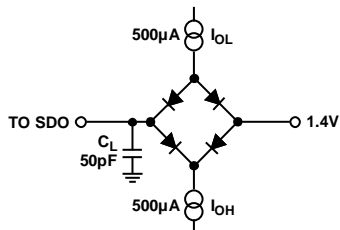


图3. 数字接口时序的负载电路

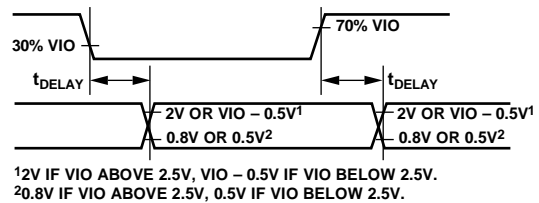


图4. 时序的电平

绝对最大额定值

表6.

参数	额定值
模拟输入(IN+, IN-) ¹	GND - 0.3 V至VDD + 0.3 V 或±130 mA
REF	GND - 0.3 V至VDD + 0.3 V
电源电压	
VDD、VIO至GND	-0.3 V至+7 V
VDD至VIO	±7 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
引脚温度范围	JEDEC J-STD-20

¹ 参见“模拟输入”部分。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
10引脚MSOP	200	44	°C/W
10引脚QFN (LFCSP)	43.4	6.5	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

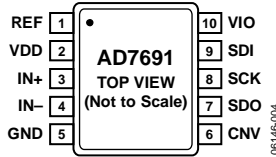
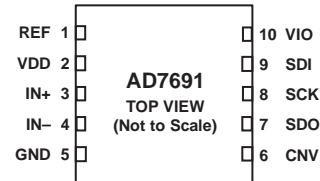


图5. 10引脚MSOP的引脚配置



NOTES
1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE GROUND PLANE.

图6. 10引脚QFN (LFCSP)的引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	REF	AI	基准输入电压。REF范围为0.5 V至VDD。此引脚参考GND引脚。此引脚应通过与之靠近的10 μF电容进行去耦。
2	VDD	P	电源。
3	IN+	AI	正向差分模拟输入。参考IN-。IN+的输入范围介于0 V和 V_{REF} 之间，中心点约在 $V_{REF}/2$ ，且必须驱动为与IN-呈180°反相。
4	IN-	AI	负向差分模拟输入。参考IN+。IN-的输入范围介于0 V和 V_{REF} 之间，中心点约在 $V_{REF}/2$ ，且必须驱动为与IN+呈180°反相。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。在上升沿可启动转换并选择器件的接口模式：链模式或 \overline{CS} 模式。 \overline{CS} 模式下，CNV为低电平时SDO引脚使能。 链模式下，数据应在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI	DI	串行数据输入。此输入提供多个功能。 如下选择ADC的接口模式：如果SDI在CNV上升沿期间为低电平，则选择链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟18个SCK周期。 如果SDI在CNV上升沿期间为高电平，则选择 \overline{CS} 模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号。 当转换完成时，如果SDI或CNV为低电平，繁忙指示功能被使能。
10	VIO	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同(1.8 V、2.5 V、3 V或5 V)。
	EPAD		裸露焊盘。底部焊盘不在内部连接。 为提高焊接接头的可靠性，建议将焊盘焊接到接地层。

¹AI = 模拟输入，DI = 数字输入，DO = 数字输出，而P = 电源。

典型性能参数

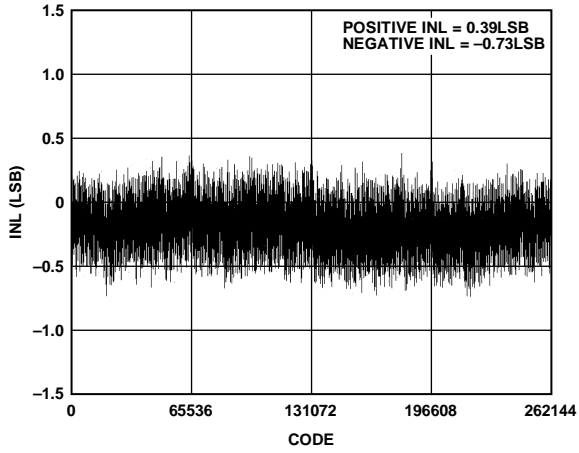


图7. 积分非线性与代码的关系(2.5 V)

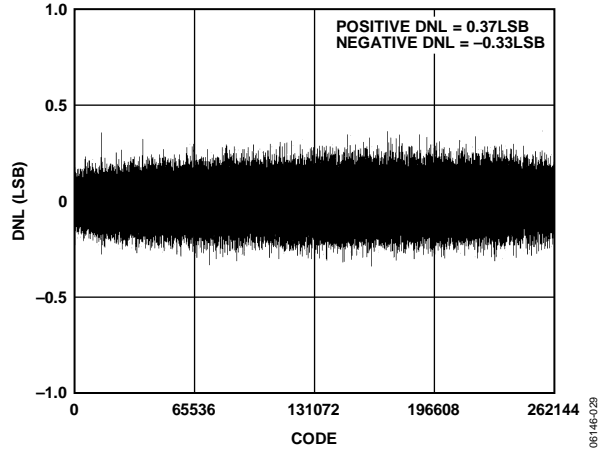


图10. 差分非线性与代码的关系(5 V)

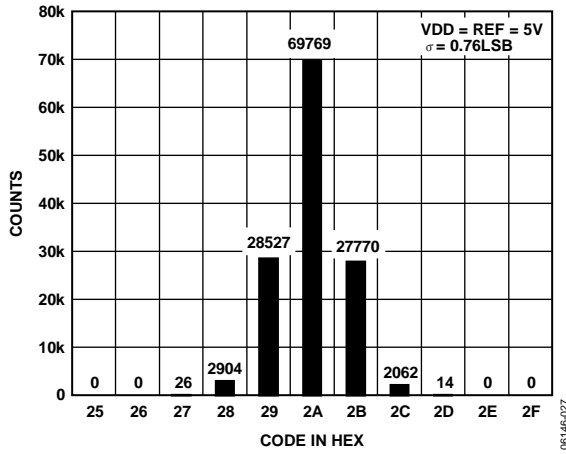


图8. 码中心处直流输入的直方图(5 V)

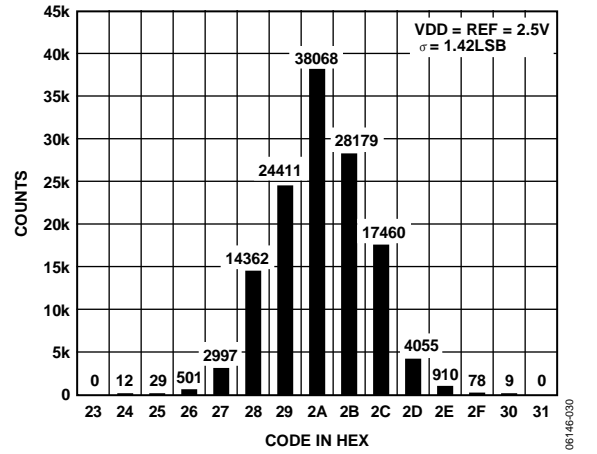


图11. 码中心处直流输入的直方图(2.5 V)

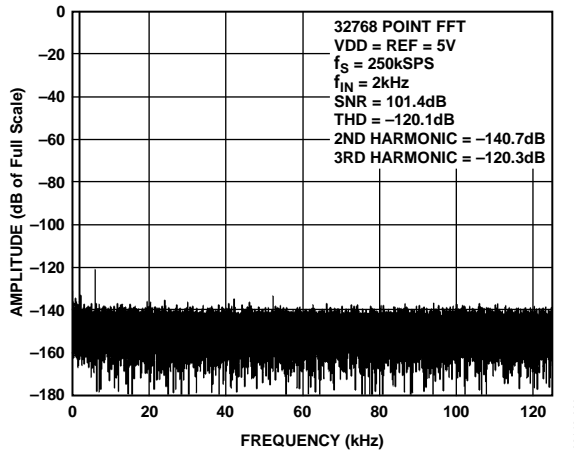


图9. 2 kHz FFT曲线图(5 V)

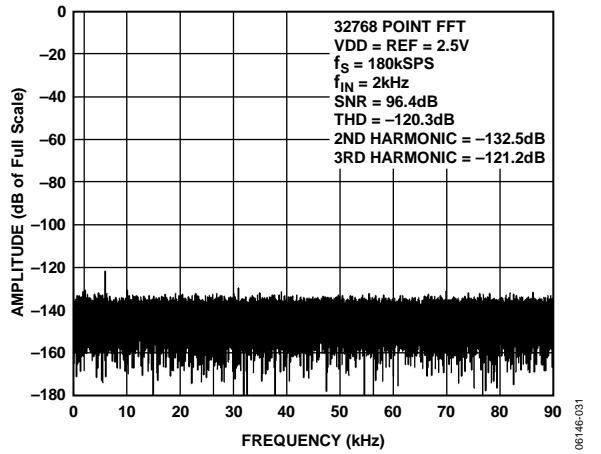


图12. 2 kHz FFT曲线图(2.5 V)

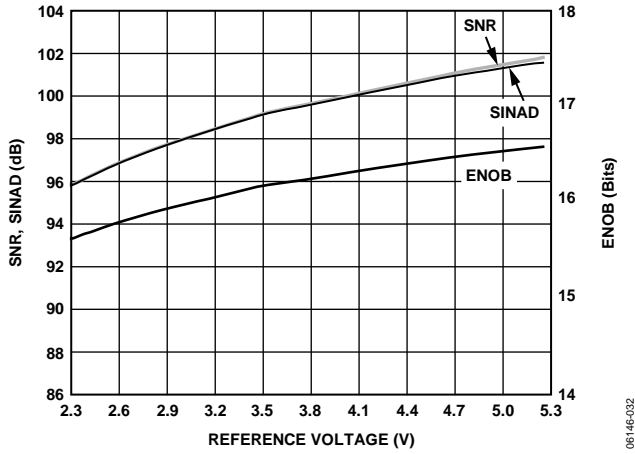


图13. SNR、SINAD和ENOB与基准电压的关系

06146-032

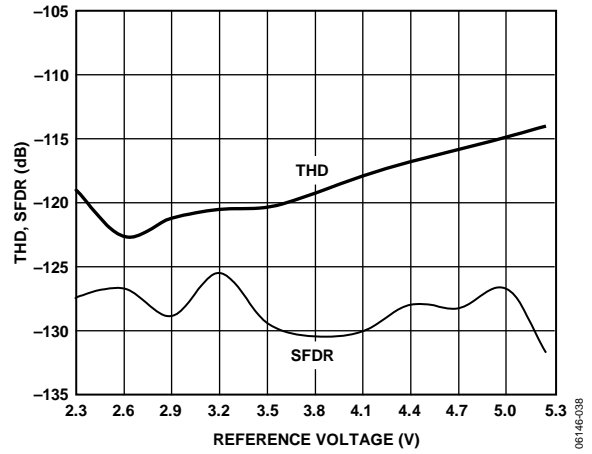


图16. THD、SFDR与基准电压的关系

06146-038

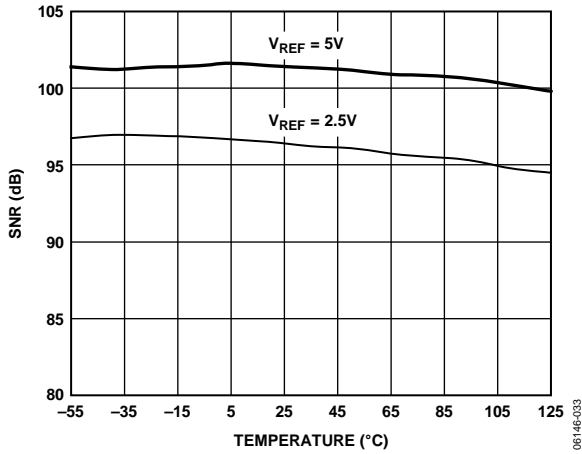


图14. SNR与温度的关系

06146-033

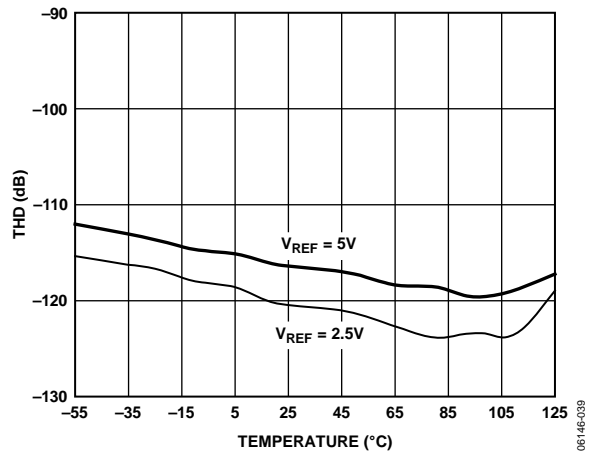


图17. THD与温度的关系

06146-039

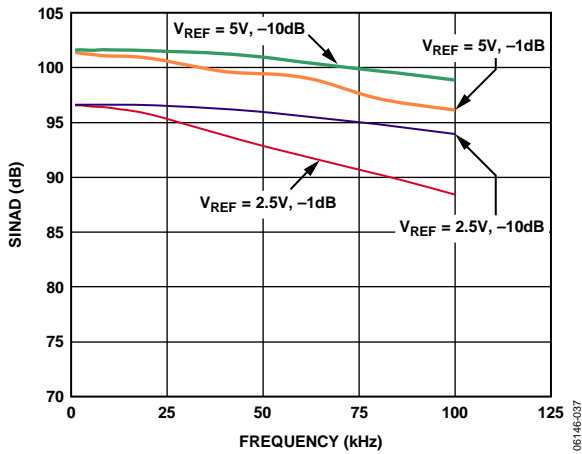


图15. SINAD与频率的关系

06146-037

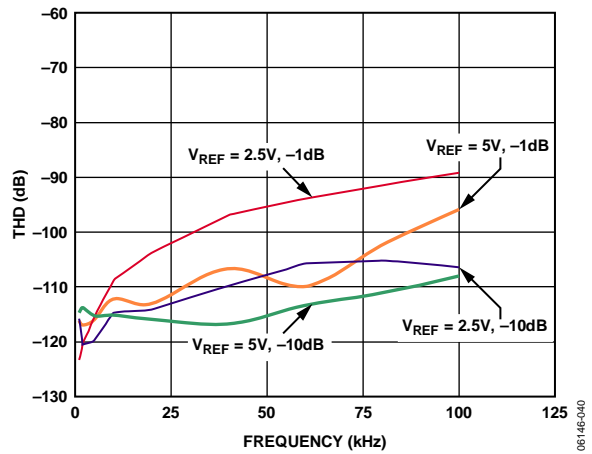


图18. THD与频率的关系

06146-040

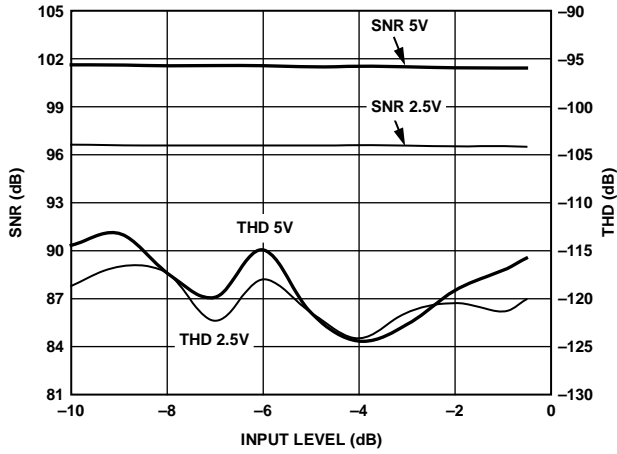


图19. SNR和THD与输入电平的关系

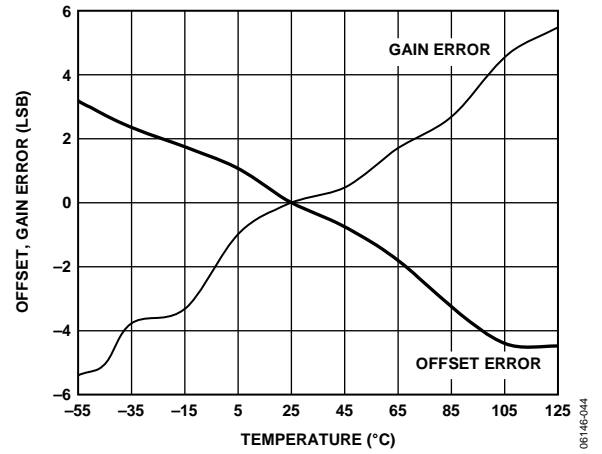


图22. 零点误差和增益误差与温度的关系

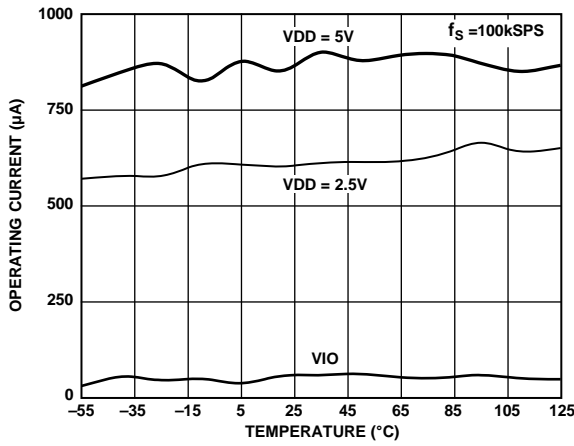


图20. 工作电流与温度的关系

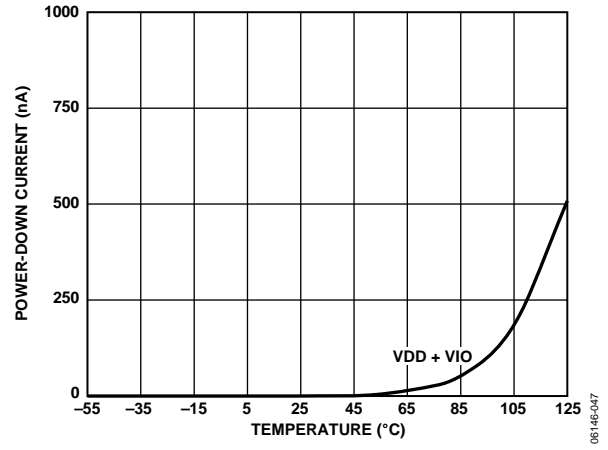


图23. 关断电流与温度的关系

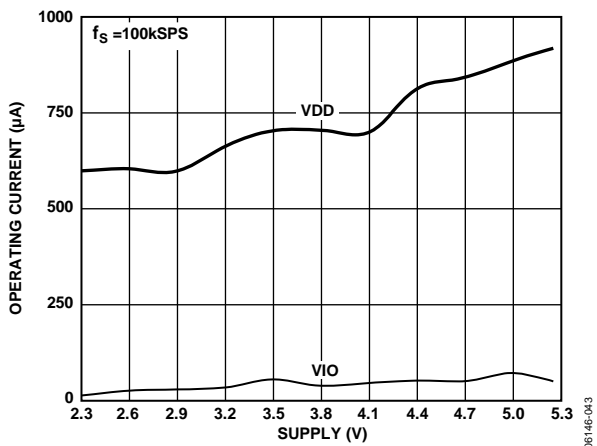


图21. 工作电流与电源的关系

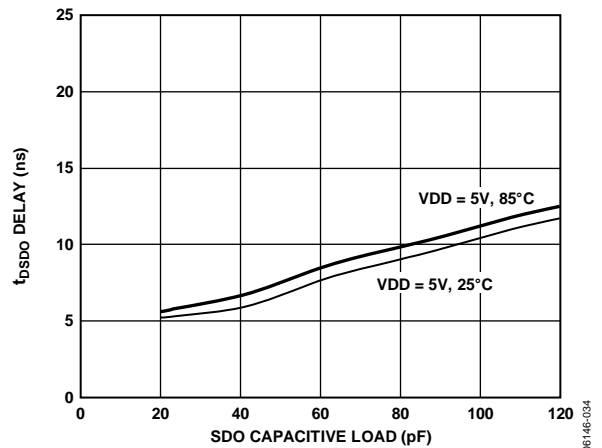


图24. t_{DSDO} 延迟与电容负载和电源的关系

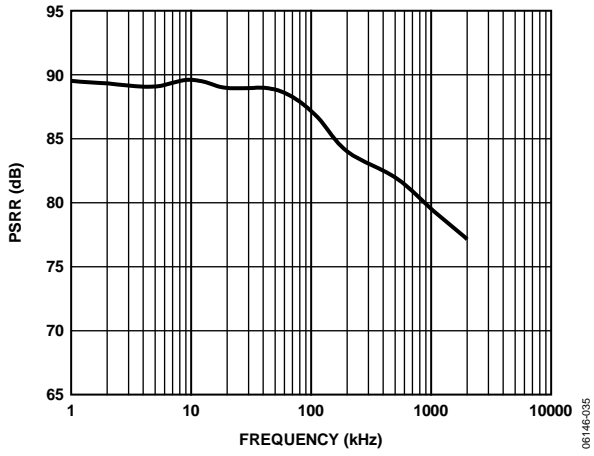


图25. PSRR与频率的关系

06146-035

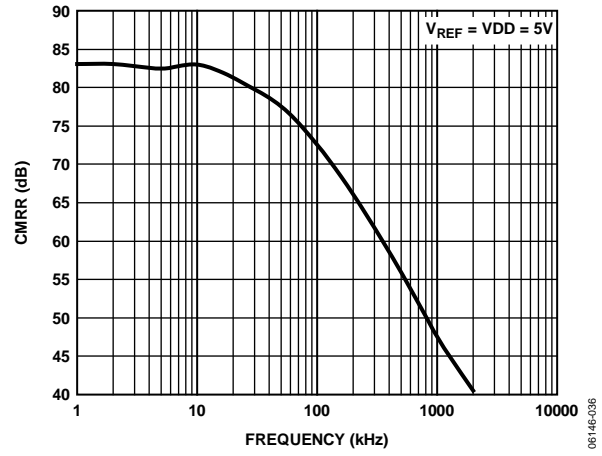


图26. 模拟输入CMRR与频率的关系

06146-036

术语

最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于N位分辨率的模数转换器，LSB用电压表示为：

$$LSB(V) = \frac{V_{INpp}}{2^N}$$

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图28)。

差分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零点误差

理想中间值电压(即0 V)与产生中间值输出码(即0 LSB)的实际电压之差称为零点误差。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 5 V范围来说，应在 -4.999981 V)，发生第一个码跃迁(从100 ... 00跃迁至100 ... 01)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于 ± 4.999943 V范围来说，应在5 V)，发生最后一个码跃迁(从011 ... 10跃迁至011 ... 11)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差，单位为LSB(或满量程范围的百分值)。与之相似的一个概念是满量程误差(也用LSB或满量程范围的百分值表示)，该误差包括了零点误差的贡献。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD的关系可以表示为：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

它用位表示。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，其计算公式为：

$$\text{无噪声代码分辨率} = \log_2(2^N / \text{峰峰值噪声})$$

它用位表示。

有效分辨率

其计算公式为：

$$\text{有效分辨率} = \log_2(2^N / \text{均方根输入噪声})$$

它用位表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号被保持后用于转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

工作原理

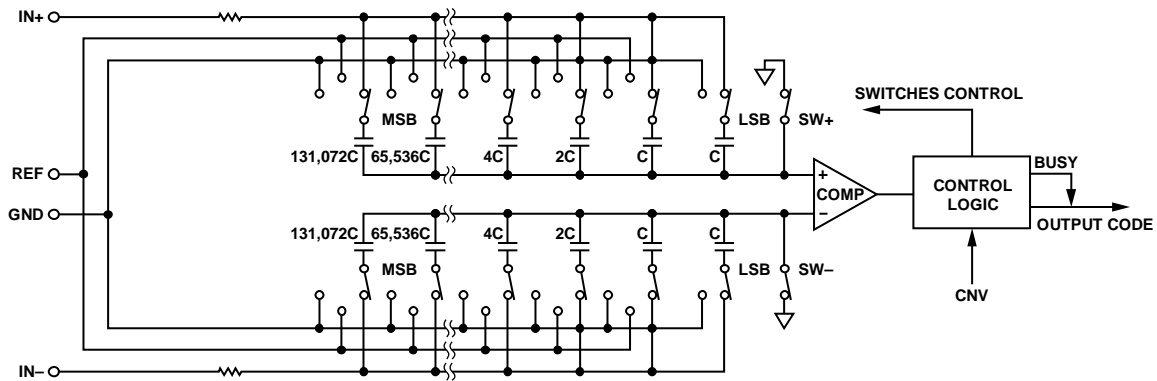


图27. ADC原理示意图

电路信息

AD7691是一款快速、低功耗、单电源、精密18位ADC，使用逐次逼近型架构。

该器件每秒能够转换250,000个样本(250 kSPS)，两次转换之间器件关断。以1 kSPS速率工作时，典型功耗为50 μ W，非常适合电池供电的应用。

AD7691为用户提供片内采样保持器，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7691的额定工作电压为2.3 V至5.25 V，可以与任何1.8 V至5 V数字逻辑系列接口。该器件提供10引脚MSOP封装或小型10引脚QFN (LFCSP)封装，节省空间，配置灵活。

该器件与18位AD7690以及16位AD7687和AD7688引脚兼容。

转换器操作

AD7691是一款基于电荷再分配DAC的逐次逼近型ADC。图27显示了该ADC的原理示意图。容性DAC包含两个完全相同的18位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的输入(IN+和IN-)之间的差分电压施加于比较器输入端，导致比较器不平衡。通过在GND与REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器

重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示。

AD7691具有一个片上转换时钟用于转换过程，转换过程不需要串行时钟SCK。

传递函数

AD7691的理想传递特性如图28和表9所示。

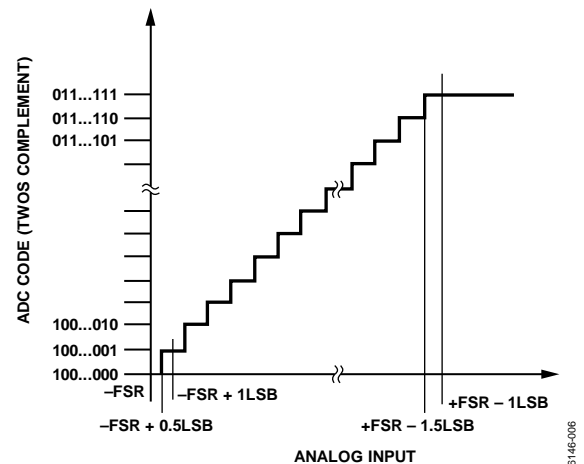


图28. ADC理想传递函数

表9. 输出码和理想输入电压

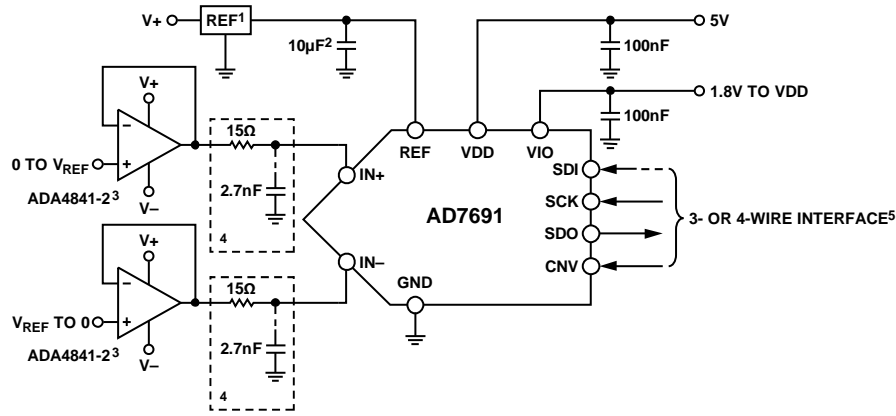
描述	模拟输入 $V_{REF} = 5V$	数字输出码 (十六进制)
FSR - 1 LSB	+4.999962 V	0x1FFFF ¹
中间值 + 1 LSB	+38.15 μ V	0x00001
中间值	0 V	0x00000
中间值 - 1 LSB	-38.15 μ V	0x3FFFF
-FSR + 1 LSB	-4.999962 V	0x20001
-FSR	-5 V	0x20000 ²

¹ 这也是超量程模拟输入($V_{IN+} - V_{IN-}$ 大于 $V_{REF} - V_{GND}$)对应的代码。

² 这也是欠量程模拟输入($V_{IN+} - V_{IN-}$ 低于 V_{GND})对应的代码。

典型连接图

图29所示的例子为采用多个电源时AD7691的建议连接图。



- 1 SEE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
- 2 C_{REF} IS USUALLY A 10µF CERAMIC CAPACITOR (X5R).
- 3 SEE TABLE 9 FOR ADDITIONAL RECOMMENDED AMPLIFIERS.
- 4 OPTIONAL FILTER. SEE ANALOG INPUT SECTION.
- 5 SEE THE DIGITAL INTERFACE SECTION FOR MOST CONVENIENT INTERFACE MODE.

图29. 采用多个电源的典型应用电路

模拟输入

图30显示了AD7691输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。切记，模拟输入信号决不能超过供电轨0.3V以上，否则会造成二极管正偏，并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。例如，当输入缓冲器(U1)的电源与VDD不同时，最终可能会发生这种情况。此时，如果输入缓冲器短路，限流功能可以保护器件。

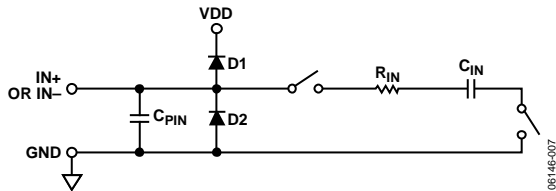


图30. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。

在采集阶段，模拟输入(IN+和IN-)的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为3 kΩ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为30 pF，主要包括ADC采样电容。

在转换阶段，开关断开，输入阻抗仅包括 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7691。较大的源阻抗会显著影响交流性能，特别是总谐波失真(THD)。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。

THD性能下降程度是源阻抗和最大输入频率的函数，如图31所示。

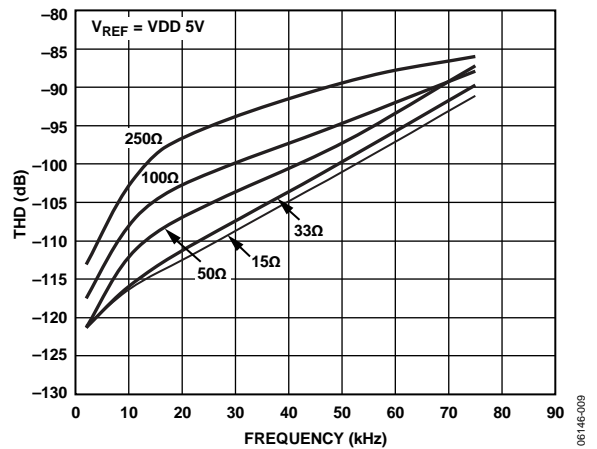


图31. THD与模拟输入频率和源电阻的关系

电源

AD7691使用两个电源引脚：内核电源(VDD)以及数字输入/输出接口电源(VIO)。VIO可以与1.8 V至VDD范围的任何逻辑直接接口。为减少所需的电源，VIO和VDD引脚可以连在一起。AD7691中VIO和VDD的电源时序无关。此外，该器件在很宽的频率范围内对电源变化非常不敏感，如图25所示。

AD7691在每个转换阶段结束时自动关断，因此功耗与采样速率成线性比例关系。这使得该器件非常适合低采样速率(低至几赫兹)和电池供电的应用。

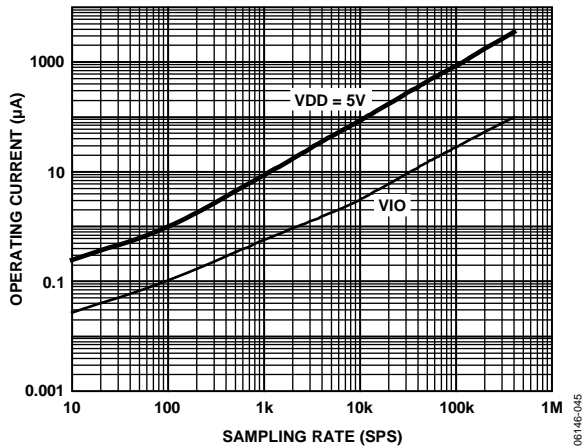


图33. 工作电流与采样速率的关系

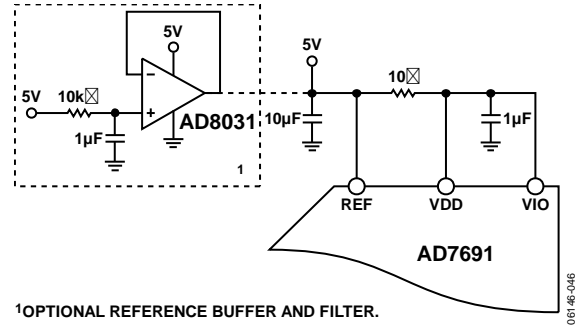
从基准电压源为ADC供电

对于简单的应用，由于工作电流很低，AD7691可以直接采用图34所示的基准电压源电路供电。基准电压线路可以通过以下方式驱动：

直接采用系统电源。

具有足够电流输出能力的基准电压源，例如ADR43x。

基准电压缓冲器，如AD8031，它也能对系统电源进行滤波，如图34所示。



1OPTIONAL REFERENCE BUFFER AND FILTER.

图34. 应用电路示例

数字接口

尽管引脚数很少，AD7691在串行接口模式上仍具有灵活性。

$\overline{\text{CS}}$ 模式下，AD7691与SPI、QSPI、数字主机和Blackfin® ADSP-BF53x或ADSP-219x等DSP兼容。此模式下，AD7691可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序(SDI)独立，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7691提供菊花链特性，利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件工作模式取决于CNV上升沿出现时的SDI电平。如果SDI为高电平，选择 $\overline{\text{CS}}$ 模式，而如果SDI为低电平，则选择链模式。SDI保持时间是当SDI和CNV连接在一起时，就会选择链模式。

任一模式下，AD7691均提供在数据位前强制加入起始位的选项。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

繁忙指示功能在下列情况下使能：

$\overline{\text{CS}}$ 模式下，如果ADC转换结束时CNV或SDI为低电平(参见图38和图42)。

链模式下，如果CNV上升沿期间SCK为高电平(参见图46)。

AD7691

CS 模式(三线式且无繁忙指示)

在将单个AD7691连接到兼容SPI的数字控制器主机时，通常会使用此模式。连接图如图35所示，相应的时序如图36所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。这点非常有用，例如可用于拉低CNV来选择其它SPI器件，如模拟多路复用器；不过，在最小转换时间逝去前，CNV必须返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，AD7691进入采集阶段并关断。CNV变为低电平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降

沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当CNV变为高电平时(以最先出现者为准)，SDO返回高阻态。

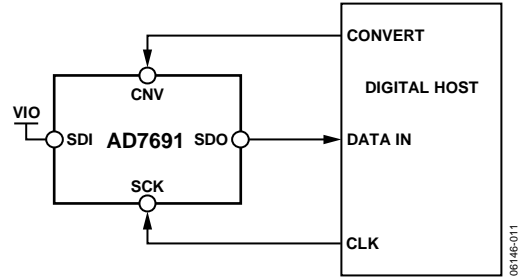


图35. CS模式(三线式且无繁忙指示)连接图 (SDI高电平)

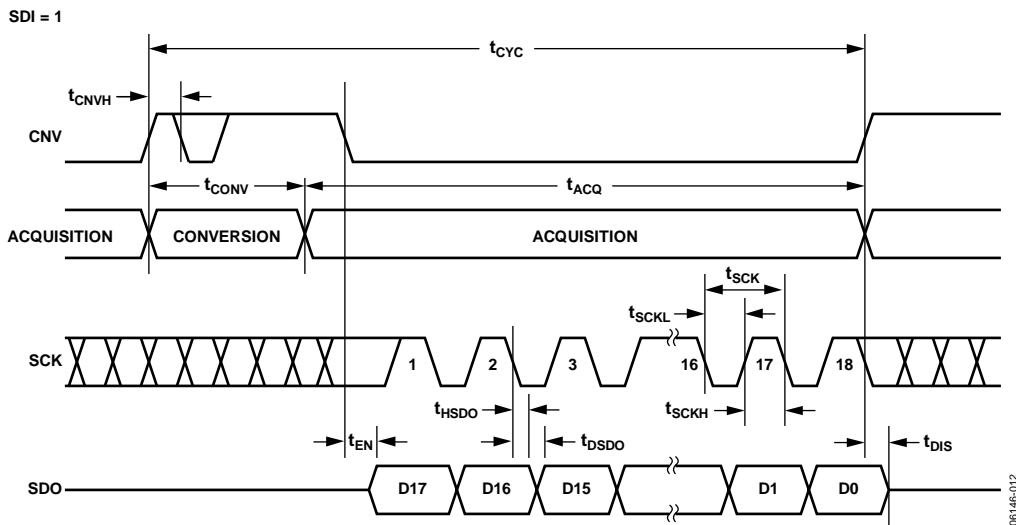


图36. CS模式(三线式且无繁忙指示)串行接口时序 (SDI高电平)

\overline{CS} 模式(三线式且有繁忙指示)

在将单个AD7691连接到具有中断输入的兼容SPI的数字控制器主机时，通常会使用此模式。

连接图如图37所示，相应的时序如图38所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择 \overline{CS} 模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其它SPI器件，如模拟多路复用器，但CNV必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据读取。AD7691接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的

上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在可选的第19个SCK下降沿之后，或者当CNV变为高电平时(以最先发生者为准)，SDO返回高阻态。

如果同时选择多个AD7691，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议使此竞争尽可能短暂，以限制额外功耗。

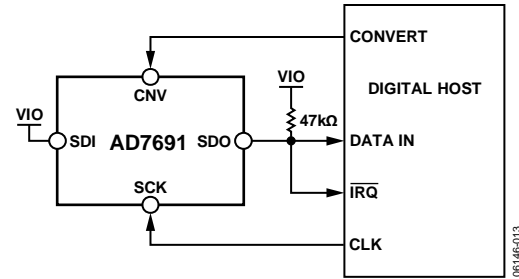


图37. \overline{CS} 模式(三线式且有繁忙指示)连接图 (SDI高电平)

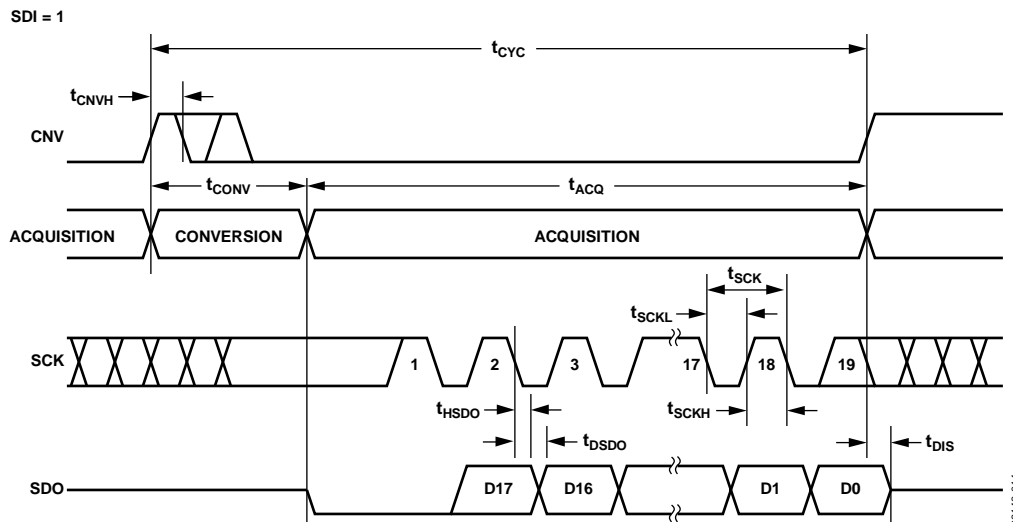


图38. \overline{CS} 模式(三线式且有繁忙指示)串行接口时序(SDI高电平)

AD7691

\overline{CS} 模式(四线式且无繁忙指示)

在将多个AD7691连接到SPI兼容数字主机时，通常会使用此模式。

使用两个AD7691的连接图示例如图39所示，相应的时序如图40所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择 \overline{CS} 模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。(SDI和CNV为低电平时，SDO变为低电平。)最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小

转换时间逝去前返回高电平，接着在最大可能转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，AD7691进入采集阶段并关断。每个ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当SDI变为高电平时(以最先出现者为准)，SDO返回高阻态，可读取另一个AD7691。

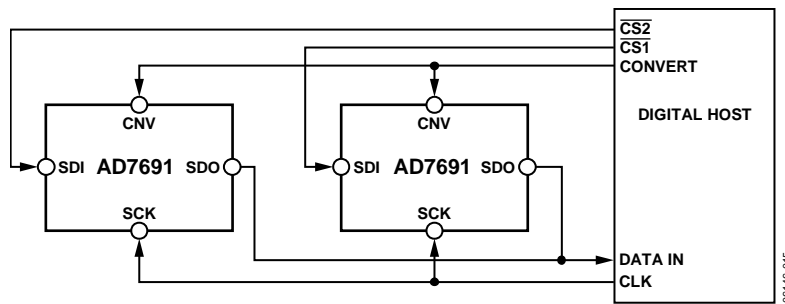


图39. \overline{CS} 模式(四线式且无繁忙指示)连接图

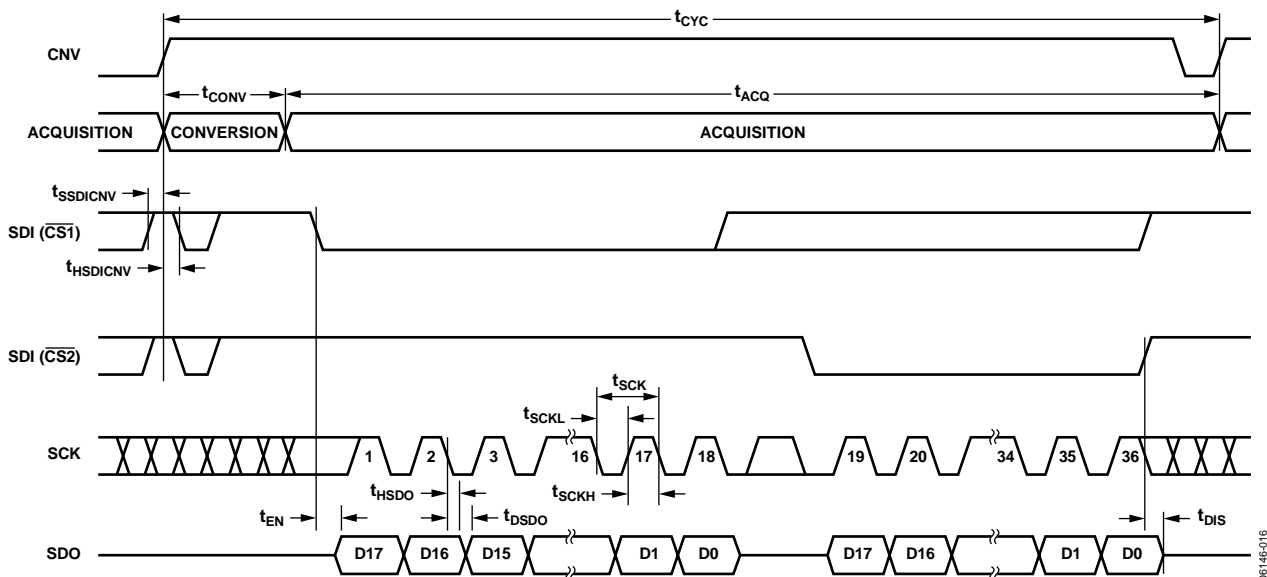


图40. \overline{CS} 模式(四线式且无繁忙指示)串行接口时序

CS 模式(四线式且有繁忙指示)

在将单个AD7691连接到具有中断输入的SPI兼容数字主机时，以及用于对模拟输入采样的CNV与用于选择数据读取的信号需要相互保持独立时，通常会使用此模式。该要求在需要CNV低抖动的应用中尤其重要。

连接图如图41所示，相应的时序如图42所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。(SDI和CNV为低电平时，SDO变为低电平。)最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回低电平，接着在最大可能转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，

SDO从高阻态变为低阻态。结合SDO线路上的上拉，此转换可用作中断信号，以启动由数字主机控制的数据回读。AD7691接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第19个SCK下降沿或者SDI变为高电平之后(以最先出现者为准)，SDO返回高阻态。

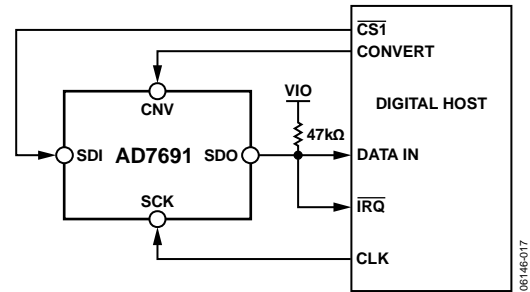


图41. CS模式(四线式且有繁忙指示)连接图

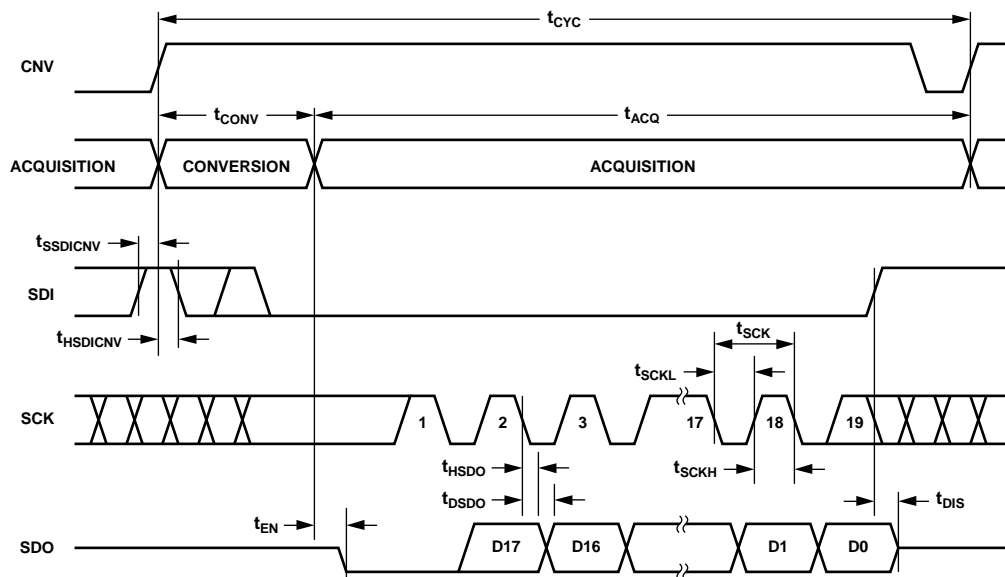


图42. CS模式(四线式且有繁忙指示)串行接口时序

AD7691

链模式(无繁忙指示)

此模式可用于在三线式串行接口上以菊花链形式连结多个AD7691。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD7691的连接图示例如图43所示，相应的时序如图44所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，选择链模式，并禁用繁忙指示。此模式下，CNV在转换阶段和随后的数据回读

期间保持高电平。转换完成后，MSB输出至SDO，而AD7691进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI为内部移位寄存器提供输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $18 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能够实现更快的读取速率，从而在链中容纳更多AD7691，只要数字主机具有合理的保持时间。最大转换速率可因总回读时间而降低。

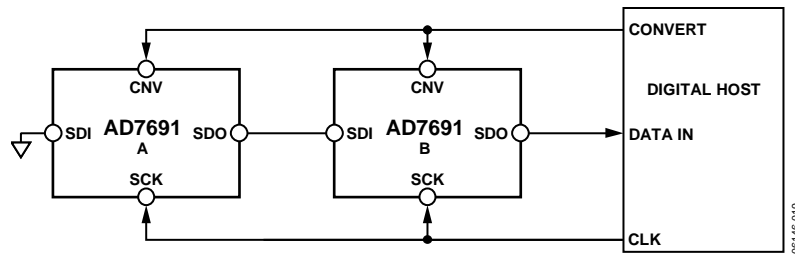


图43. 链模式(无繁忙指示)连接图

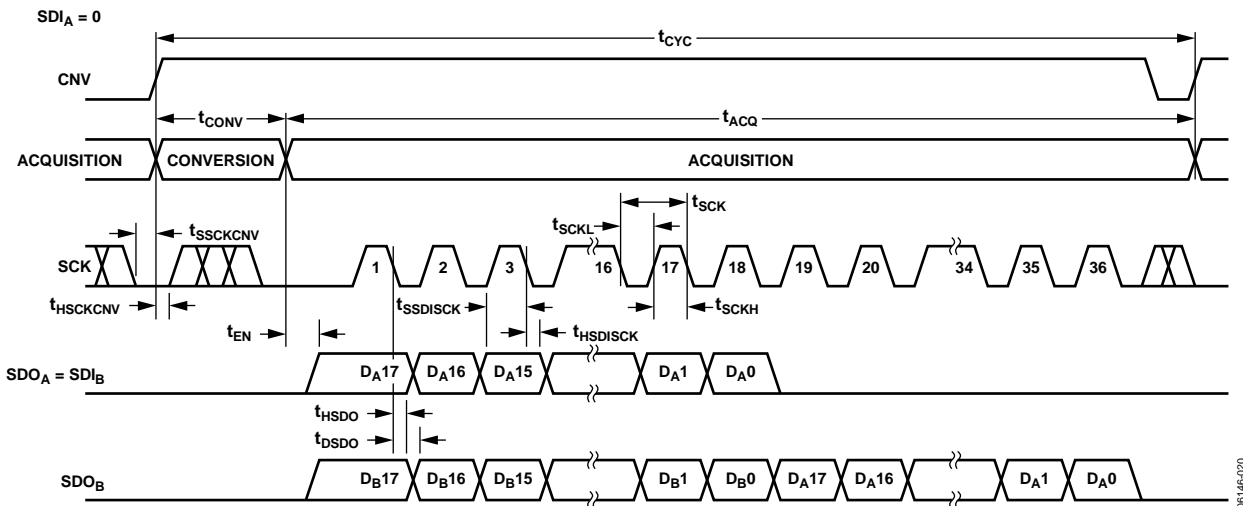


图44. 链模式(无繁忙指示)串行接口时序

链模式(有繁忙指示)

此模式也可用于在三线式串行接口上以菊花链形式连结多个AD7691，同时提供繁忙指示。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用三个AD7691的连接图示例如图45所示，相应的时序如图46所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为高电平时，CNV上的上升沿启动转换，选择链模式，并使能繁忙指示功能。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。链内所有ADC完成转换后，最靠近

数字主机的ADC的SDO引脚(参见图45中标示为C的AD7691 ADC)变为高电平。SDO上的这一转换可用作繁忙指示，以触发由数字主机控制的数据回读。AD7691接着进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿以MSB优先方式逐个输出。对于每个ADC，SDI为内部移位寄存器提供输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $18 \times N + 1$ 个时钟。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，从而在链中容纳更多AD7691，只要数字主机具有合理的保持时间。

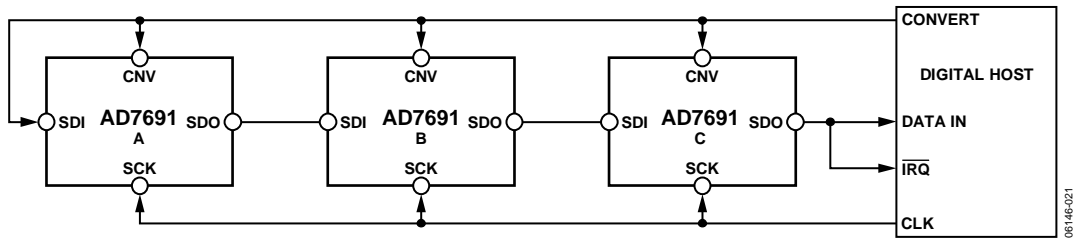


图45. 链模式(有繁忙指示)连接图

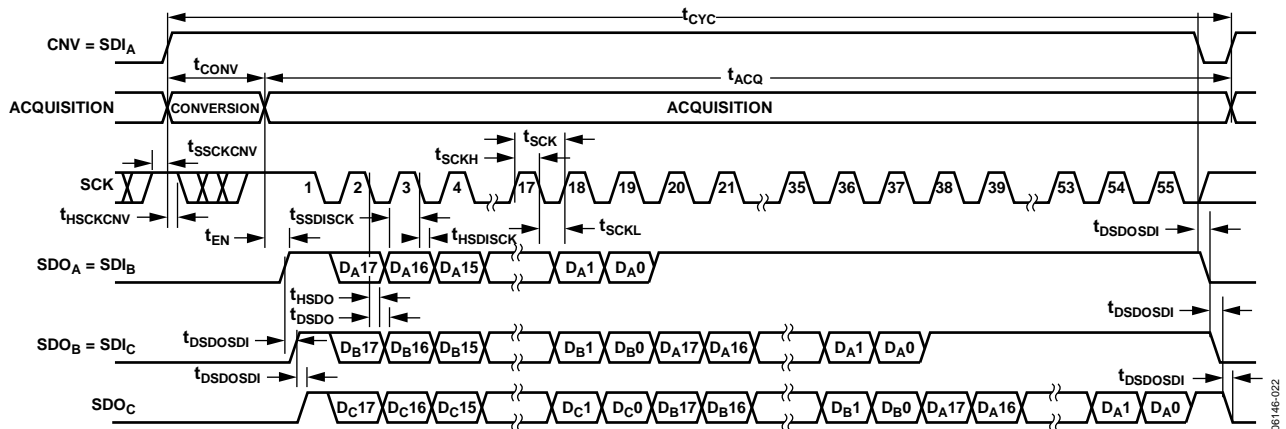


图46. 链模式(有繁忙指示)串行接口时序

应用须知

布局

AD7691所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD7691的模拟信号位于左侧，数字信号位于右侧，这种引脚配置可以简化设计。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7691下方铺一个接地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不应靠近模拟信号路径。应避免数字信号与模拟信号交叠。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况，接地层应在AD7691下方连接。

AD7691的基准电压输入REF具有动态输入阻抗，应进行去耦，并使寄生电感最小。实现方法是基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7691的电源VDD和VIO应通过陶瓷电容去耦，其值通常为100 nF，靠近AD7691放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图47和图48是遵循这些规则的布局示例。

评估AD7691性能

AD7691评估板(EVAL-AD7691CBZ)的文档中给出了AD7691的其它推荐布局。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过EVAL-CONTROL BRD3Z控制评估板的软件。

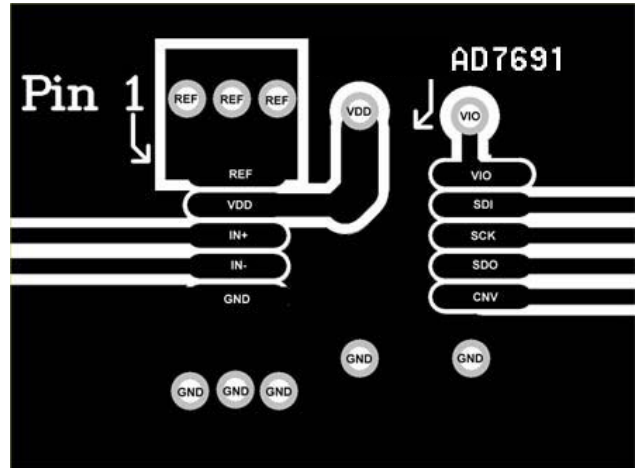


图47. AD7691的布局示例(顶层)

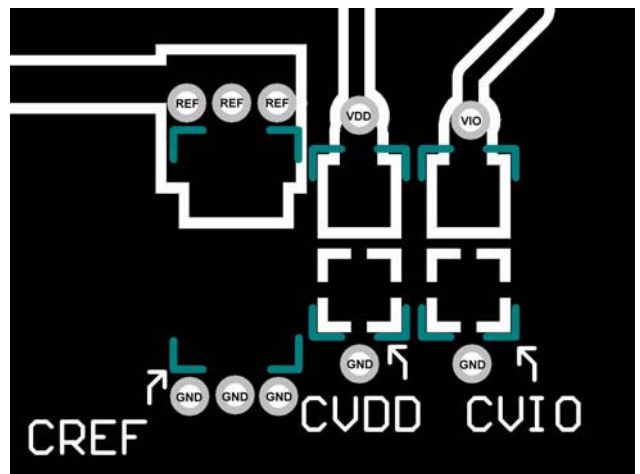


图48. AD7691的布局示例(底层)

外形尺寸

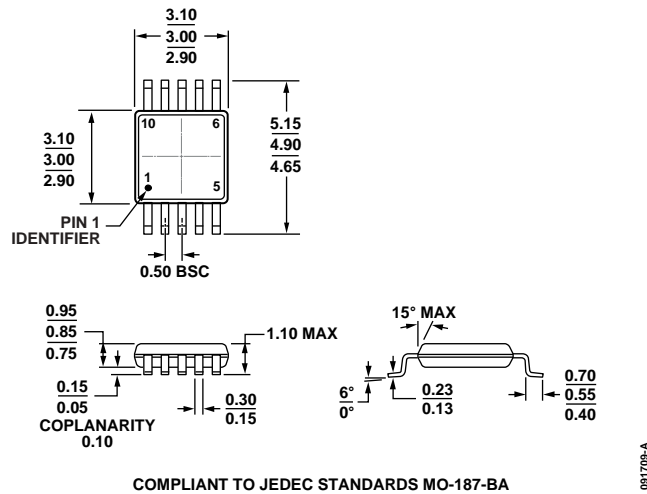


图49. 10引脚超小型封装[MSOP]
(RM-10)

图示尺寸单位: mm

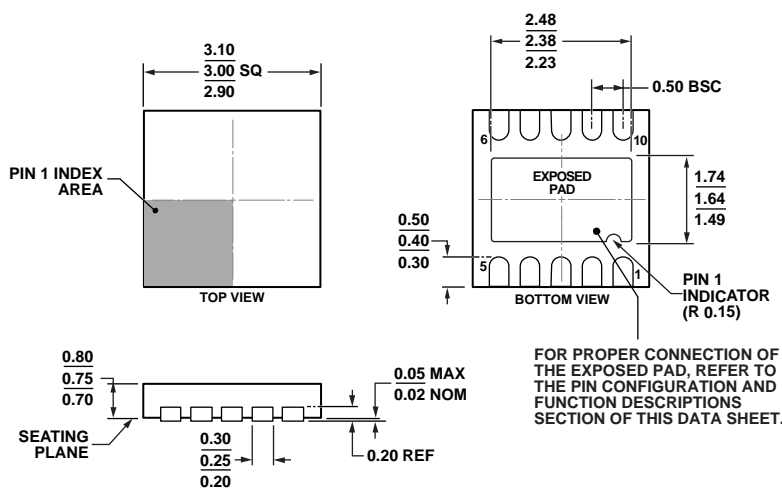


图50. 10引脚引线框芯片级封装[QFN (LFCSP_WD)]

3 mm x 3 mm, 超薄体, 双引线

(CP-10-9)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项	标识	订购数量
AD7691BCPZRL	-40°C 至+85°C	10引脚 QFN (LFCSP_WD)	CP-10-9	C4E	卷盘, 5,000
AD7691BCPZRL7	-40°C 至+85°C	10引脚 QFN (LFCSP_WD)	CP-10-9	C4E	卷盘, 1,500
AD7691BRMZ	-40°C 至+85°C	10引脚 MSOP	RM-10	C4E	卷带, 50
AD7691BRMZ-RL7	-40°C 至+85°C	10引脚 MSOP	RM-10	C4E	卷盘, 1,000
EVAL-AD7691SDZ		评估板			
EVAL-SDP-CB1Z		控制板			

¹ Z = 符合RoHS标准的器件。

AD7691

注释

注释

AD7691

注释