

产品特性

输入电压范围: 6V至60V
 片内5V低压差调节器
 可选降压/升压模式
 4.0V p-p高幅度PWM锯齿波下具有出色的PWM线性度
 FAULT输入兼容AD8450
 COMP输入兼容AD8450
 可调频率范围: 50 kHz至300 kHz
 带可调相移的同步输出或输入
 可编程最大占空比
 最大内部占空比: 98%
 可编程软启动
 峰值打嗝限流保护
 输入电压UVLO保护
 TSD保护
 16引脚TSSOP

应用

带循环功能的PWM电池测试系统, 包括混合动力汽车、PC和
 相机电池
 兼容AD8450恒压(CV)和恒流(CC)监控器

概述

ADP1972是一款恒定频率、电压模式、脉冲宽度调制(PWM)控制器, 用于降压/升压DC-DC异步应用。ADP1972旨在配合外部高电压场效应晶体管(FET)、半桥驱动器和外部控制器件(如AD8450)用于异步电池测试应用。异步器件可在电池充电模式下作为降压转换器使用, 并在循环模式下作为升压转换器使用, 以便回收输入总线上的电能。

ADP1972高电压VIN电源引脚最高可耐受60V工作电压, 并能减少额外的系统电源电压需求。ADP1972集成诸如精确使能、引脚可选降压/升压工作模式、带可编程相移的内部和外部同步控制、可编程最大占空比, 以及可编程峰值打嗝电流限值等功能。额外保护功能包括软启动(限制启动时的输入浪涌电流)、输入电压欠压闭锁(UVLO)以及热关断(TSD)。ADP1972还集成COMP引脚, 可从外部控制PWM操作; 还集成FAULT引脚, 可在ADP1972发生外部故障条件时对其发送信号以禁用DH和DL输出。

ADP1972采用16引脚TSSOP封装。

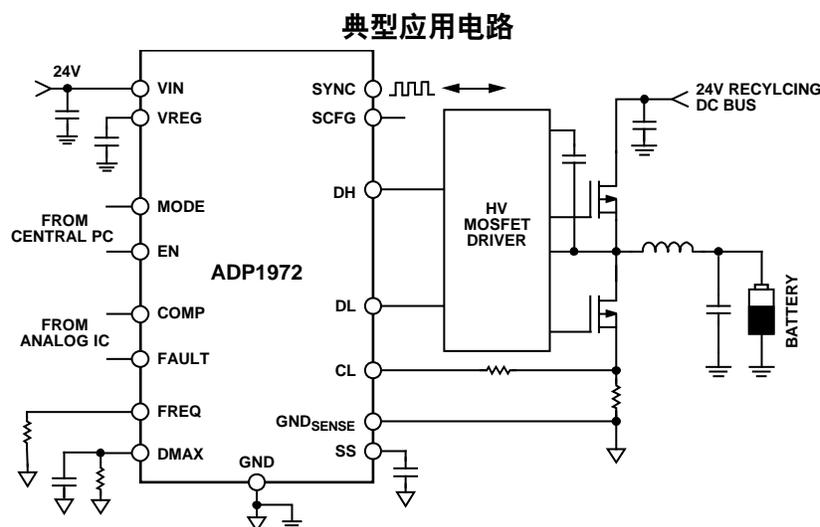


图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	PWM驱动信号	12
应用	1	外部COMP控制	12
概述	1	限流	12
典型应用电路	1	PWM频率控制	12
修订历史	2	最大占空比	13
技术规格	3	外部故障信号	13
绝对最大额定值	5	热关断(TSD)	13
热工作范围	5	应用信息	14
ESD警告	5	降压/升压选择	14
引脚配置和功能描述	6	选择 R_s 以设置电流限值	14
典型性能参数	7	调整工作频率	14
工作原理	10	最大占空比编程	15
电源引脚	10	调整软启动周期	16
EN/关断	11	PCB布局指南	17
欠压闭锁(UVLO)	11	外形尺寸	18
软启动	11	订购指南	18
工作模式	11		

修订历史

2014年1月—修订版0：初始版

技术规格

除非另有说明，VIN = 24 V，规格值在T_j = -40°C至+125°C范围内有效。典型值为T_A = 25°C下。所有极端温度限值都采用标准统计质量控制(SQC)通过相关性予以保证。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压(VIN)						
电压范围	V _{IN}		6		60	V
VIN电源电流	I _{VIN}	R _{FREQ} = 100 kΩ, V _{SS} = 0 V, SYNC悬空		1.5	2.5	mA
VIN关断电流	I _{SHDN}	V _{EN} = 0 V		15	70	μA
UVLO阈值上升		V _{IN} 上升		5.71	6	V
UVLO阈值下降		V _{IN} 下降	5.1	5.34		V
软启动(SS)						
SS引脚电流	I _{SS}	V _{SS} = 0 V	4	5	6	μA
SS阈值上升				0.52	0.65	V
SS阈值下降			0.4	0.5		V
PWM控制						
FREQ						
频率范围	f _{SET}		50		300	kHz
振荡器频率	f _{OSC}	R _{FREQ} = 100 kΩ	90	100	110	kHz
FREQ引脚电压	V _{FREQ}	R _{FREQ} = 100 kΩ	1.2	1.252	1.3	V
SYNC						
最大SYNC引脚电压					5.5	V
SYNC下拉电阻			0.5	1	1.5	MΩ
SYNC输出(内部频率控制)		V _{SCFG} ≥ 4.53 V或SCFG引脚悬空				
内部SYNC范围	f _{SET}	SYNC输出	50		300	kHz
SYNC输出时钟占空比		V _{SCFG} = V _{VREG} , R _{FREQ} = 100 kΩ	40	50	60	%
SYNC灌电阻	R _{SYNC}	V _{SCFG} = 5 V, I _{SYNC} = 10 mA		10	20	Ω
SYNC输入(外部频率控制)		V _{SCFG} < 4.25 V				
外部SYNC范围	f _{SYNC}	SYNC输入时钟	50		300	kHz
SYNC阈值上升				1.2	1.5	V
SYNC阈值下降			0.7	1.05		V
R _{FREQ} 同步从主比		例如, R _{FREQ(SLAVE)} = 1.11 × R _{FREQ(MASTER)}		1.11		
SCFG	V _{SCFG}					
SCFG高阈值上升				4.53	4.7	V
SCFG高阈值下降			4.25	4.51		V
SCFG低阈值上升				0.52	0.65	V
SCFG低阈值下降			0.4	0.5		V
SCFG电流	I _{SCFG}	R _{FREQ} = 100 kΩ	9.5	11	12.5	μA
DMAX						
最大内部占空比		V _{COMP} , V _{DMAX} , V _{SS} 和V _{SCFG} = 5 V		97.37		%
DMAX设置电流	I _{DMAX}	V _{DMAX} = 0 V, R _{FREQ} = 100 kΩ	9.5	11	12.5	μA
DMAX和SCFG电流匹配 ¹				10		%
COMP						
最大COMP引脚电压	V _{COMP}				5	V
内部峰峰值斜坡电压	V _{p-p}			4		V
COMP最大内部斜坡电压				4.5		V
COMP最小内部斜坡电压		内部振荡器禁用	0.45	0.5	0.55	V
DH和DL关断范围 ²	V _{COMP}	COMP未调节			0.45	V
最大占空比范围 ²	V _{COMP}			4.4	5	V

ADP1972

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
精密使能逻辑(EN)						
最大EN引脚电压					60	V
EN阈值上升			1.1	1.25	1.4	V
EN阈值下降			1.1	1.22		mV
EN引脚电流		$V_{EN} = 5V$		0.32	2	μA
MODE逻辑						
最大MODE引脚电压					5.5	V
MODE阈值上升			0.7	1.20	1.5	V
MODE阈值下降			0.7	1.05		V
限流(CL)						
设定电流	I_{CL}	$V_{CL} = 0V$	18	20	21	μA
降压内部基准电压源	$V_{REF (BUCK)}$		250	300	350	mV
升压内部基准电压源	$V_{REF (BOOST)}$		450	500	550	mV
打嗝检测时间		$R_{FREQ} = 100 k\Omega$	4.4	5.2	6.1	ms
打嗝关闭时间		$R_{FREQ} = 100 k\Omega$	4.4	5.2	6.1	ms
VREG						
LDO稳压器输出电压	V_{VREG}	$V_{IN} = 6V$ 至 $60V$	4.9	5	5.1	V
保证输出电流	$I_{OUT (MAX)}$	$V_{IN} = 6V$			5	mA
电压调整率		$V_{IN} = 6V$ 至 $60V$		5	5.1	V
负载调整率		$V_{IN} = 6V, I_{OUT} = 0 mA$ 至 $5 mA$		5	5.1	V
FAULT						
最大FAULT引脚电压					60	V
FAULT阈值上升			0.7	1.2	1.5	V
FAULT阈值下降			0.7	1.05		V
FAULT引脚电流		$V_{FAULT} = 5V$		0.49	2	μA
PWM驱动逻辑信号(DH/DL)						
DL驱动电压	V_{DL}	空载		VREG		V
DH驱动电压	V_{DH}	空载		VREG		V
DL和DH灌电阻		$I_{DL} = 10 mA$		1.2	2.4	Ω
DL和DH拉电阻		$I_{DL} = 10 mA$		1.4	2.6	Ω
DL和DH下拉电阻			0.5	1	1.5	M Ω
热关断(TSD)						
TSD阈值上升				150		$^{\circ}C$
TSD阈值下降				135		$^{\circ}C$

¹ DMAX和SCFG电流匹配规格按如下方式计算：实测 I_{SCFG} 和 I_{DMAX} 电流之差的绝对值除以11 μA 典型值，再乘以100。

$$DMAX和SCFG电流匹配(\%) = \left[\frac{I_{SCFG} - I_{DMAX}}{11 \mu A} \right] \times 100$$

² 占空比与所施加的COMP引脚电压之间的关系曲线参见图11。

绝对最大额定值

表2.

参数	额定值
VIN、EN、FAULT至GND	-0.3 V至+61 V
SYNC、COMP、MODE至GND	0.3 V至+5.5 V
DH、DL、SS、DMAX、SCFG、CL至GND	-0.3 V至VREG + 0.3 V
GND _{SENSE} 至GND	-0.3 V至+0.3 V
工作环境温度范围	-40°C至+85°C
结温	125°C
存储温度范围	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

绝对最大额定值仅适合单独应用，但不适合组合使用。

热工作范围

超过结温限值，可致ADP1972损坏。工作结温最高温度($T_{J\text{MAX}}$)优先于工作环境最高温度($T_{A\text{MAX}}$)。监控环境温度并不能保证结温(T_J)处于额定温度限值内。

在功耗高、印刷电路板(PCB)热阻差的应用中，可能需要降低最大环境温度。在功耗适中、PCB热阻较低的应用中，当结温处于额定限值以内时，最高环境温度可以超过最大限值。

器件的结温(T_J)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。使用以下公式可从环境温度(T_A)和功耗(P_D)计算出最高结温(T_J)：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (1)$$

有关热阻的更多信息，请参阅应用笔记AN-000——“IC封装的热特性”。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP1972

引脚配置和功能描述

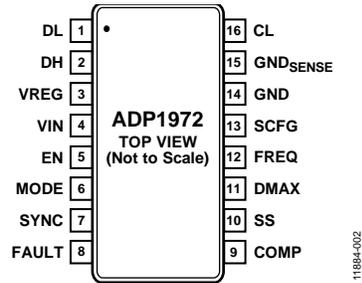


图2. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	说明
1	DL	外部低端MOSFET驱动器的逻辑驱动低电平输出。
2	DH	外部高端MOSFET驱动器的逻辑驱动高电平输出。
3	VREG	内部低压差(LDO)稳压器输出和内部偏置电源。此引脚与地之间需要连接一个1 μ F或更大的旁路电容。
4	VIN	高输入电压电源引脚。通过一个4.7 μ F电容将该引脚旁路至地。
5	EN	逻辑使能输入。拉低EN逻辑可关断器件。拉高EN逻辑可开启器件。
6	MODE	模式选择。拉低MODE逻辑可将器件置于升压/循环模式。拉高MODE逻辑可将器件置于降压/充电工作模式。
7	SYNC	同步引脚。该引脚用作输入，与外部时钟同步，或用作输出时钟，与其他通道同步。
8	FAULT	故障输入引脚。由配套ASIC AD8450 上的过流保护(OCP)或过压保护(OVP)故障状况触发信号。此引脚为逻辑低电平时， ADP1972 禁用。
9	COMP	来自配套ASIC AD8450 的输出误差放大器信号。此引脚是 ADP1972 的误差输入，与线性斜坡进行内部比较，以产生PWM信号。不要悬空该引脚。
10	SS	软启动控制引脚。在SS与地之间连接一个电容，使输出在上电时缓慢上升，并降低浪涌电流。
11	D_MAX	最大占空比输入。此引脚与地之间连接一个外部电阻以设置最大占空比。如果98%的内部最大占空比足以满足应用需要，可将此引脚连接到VREG。如果D_MAX悬空，此引脚内部连接到VREG。
12	FREQ	频率设置引脚。在此引脚与地之间连一个外部电阻，以便在50 kHz到300 kHz范围内设置频率。
13	SCFG	同步配置输入。驱动 $V_{SCFG} \geq 4.53$ V时，SYNC配置为输出时钟信号。驱动 $V_{SCFG} < 4.25$ V时，SYNC配置为输入。在此引脚与地之间连接一个电阻以使 0.65 V $< V_{SCFG} < 4.25$ V，可将一个相移引入同步时钟。驱动 $V_{SCFG} \leq 0.5$ V时，SYNC配置为无相移的输入，器件与外部时钟源同步。如果SCFG悬空，SYNC引脚内部连接到VREG，SYNC配置为输出。
14	GND	模拟和电源地引脚。
15	GND_SENSE	限流设置电阻的参考地。
16	CL	限流编程引脚。将一个限流检测电阻与FET源极串联，以便设置峰值电流限值。

典型性能参数

除非另有说明, $V_{VIN} = V_{EN} = V_{FAULT} = 24\text{ V}$, $V_{MODE} = V_{CL} = V_{SS} = V_{COMP} = 0\text{ V}$, $T_A = 25^\circ\text{C}$ 。

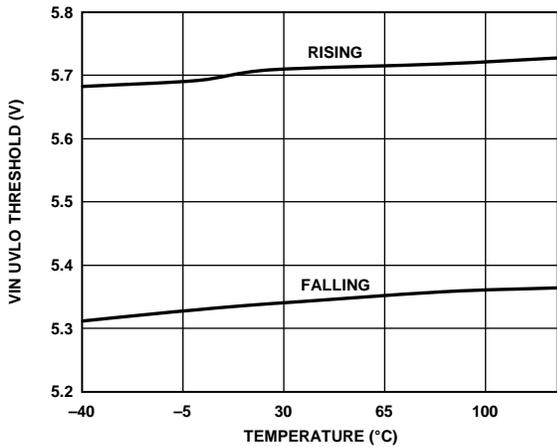


图3. 输入电压UVLO阈值与温度的关系, $V_{FAULT} = 0\text{ V}$

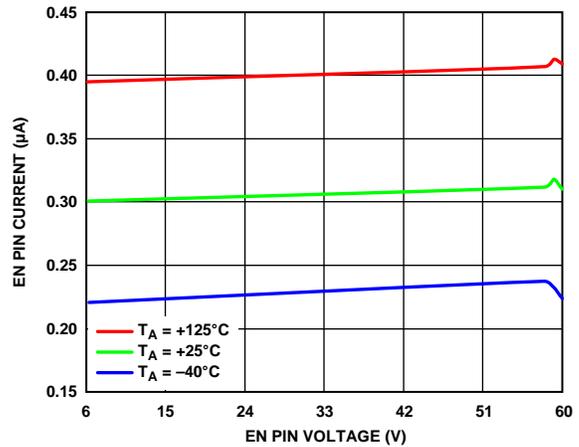


图6. EN引脚电流与EN引脚电压的关系, $V_{EN} = 5\text{ V}$ 且 $V_{FAULT} = 0\text{ V}$

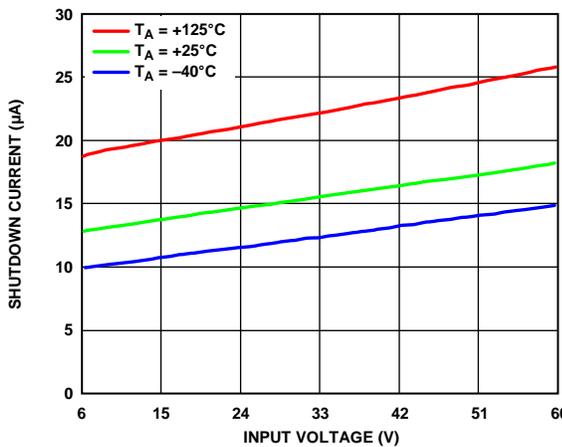


图4. 关断电流与输入电压的关系, $V_{EN} = 0\text{ V}$ 且 $V_{FAULT} = 0\text{ V}$

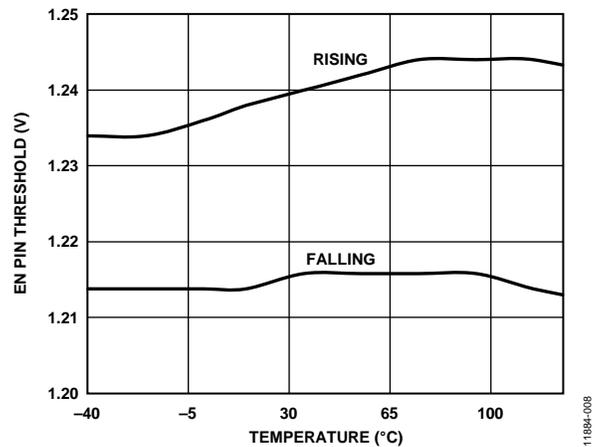


图7. EN引脚阈值与温度的关系, $V_{FAULT} = 0\text{ V}$

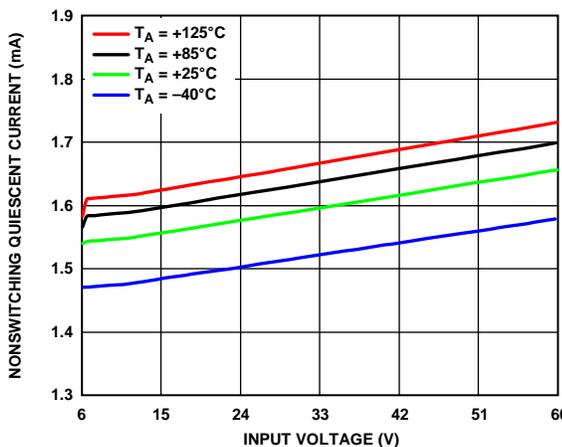


图5. 非开关静态电流与输入电压的关系(SYNC = 悬空)

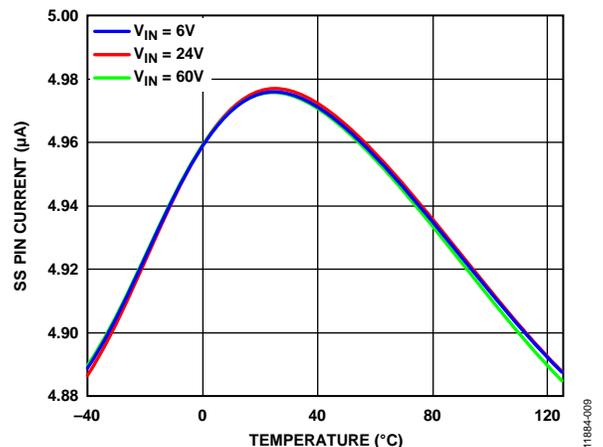


图8. SS引脚电流与温度的关系

ADP1972

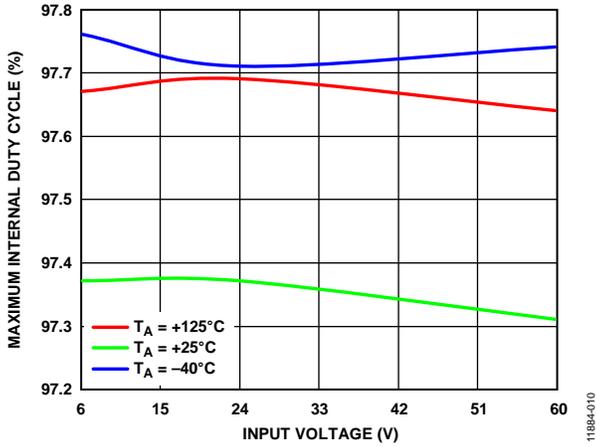


图9. 最大内部占空比与输入电压的关系, $R_{FREQ} = 100 \text{ k}\Omega$, $V_{COMP} = 5 \text{ V}$, DL、DH或DMAX上无负载

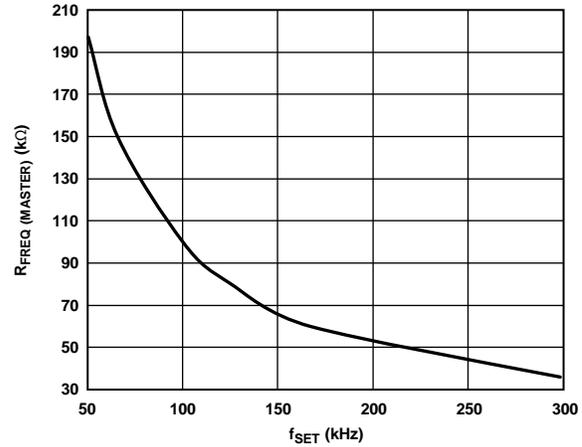


图12. $R_{FREQ(MASTER)}$ 与开关频率(f_{SET})的关系

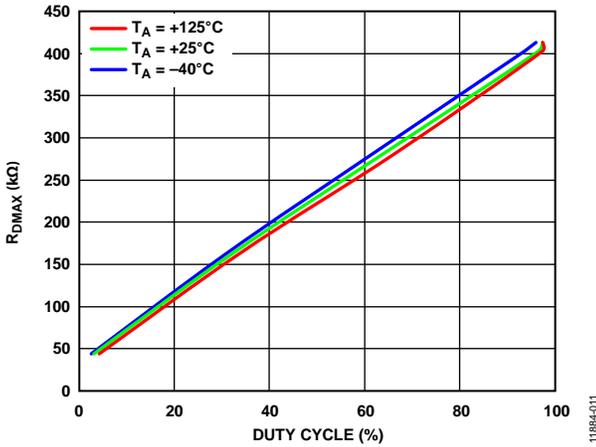


图10. R_{DMAX} 与占空比的关系, $R_{FREQ} = 100 \text{ k}\Omega$, $V_{COMP} = 5 \text{ V}$, DL或DH上无负载

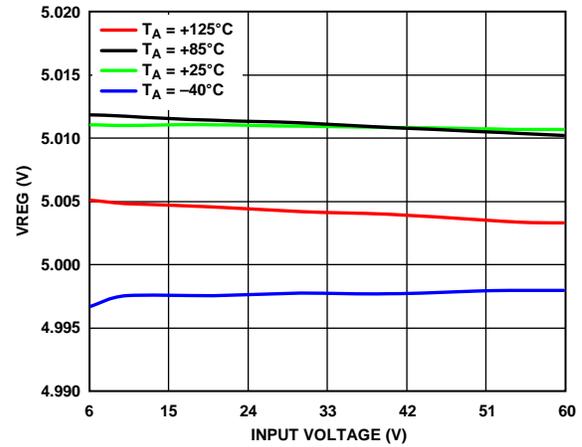


图13. V_{REG} 与输入电压的关系(空载)

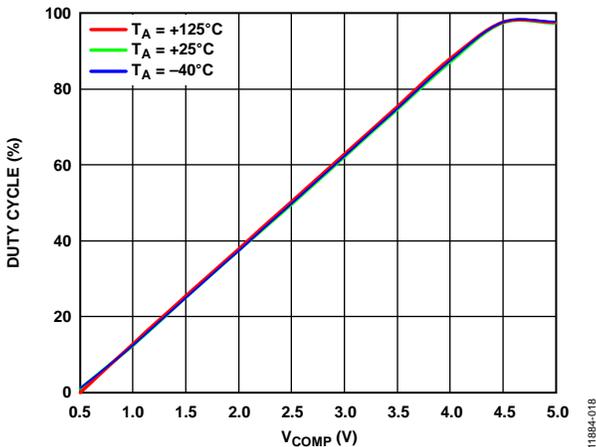


图11. 占空比与 V_{COMP} 的关系, $R_{FREQ} = 100 \text{ k}\Omega$, DL、DH或DMAX上无负载

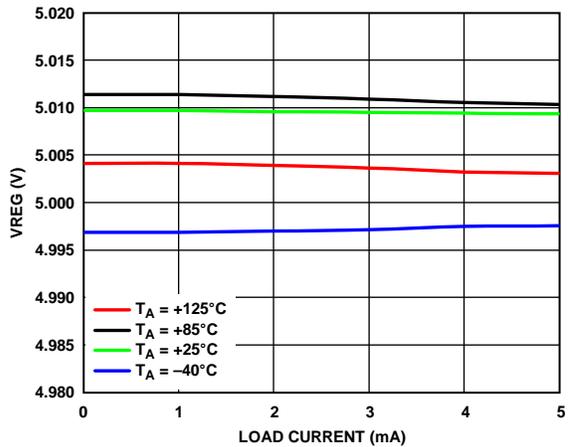


图14. V_{REG} 与负载电流的关系

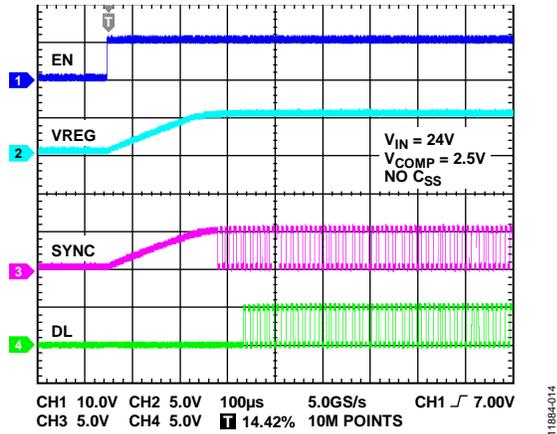


图15. 启动

工作原理

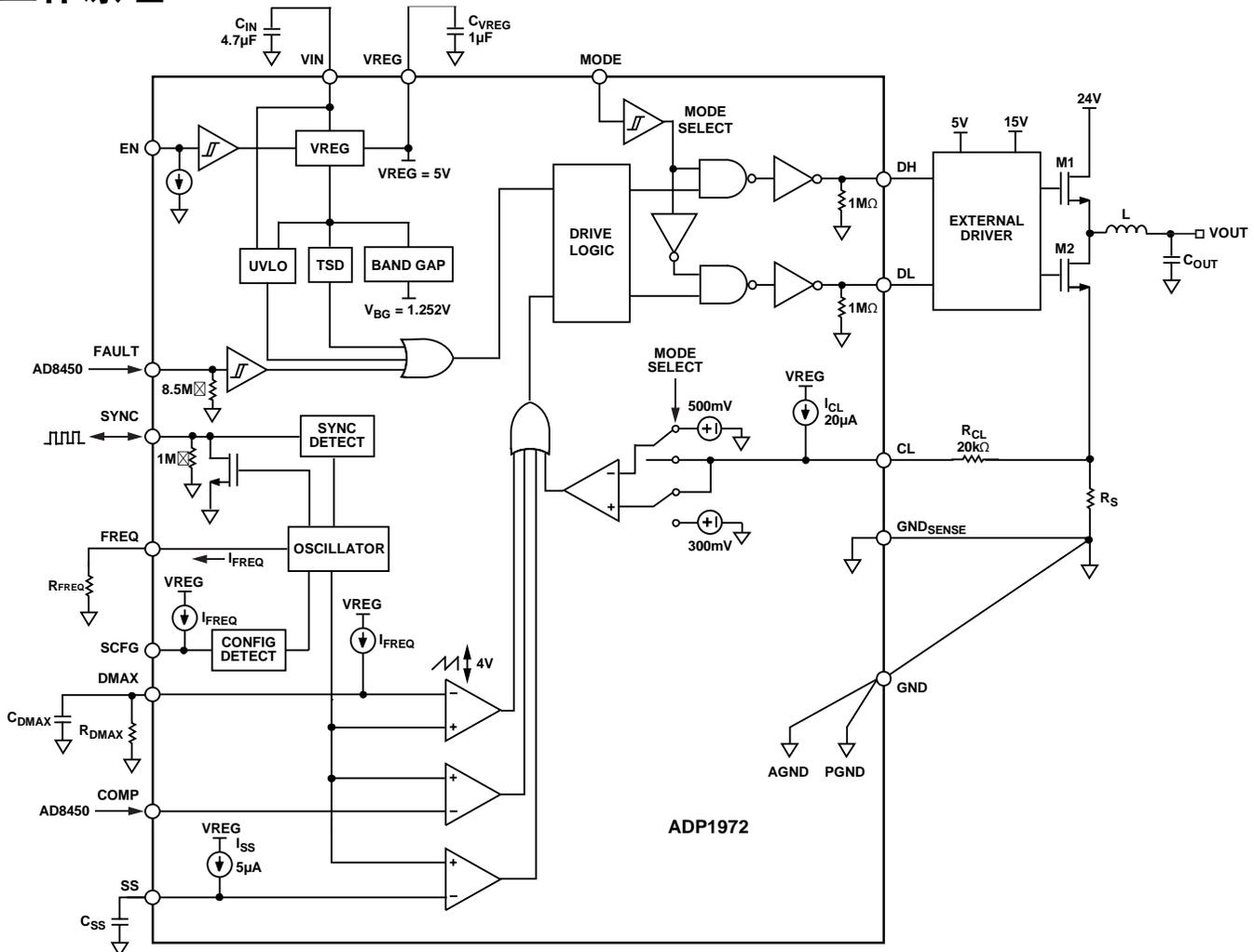


图16. 功能框图

ADP1972是一款恒定频率、电压模式PWM控制器，适合与外部高压FET、半桥驱动器和外部误差信号产生器件(如AD8450)一起支持降压或升压DC-DC异步应用。ADP1972具有高输入电压范围、多个外部编程控制引脚并集成安全特性。

电源引脚

ADP1972有两个电源引脚：VIN和VREG。

VIN引脚由6 V至60 V的外部电源供电，为ADP1972的内部LDO调节器提供电源电压。使用4.7 μ F或更大的陶瓷电容将VIN引脚旁路至地。

VREG引脚是内部LDO稳压器的输出。内部LDO稳压器产生5 V(典型值)电压轨，内部使用该电压来偏置控制电路；它也可以供外部使用，作为MODE、SYNC、DMAX和FAULT引脚的上拉电压。使用1 μ F陶瓷电容将VREG引脚旁路至地。

当输入电压超过50 V时，需要额外的输入滤波。图17给出了推荐的滤波器配置。

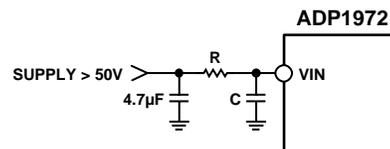


图17. 输入电压大于50 V时的推荐滤波器配置

EN/关断

EN输入可启动或关闭ADP1972。ADP1972的EN引脚最高可采用60 V的电压工作，针对精密使能控制设计有稳定的 $\pm 20\%$ 阈值。当EN电压小于1.22 V(典型值)时，ADP1972关断，并且拉低DL和DH。当ADP1972关断时，VIN电源电流为15 μA (典型值)。当EN电压大于1.25 V(典型值)时，ADP1972使能。

该器件可通过EN引脚、TSD事件指示的故障状况、UVLO状况或FAULT引脚指示的外部故障状况禁用。

欠压闭锁(UVLO)

VIN引脚内置UVLO功能。当VIN上升时，UVLO限制ADP1972启动，直到VIN大于5.71 V(典型值)。当VIN下降时，如果VIN降至5.34 V(典型值)以下，UVLO就会禁用器件。UVLO可以防止应用在低输入电压下可能发生的不稳定工作现象，避免ADP1972和外部电路受损。为确保无毛刺启动，UVLO电平具有大约370 mV的迟滞。

软启动

ADP1972配有软启动电路，可防止启动时输出电压过冲。当利用EN引脚使能ADP1972时，VREG电压开始上升到5 V。当VREG达到5 V(典型值)的90%时，5 μA (典型值)内部软启动电流(I_{SS})开始给软启动电容(C_{SS})充电，引起SS引脚电压(V_{SS})上升。当 V_{SS} 小于0.52 V(典型值)时，ADP1972开关控制保持禁用状态。

当 V_{SS} 达到0.52 V(典型值)时，开关使能，ADP1972控制环路开始调节。当 C_{SS} 继续充电且 V_{SS} 继续上升时，PWM占空比逐渐提高，使得输出电压线性上升，启动期间不会发生过冲或只有很少的过冲。 C_{SS} 充电且 V_{SS} 上升至 V_{SS} 达到内部VREG电压(典型值5 V)为止。当内部系统占空比小于软启动占空比时，内部控制环路取得对ADP1972的控制权。图18给出了软启动图。

SS引脚内置一个有源下拉电阻，当器件关断时，它给 C_{SS} 放电，防止发生故障。

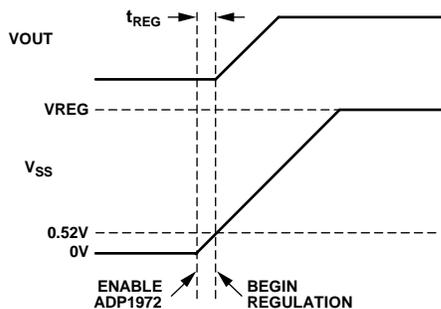


图18. 软启动图

11884-022

工作模式

ADP1972可以配置为异步升压器或异步降压器。若将MODE引脚拉低1.05 V(典型值)以下，则ADP1972以升压配置工作。升压配置非常适合电池充电应用中的电源循环和放电。若将MODE引脚拉高1.20 V(典型值)以上，则ADP1972以降压配置工作，适用于电池充电。关于ADP1972在每种模式下的行为，参见图19和图20。使能ADP1972时，连接到VREG引脚的内部LDO稳压器也会上电。在VREG的上升沿，MODE引脚的状态被锁存，防止工作模式在器件使能时发生改变。要在升压和降压两种工作模式之间进行切换，应关断或禁用ADP1972，调整MODE引脚以改变工作模式，然后重启系统。

当EN引脚为低电平、FAULT引脚为低电平或ADP1972因为TSD事件或UVLO状况而禁用时，可以改变工作模式。在FAULT控制信号的上升沿，MODE引脚的状态被锁存，防止工作模式在器件使能时发生改变。

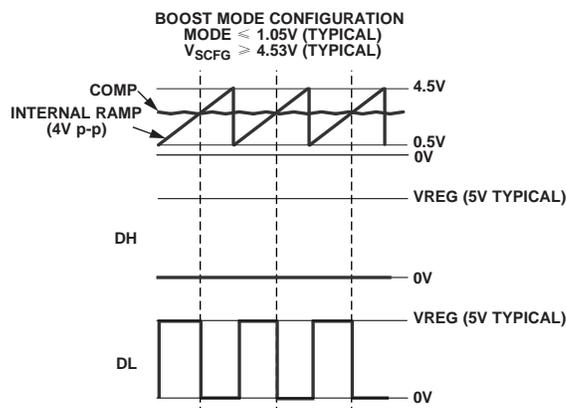


图19. 升压配置信号图

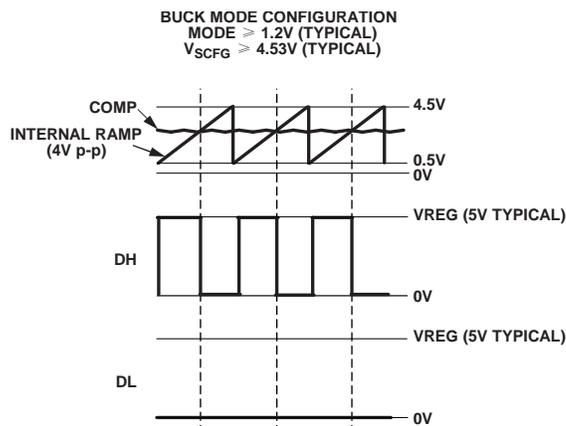


图20. 降压配置信号图

11884-023

11884-024

ADP1972

PWM驱动信号

ADP1972有两个输出驱动信号DH和DL，它们与类似IR2110S的驱动器兼容。

当MODE引脚为逻辑低电平且ADP1972配置为升压/循环模式时，驱动信号DL有效。DL驱动信号负责接通和断开由外部驱动器驱动的低端开关。在升压/循环模式下，DH信号变为低电平以防止高端开关接通，仅允许续流二极管导通。

当MODE引脚为逻辑高电平且ADP1972配置为降压/充电模式时，驱动信号DH有效。DH驱动信号负责接通和断开由外部驱动器驱动的高端开关。在降压/充电模式下，DL信号变为低电平以防止低端开关接通，仅允许续流二极管导通。

用DH和DL引脚驱动容性负载时，必须将一个20 Ω电阻与容性负载串联，以便降低接地噪声并确保信号完整性。

外部COMP控制

ADP1972 COMP引脚是误差放大器的输入，用于控制DH引脚或DL引脚上的PWM输出。ADP1972利用电压模式控制将一个由外部器件(如AD8450)施加于COMP引脚的误差信号与内部4 V p-p三角波形进行比较。当负载改变时，误差信号增大或减小。内部PWM比较器通过监控COMP引脚的误差信号和内部4 V p-p斜坡信号来确定适当占空比的驱动信号。随后，内部PWM比较器以如上确定的占空比通过DH和DL驱动控制引脚驱动外部栅极驱动器。

COMP引脚的工作电压范围是0 V到5.0 V。如果 V_{COMP} 小于0.5 V(典型值)，则DH和DL输出禁用。如果 V_{COMP} 介于0.5 V到4.5 V之间，则ADP1972相应地调节DH和DL输出。如果 V_{COMP} 大于4.5 V，则ADP1972以设置的最大占空比(默认值98%)操作DH和DL输出。COMP引脚的输入不得超过5.5 V的绝对最大额定值。

DL和DH信号的摆幅为VREG(典型值5 V)至地。所用的外部FET驱动器必须具有兼容5 V逻辑信号的输入控制引脚。

限流

ADP1972采用峰值打嗝限流方案。当峰值电感电流超过设置的电流限值并持续500个时钟周期(设置100 kHz频率时，典型值为5.2 ms)以上时，就会出现峰值打嗝限流情况。然后，输出电压的PWM调节停用500个时钟周期，这一时间足以使输出完成放电并降低平均功耗。经过500个时钟周期之后，ADP1972重启。

当SS引脚超过0.52 V(典型值)时，ADP1972恢复PWM调节。

图21给出了峰值限流保护的限流功能框图。

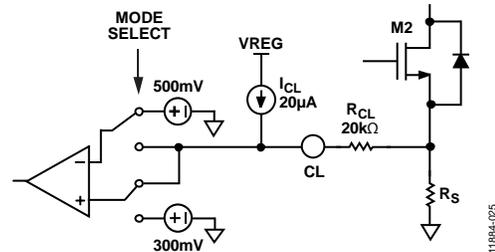


图21. 限流功能框图

PWM频率控制

FREQ、SYNC和SCFG引脚都是用来确定ADP1972 PWM控制所用时钟信号的来源、频率和同步。

内部频率控制

ADP1972频率可通过连接在FREQ与地之间的外部电阻来设置。频率设置范围是最小50 kHz到最大300 kHz。如果SCFG引脚连接到VREG，导致 $V_{SCFG} \geq 4.53$ V，或者SCFG引脚悬空，则SYNC引脚配置为输出，ADP1972以 R_{FREQ} 设置的频率工作，频率通过开漏器件从SYNC引脚输出。SYNC引脚的输出时钟以50%(典型值)占空比工作。采用这种配置时，SYNC引脚可用来将系统中的其他开关稳压器与ADP1972同步。当SYNC引脚配置为输出时，SYNC引脚与外部电源之间需要一个外部上拉电阻。ADP1972的VREG引脚用作该上拉电阻的外部电源轨。

外部频率控制

当 $V_{SCFG} \leq 0.5$ V时，SYNC引脚配置为输入，ADP1972与施加于SYNC引脚的外部时钟同步，用作从器件。这种同步使得ADP1972能以与系统中的其他开关稳压器或器件相同的开关频率和相位工作。在外部时钟下使用ADP1972时，应选择 R_{FREQ} 以提供一个与外部时钟频率相近但不相同的频率，“应用信息”部分对此有进一步说明。

工作频率相移

当施加于SCFG引脚的电压为 0.65 V $< V_{SCFG} < 4.25$ V时，SYNC引脚配置为输入，ADP1972与施加于SYNC引脚的外部时钟的相移版本同步。为调整该相移，应在SCFG与地之间连接一个电阻(R_{SCFG})。对于包含多个开关电源的系统，该相移可降低输入电源纹波。

最大占空比

通过D_{MAX}引脚上连接在D_{MAX}与地之间的外部电阻，可以将ADP1972的最大占空比设置为0%到98%之间的任意值。如果D_{MAX}悬空、连接到V_{REG}或设置为98%以上的值，则最大占空比为默认值98%。

外部故障信号

ADP1972配有一个FAULT引脚，当外部发生故障时，它可通知ADP1972。外部故障信号会停止系统的PWM操作，以免应用和器件受损。将一个小于1.05 V(典型值)的电压施加于FAULT引脚时，ADP1972禁用。这种状态下，DL和DH

PWM驱动信号均变为低电平，以防系统DC-DC转换器切换，并且软启动复位。将一个大于1.20 V(典型值)的电压施加于FAULT引脚时，ADP1972开始切换。ADP1972的FAULT引脚上可施加0 V到60 V的电压。

热关断(TSD)

ADP1972有一个TSD保护电路。当ADP1972的结温达到150°C(典型值)时，热关断电路就会触发并禁用切换。在TSD状态下，DL和DH信号变为低电平，C_{SS}电容放电至地。V_{REG}保持高电平。当结温降至135°C(典型值)时，ADP1972重新启动应用控制环路。

应用信息

ADP1972具有许多可编程特性，可针对具体应用进行优化和控制。ADP1972提供引脚来选择工作模式，控制电流限值，选择内部或外部时钟，设置工作频率及其相移，设置最大占空比，以及调整软启动。

降压/升压选择

要使ADP1972以升压/循环模式工作，应将一个小于1.05 V(典型值)的电压施加于MODE引脚。要使ADP1972以降压/充电模式工作，应将MODE引脚驱动为高电平，大于1.2 V(典型值)。仅当ADP1972通过EN引脚关断，或因为FAULT引脚上指示的外部故障状况、TSD事件、UVLO状况而禁用时，才能改变MODE引脚的状态。

选择 R_S 以设置电流限值

图21给出了峰值限流控制的限流功能框图。使用以下公式来设置电流限值：

$$I_{PK}(\text{mA}) = \frac{100 \text{ mV}}{R_S} \quad (1)$$

其中：

I_{PK} 为所需的峰值电流限值，单位为mA。

R_S 为用于设置峰值电流限值的检测电阻，单位为 Ω 。

当ADP1972配置为降压/充电工作模式时，内部限流基准电压设置为300 mV(典型值)。当ADP1972配置为升压/循环工作模式时，内部限流基准电压设置为500 mV(典型值)。为了检测降压和升压模式下的峰值，需要外部电阻 R_{CL} 来使电流适当地偏移。 R_{CL} 值设置为20 k Ω 。工作中，设置峰值电流的公式如下：

对于降压/充电模式，

$$V_{REF(BUCK)} = (I_{CL}) \times (R_{CL}) - (I_{PK}) \times (R_S) \quad (2)$$

对于升压/循环模式，

$$V_{REF(BOOST)} = (I_{CL}) \times (R_{CL}) + (I_{PK}) \times (R_S) \quad (3)$$

其中：

$V_{REF(BUCK)} = 300 \text{ mV}$ (典型值)。

$V_{REF(BOOST)} = 500 \text{ mV}$ (典型值)。

$I_{CL} = 20 \mu\text{A}$ (典型值)。

$R_{CL} = 20 \text{ k}\Omega$ 。

ADP1972的设计使得降压和升压两种工作模式下的峰值电流限值相同。 R_{CL} 和 R_S 建议使用容差为1%或更佳电阻。

调整工作频率

如果SCFG引脚连接到VREG，导致 $V_{SCFG} \geq 4.53 \text{ V}$ ，或者SCFG引脚悬空，内部连接到VREG，则ADP1972以 R_{FREQ} 设置的频率工作，SYNC引脚输出设定频率的时钟。当 $V_{SCFG} \geq 4.53 \text{ V}$ 时，在需要同步的应用中，SYNC引脚的输出时钟可以用作主时钟。

如果 $V_{SCFG} < 0.5 \text{ V}$ ，则SYNC引脚配置为输入，ADP1972用作从器件。作为从器件，ADP1972与施加于SYNC引脚的外部时钟同步。如果施加于SCFG引脚的电压为 $0.65 \text{ V} < V_{SCFG} < 4.25 \text{ V}$ ，并且SCFG与地之间连接有一个电阻，则SYNC引脚配置为输入，ADP1972与施加于SYNC引脚的外部时钟的相移版本同步。

无论ADP1972是用作主器件还是从器件，都必须使用以上部分中的公式精心选择 R_{FREQ} 。

针对主器件选择 R_{FREQ}

当 $V_{SCFG} \geq 4.53 \text{ V}$ 时，ADP1972用作主器件。作为主器件，ADP1972以连接在FREQ和地之间的外部 R_{FREQ} 电阻所设置的频率工作，并且通过SYNC引脚输出一个设定频率的时钟。

图22所示为设定的开关频率(f_{SET})与 R_{FREQ} 值之间的关系。

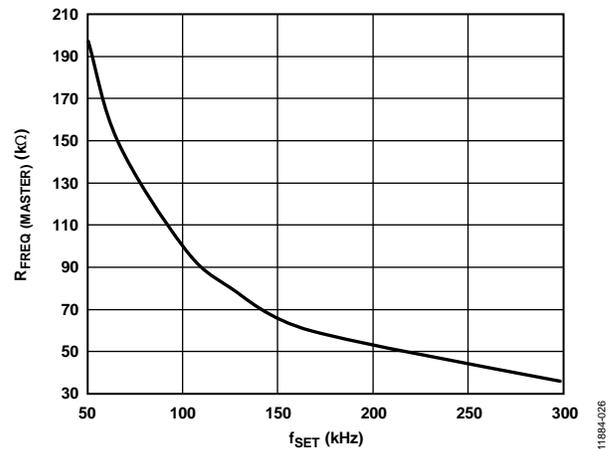


图22. R_{FREQ} 与开关频率(f_{SET})的关系

针对所需的主时钟同步频率，使用以下公式计算 R_{FREQ} 值：

$$R_{FREQ(MASTER)}(\text{k}\Omega) = \frac{10^4}{f_{SET}(\text{kHz})} \quad (4)$$

其中：

f_{SET} 为开关频率，单位为kHz。

$R_{FREQ(MASTER)}$ 为设置主器件频率的电阻值，单位为k Ω 。

针对从器件选择 R_{FREQ}

要将ADP1972配置为从器件，需使 $V_{SCFG} < 4.53\text{ V}$ 。作为从器件，ADP1972以施加于SYNC引脚的外部时钟频率工作。为确保正确同步，应利用下式来选择 R_{FREQ} ，使设置的频率值略低于主时钟的频率值：

$$R_{FREQ(SLAVE)} = 1.11 \times R_{FREQ(MASTER)} \quad (5)$$

其中：

$R_{FREQ(MASTER)}$ 为与施加于SYNC引脚的主时钟频率相对应的电阻值。

$R_{FREQ(SLAVE)}$ 为适当调整从器件频率的电阻值，1.11为 R_{FREQ} 同步从主比。

设置从器件的频率略低于主器件的频率，以便ADP1972的数字同步环路与主时钟周期同步。为与主时钟值匹配，从器件约有30%的调整范围。设置 $R_{FREQ(SLAVE)}$ 比 $R_{FREQ(MASTER)}$ 大1.11倍时，同步环路大致是在调整范围的中心工作。

外部时钟相移编程

如果从器件不需要相移，可将各从器件的SCFG接地。如果需要将同步信号的相移版本施加于从器件的SYNC引脚，则应在SCFG和地之间连接一个电阻(R_{SCFG})来设置所需的相移。为了确定所需相移(φ_{SHIFT})对应的RSCFG，可从计算从时钟频率(f_{SLAVE})开始。

$$f_{SLAVE}(\text{kHz}) = \frac{10^4}{R_{FREQ(SLAVE)}} \quad (6)$$

接下来计算从时钟周期：

$$T_{SLAVE}(\mu\text{s}) = \frac{1}{f_{SLAVE}(\text{kHz})} \times 10^{-3} \quad (7)$$

其中：

T_{SLAVE} 为主时钟周期，单位为 μs 。

f_{SLAVE} 为主时钟频率，单位为kHz。

然后利用下式确定所需相移(φ_{SHIFT})对应的相位时间延迟(T_{DELAY})：

$$T_{DELAY}(\mu\text{s}) = \frac{\varphi_{SHIFT} \times T_{SLAVE}(\mu\text{s})}{360} \quad (8)$$

其中：

T_{DELAY} 为相位延迟，单位为 μs 。

φ_{SHIFT} 为所需的相移。

最后利用下式计算相位延迟(T_{DELAY})：

$$R_{SCFG}(\text{k}\Omega) = 0.45 \times R_{FREQ(SLAVE)}(\text{k}\Omega) + 50 \times 10^6 \times T_{DELAY}(\mu\text{s}) \quad (9)$$

其中：

R_{SCFG} 为所需相移(单位为kHz)对应的电阻。

使用相移特性时，应将一个47 pF或更大的电容与 R_{SCFG} 并联。

或者，可以利用一个电压源来控制SCFG引脚。使用独立电压源时，应确保所有情况下的 $V_{SCFG} \leq V_{REG}$ 。当ADP1972通过EN引脚或UVLO禁用时， $V_{REG} = 0\text{ V}$ ，电压源必须相应地进行调整以确保 $V_{SCFG} \leq V_{REG}$ 。

图23显示了ADP1972的内部电压斜坡。该电压斜坡具有精确控制的4 V p-p值。

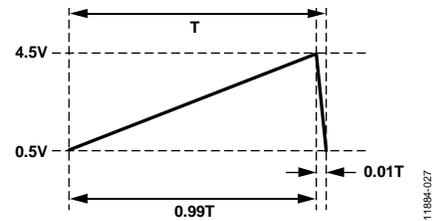


图23. 内部电压斜坡

最大占空比编程

ADP1972设计的内部最大占空比为98%(典型值)。在DMAX和地之间连接一个电阻，可将最大占空比设置为0%到98%之间的任意值，计算公式如下：

$$D_{MAX}(\%) = \frac{21.5 \times V_{FREQ} \times R_{DMAX}}{R_{FREQ}} - 10.5 \quad (10)$$

其中：

D_{MAX} 为设置的最大占空比。

R_{DMAX} 为用于设置最大占空比的电阻值。

DMAX的电流源等于FREQ引脚的设定电流：

$$I_{DMAX} = I_{FREQ} = \frac{V_{FREQ}}{R_{FREQ}} \quad (11)$$

其中， $I_{DMAX} = I_{FREQ}$ = FREQ引脚的设定电流。

ADP1972允许的最大占空比为98%(典型值)。如果DMAX上的电阻将最大占空比设置为大于98%的值，ADP1972默认使用内部最大值。如果98%的内部最大占空比足以满足应用需要，可将DMAX引脚连接到VREG或悬空。

DMAX引脚和GND之间连接的 C_{DMAX} 电容必须为47 pF或更大的值。

ADP1972

调整软启动周期

ADP1972具有可编程软启动特性，可防止启动时输出电压过冲。图18给出了软启动图。使用下式计算切换使能前的延迟时间(t_{REG}):

$$t_{REG} = \frac{0.52}{I_{SS}} \times C_{SS} \quad (12)$$

其中, $I_{SS} = 5 \mu\text{A}$ (典型值)。

ADP1972不需要 C_{SS} 电容。不使用 C_{SS} 电容时, 内部 $5 \mu\text{A}$ (典型值)电流源立即将SS引脚电压拉到VREG。 C_{SS} 电容不使用时, ADP1972内部无软启动控制, 启动时系统可能产生很大的输出过冲和峰值电感尖峰。如果不使用 C_{SS} , 应确保启动时的输出过冲不会大到触发打嗝电流限值的程度。

PCB布局指南

为了实现较高的效率、良好的调节性能和出色的稳定性，PCB布局布线必须合理设计。

设计PCB时，应遵守下列原则(框图见图16，引脚配置见图2)。

- VIN的低有效串联电阻(ESR)输入电源电容(C_{IN})应尽可能靠近VIN和GND引脚，以使从电路板寄生电感注入器件的噪声最小。
- VREG的低ESR输入电源电容(C_{VREG})应尽可能靠近VREG和GND引脚，以使从电路板寄生电感注入器件的噪声最小。
- 用于SCFG、FREQ、DMAX和SS引脚的元件应靠近相应的引脚放置。将这些元件统一连接到AGND层，以便与GND引脚形成开尔文连接。
- COMP引脚到配套器件(如AD8450)的走线应尽可能短。避免在开关信号附近布设该走线，可能时应予以屏蔽。
- 用于SYNC引脚的走线或元件应远离敏感模拟节点放置。使用外部上拉时，上拉电阻的电源和GND之间最好使用一个本地0.1 μ F旁路电容。
- 从DH和DL引脚到外部元件的走线应尽可能短，以使寄生电感和电容最小，避免影响控制信号。DH和DL引脚是开关节点，其布线不能靠近任何敏感的模拟电路。
- 使高电流走线尽量短、尽量宽。
- ADP1972的接地应直接与电流检测电阻 R_S 的接地相连。
- 通过一个20 k Ω 电阻将CL直接连到 R_S 。
- 下列线路应采用图24和图25所示的开尔文连接：
 - GND引脚到 R_S 的接地点
 - GND_{SENSE} 引脚到 R_S 的接地点
 - 系统电源地到 R_S 的接地点
 PCB布线引起的额外电阻会在GND引脚和 GND_{SENSE} 引脚之间引入电压差。该电压差不得超过 ± 0.3 V。

- 构建一个含一个主器件和多个从器件的系统时，必须使SYNC引脚相关的走线电容最小。
 - 对于只含几个从器件的小型系统，主器件SYNC信号和从器件SYNC输入引脚之间的串联电阻可限制走线电容，降低可能会向主器件注入噪声的快速接地电流。
 - 对于大型应用，串联电阻不足以隔离主器件SYNC时钟。在大型系统中，使用外部缓冲器可降低走线电容。外部缓冲器具有驱动能力来支持大量从器件。

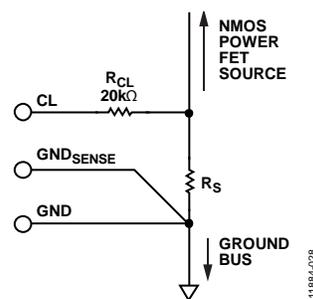


图24. 推荐 R_S 开尔文接地连接

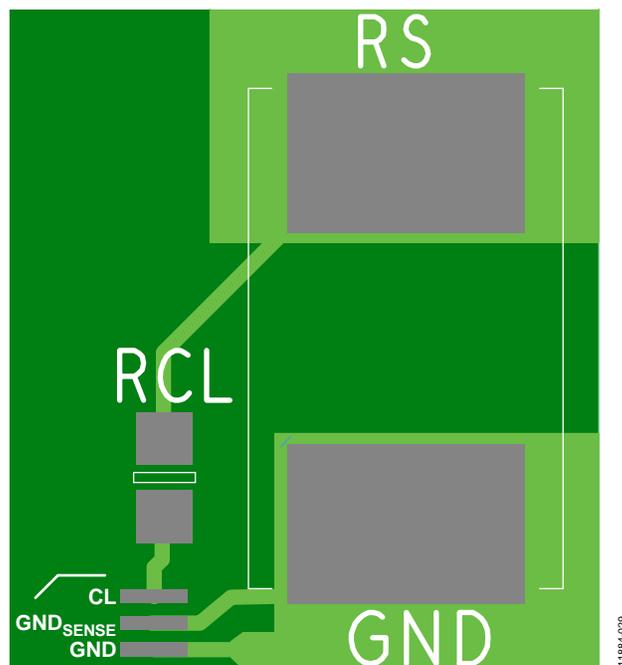
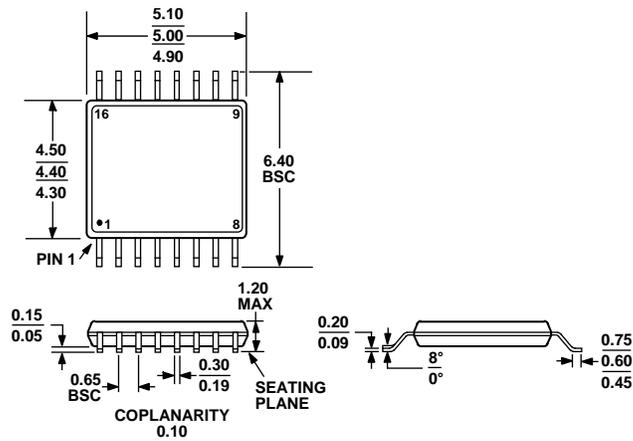


图25. PCB布局上的推荐 R_S 开尔文接地连接

ADP1972

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图26. 16引脚超薄紧缩小型封装[TSSOP]

(RU-16)

尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADP1972ARUZ-R7	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP], 13"卷带和卷盘	RU-16	1,000
ADP1972ARUZ-RL	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP], 7"卷带和卷盘	RU-16	2,500
ADP1972-EVALZ		评估板		

¹ Z = 符合RoHS标准的器件。

注释

注释