

AD7606/AD7606-6/AD7606-4

特性

- 8/6/4路同步采样输入
- 真双极性模拟输入范围：±10 V、±5 V
- 5 V单模拟电源， V_{DRIVE} ：2.3 V至5 V
- 完全集成的数据采集解决方案
 - 模拟输入箝位保护
 - 具有1 MΩ模拟输入阻抗的输入缓冲器
 - 二阶抗混叠模拟滤波器
 - 片内精密基准电压及缓冲
- 16位、200 kSPS ADC（所有通道）
- 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
- SPI/QSPI™/MICROWIRE™/DSP兼容
- 性能
 - 模拟输入通道提供7 kV ESD额定值
 - 95.5 dB SNR, -107 dB THD
 - ±0.5 LSB INL, ±0.5 LSB DNL
 - 低功耗：100 mW
 - 待机模式：25 mW
- 64引脚LQFP封装

应用

- 电力线监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统(DAS)

表1. 高分辨率、双极性输入、同步采样DAS解决方案

分辨率	单端输入	真差分输入	同步采样通道数
18位	AD7608	AD7609	8
16位	AD7606		8
	AD7606-6		6
	AD7606-4		4
14位	AD7607		8

功能框图

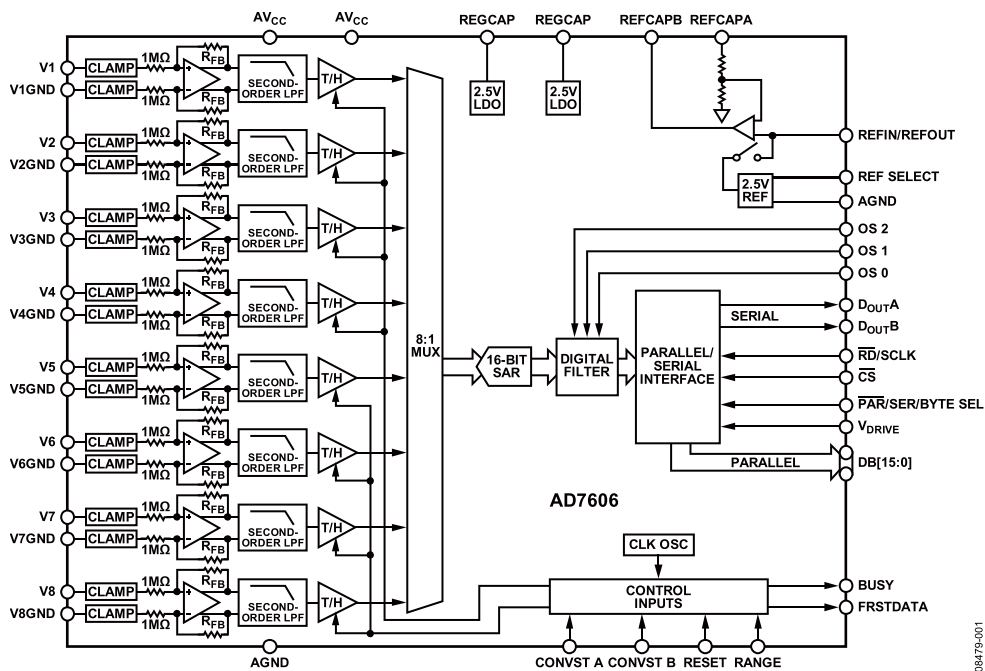


图1

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性	1	模拟输入	22
应用	1	ADC传递函数	23
功能框图	1	内部/外部基准电压	24
修订历史	2	典型连接图	25
概述	3	省电模式	25
技术规格	4	转换控制	26
时序规格	7	数字接口	27
绝对最大额定值	11	并行接口($\overline{\text{PAR}}/\text{SER}/\text{BYTESEL}=0$)	27
热阻	11	并行字节($\overline{\text{PAR}}/\text{SER}/\text{BYTESEL}=1, \text{DB15}=1$)	27
ESD警告	11	串行接口($\overline{\text{PAR}}/\text{SER}/\text{BYTESEL}=1$)	27
引脚配置和功能描述	12	转换期间读取	28
典型工作特性	17	数字滤波器	29
术语	21	布局指南	32
工作原理	22	外形尺寸	34
转换器详解	22	订购指南	34

修订历史

2010年5月—修订版0：初始版

概述

AD7606¹/AD7606-6/AD7606-4分别是16位、8/6/4通道同步采样模数数据采集系统(DAS)。各器件均内置模拟输入箝位保护、二阶抗混叠滤波器、跟踪保持放大器、16位电荷再分配逐次逼近型模数转换器(ADC)、灵活的数字滤波器、2.5 V基准电压源、基准电压缓冲以及高速串行和并行接口。

AD7606/AD7606-6/AD7606-4采用5V单电源供电，可以处理±10V和±5V真双极性输入信号，同时所有通道均能以高达200kSPS的吞吐速率采样。输入箝位保护电路可以耐受最高达±16.5 V的电压。无论以何种采样频率工作，

AD7606的模拟输入阻抗均为1 MΩ。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。AD7606/AD7606-6/AD7606-4抗混叠滤波器的3 dB截止频率为22 kHz；当采样速率为200 kSPS时，它具有40 dB抗混叠抑制特性。灵活的数字滤波器采用引脚驱动，可以改善信噪比(SNR)，并降低3 dB带宽。

¹ 专利正在申请中。

AD7606/AD7606-6/AD7606-4

技术规格

除非另有说明, $V_{REF} = 2.5\text{ V}$ 外部/内部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.3\text{ V}$ 至 5.25 V , $f_{SAMPLE} = 200\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表2

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN} = 1\text{ kHz}$ 正弦波, 除非另有说明				
信噪比(SNR) ^{2,3}	16倍过采样; $\pm 10\text{ V}$ 范围; $f_{IN} = 130\text{ Hz}$	94	95.5		dB
	16倍过采样; $\pm 5\text{ V}$ 范围; $f_{IN} = 130\text{ Hz}$	93	94.5		dB
	无过采样; $\pm 10\text{ V}$ 范围	88.5	90		dB
	无过采样; $\pm 5\text{ V}$ 范围	87.5	89		dB
信纳比(SINAD) ²	无过采样; $\pm 10\text{ V}$ 范围	88	90		dB
	无过采样; $\pm 5\text{ V}$ 范围	87	89		dB
动态范围	无过采样; $\pm 10\text{ V}$ 范围		90.5		dB
	无过采样; $\pm 5\text{ V}$ 范围		90		dB
总谐波失真(THD) ²			-107	-95	dB
峰值谐波或杂散噪声(SFDR) ²			-108		dB
交调失真(IMD) ²	$f_a = 1\text{ kHz}$, $f_b = 1.1\text{ kHz}$				
二阶项			-110		dB
三阶项			-106		dB
通道间隔离 ²	未选中通道的 f_{IN} 高达 160 kHz		-95		dB
模拟输入滤波器					
全功率带宽	-3 dB, $\pm 10\text{ V}$ 范围		23		kHz
	-3 dB, $\pm 5\text{ V}$ 范围		15		kHz
	-0.1 dB, $\pm 10\text{ V}$ 范围		10		kHz
	-0.1 dB, $\pm 5\text{ V}$ 范围		5		kHz
$t_{GROUP\ DELAY}$	$\pm 10\text{ V}$ 范围		11		μs
	$\pm 5\text{ V}$ 范围		15		μs
直流精度					
分辨率	无失码	16			Bits
微分非线性 ²			± 0.5	± 0.99	LSB ⁴
积分非线性 ²			± 0.5	± 2	LSB
总非调整误差(TUE)	$\pm 10\text{ V}$ 范围		± 6		LSB
	$\pm 5\text{ V}$ 范围		± 12		LSB
正满量程误差 ^{2,5}	外部基准电压		± 8	± 32	LSB
	内部基准电压		± 8		LSB
正满量程误差漂移	外部基准电压		± 2		ppm/ $^{\circ}\text{C}$
	内部基准电压		± 7		ppm/ $^{\circ}\text{C}$
正满量程误差匹配 ²	$\pm 10\text{ V}$ 范围		5	32	LSB
	$\pm 5\text{ V}$ 范围		16	40	LSB
双极性零代码误差 ^{2,6}	$\pm 10\text{ V}$ 范围		± 1	± 6	LSB
	$\pm 5\text{ V}$ 范围		± 3	± 12	LSB
双极性零代码误差漂移	$\pm 10\text{ V}$ 范围		10		$\mu\text{V}/^{\circ}\text{C}$
	$\pm 5\text{ V}$ 范围		5		$\mu\text{V}/^{\circ}\text{C}$
双极性零代码误差匹配 ²	$\pm 10\text{ V}$ 范围		1	8	LSB
	$\pm 5\text{ V}$ 范围		6	22	LSB
负满量程误差 ^{2,5}	外部基准电压		± 8	± 32	LSB
	内部基准电压		± 8		LSB
负满量程误差漂移	外部基准电压		± 4		ppm/ $^{\circ}\text{C}$
	内部基准电压		± 8		ppm/ $^{\circ}\text{C}$
负满量程误差匹配 ²	$\pm 10\text{ V}$ 范围		5	32	LSB
	$\pm 5\text{ V}$ 范围		16	40	LSB

AD7606/AD7606-6/AD7606-4

参数	测试条件/注释	最小值	典型值	最大值	单位
模拟输入					
输入电压范围	RANGE = 1			±10	V
	RANGE = 0			±5	V
模拟输入电流	10 V; 见图31		5.4		μA
	5 V; 见图31		2.5		μA
输入电容 ⁷			5		pF
输入阻抗	见“模拟输入”部分		1		MΩ
基准输入/输出					
基准输入电压范围	见“ADC传递函数”部分	2.475	2.5	2.525	V
直流漏电流				±1	μA
输入电容 ⁷	REF SELECT = 1		7.5		pF
基准输出电压	REFIN/REFOUT		2.49/ 2.505		V
基准源温度系数				±10	ppm/°C
逻辑输入					
输入高电压(V_{INH})		$0.9 \times V_{DRIVE}$			V
输入低电压(V_{INL})				$0.1 \times V_{DRIVE}$	V
输入电流(I_{IN})				±2	μA
输入电容(C_{IN}) ⁷			5		pF
逻辑输出					
输出高电压(V_{OH})	$I_{SOURCE} = 100 \mu A$	$V_{DRIVE} - 0.2$			V
输出低电压(V_{OL})	$I_{SINK} = 100 \mu A$			0.2	V
浮空态漏电流			±1	±20	μA
浮空态输出电容 ⁷			5		pF
输出编码	二进制补码				
转换速率					
转换时间	包括所有八个通道; 见表3		4		μs
采样保持器采集时间			1		μs
吞吐速率	每个通道, 包括所有八个通道			200	kSPS
电源要求					
A_{VCC}		4.75		5.25	V
V_{DRIVE}		2.3		5.25	V
I_{TOTAL}	数字输入 = 0 V或 V_{DRIVE}				
正常模式(静态)	AD7606		16	22	mA
	AD7606-6		14	20	mA
	AD7606-4		12	17	mA
正常模式(工作状态) ⁸	$f_{SAMPLE} = 200 \text{ kSPS}$				
	AD7606		20	27	mA
	AD7606-6		18	24	mA
	AD7606-4		15	21	mA
待机模式			5	8	mA
关断模式			2	6	μA

AD7606/AD7606-6/AD7606-4

参数	测试条件/注释	最小值	典型值	最大值	单位
功耗					
正常模式(静态)	AD7606		80	115.5	mW
正常模式(工作状态) ⁸	f _{SAMPLE} = 200 kSPS				
	AD7606		100	142	mW
	AD7606-6		90	126	mW
	AD7606-4		75	111	mW
待机模式			25	42	mW
关断模式			10	31.5	μW

¹ B级温度范围为-40°C至+85°C。

² 参见“术语”部分。

³ 此特性适用于转换期间或转换之后读取时。如果在并行模式下的转换期间读取且V_{DRIVE} = 5 V，则SNR典型值降低1.5 dB，THD典型值降低3 dB。

⁴ LSB表示最低有效位。±5 V输入范围时，1 LSB = 152.58 μV。±10 V输入范围时，1 LSB = 305.175 μV。

⁵ 这些特性包括全温度范围变化和内部基准电压缓冲的贡献，但不包括外部基准电压源的误差贡献。

⁶ 双极性零代码误差相对于模拟输入电压而计算。

⁷ 样片在初次发布期间均经过测试，以确保符合标准要求。

⁸ 工作功耗/电流数值包括以过采样模式运行时的贡献。

时序规格

除非另有说明, $V_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.3\text{ V}$ 至 5.25 V , $V_{REF} = 2.5\text{ V}$ 外部/内部基准电压, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表3

参数	在 T_{MIN} 、 T_{MAX} 时的限值			单位	描述
	最小值	典型值	最大值		
并行/串行/字节模式					
t_{CYCLE}			5	μs	1/吞吐速率 并行模式, 转换期间或之后读取; 或者串行模式: $V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V , 利用 D_{OUTA} 和 D_{OUTB} 线路在转换期间读取
		5		μs	串行模式, 转换期间读取; $V_{DRIVE} = 3.3\text{ V}$
			9.7	μs	串行模式, 转换之后读取; $V_{DRIVE} = 2.3\text{ V}$, D_{OUTA} 和 D_{OUTB} 线路
t_{CONV}^2					转换时间
	3.45	4	4.15	μs	过采样关闭; AD7606
		3		μs	过采样关闭; AD7606-6
		2		μs	过采样关闭; AD7606-4
	7.87		9.1	μs	2倍过采样; AD7606
	16.05		18.8	μs	4倍过采样; AD7606
	33		39	μs	8倍过采样; AD7606
	66		78	μs	16倍过采样; AD7606
	133		158	μs	32倍过采样; AD7606
	257		315	μs	64倍过采样; AD7606
$t_{WAKE-UP\ STANDBY}$			100	μs	\overline{STBY} 上升沿到 $CONVSTx$ 上升沿; 从待机模式上电的时间
$t_{WAKE-UP\ SHUTDOWN}$					
内部基准电压			30	ms	\overline{STBY} 上升沿到 $CONVSTx$ 上升沿; 从关断模式上电的时间
外部基准电压			13	ms	\overline{STBY} 上升沿到 $CONVSTx$ 上升沿; 从关断模式上电的时间
t_{RESET}	50			ns	RESET高电平脉冲宽度
t_{OS_SETUP}	20			ns	BUSY到 OSx 引脚设置时间
t_{OS_HOLD}	20			ns	BUSY到 OSx 引脚保持时间
t_1			40	ns	$CONVSTx$ 高电平到BUSY高电平
t_2	25			ns	最短 $CONVSTx$ 低电平脉冲
t_3	25			ns	最短 $CONVSTx$ 高电平脉冲
t_4	0			ns	BUSY下降沿到 \overline{CS} 下降沿设置时间
t_5^3			0.5	ms	$CONVST A/CONVST B$ 上升沿之间最大容许延迟时间
t_6			25	ns	最后 \overline{CS} 上升沿与BUSY下降沿之间的最长时间
t_7	25			ns	RESET低电平到 $CONVSTx$ 高电平之间的最短延迟时间
并行/字节读取操作					
t_8	0			ns	\overline{CS} 到 \overline{RD} 设置时间
t_9	0			ns	\overline{CS} 到 \overline{RD} 保持时间
t_{10}					\overline{RD} 低电平脉冲宽度
	16			ns	V_{DRIVE} 高于 4.75 V
	21			ns	V_{DRIVE} 高于 3.3 V
	25			ns	V_{DRIVE} 高于 2.7 V
	32			ns	V_{DRIVE} 高于 2.3 V
t_{11}	15			ns	\overline{RD} 高电平脉冲宽度
t_{12}	22			ns	\overline{CS} 高电平脉冲宽度(见图5); \overline{CS} 与 \overline{RD} 相连

AD7606/AD7606-6/AD7606-4

参数	在 T_{MIN} 、 T_{MAX} 时的限值			单位	描述
	最小值	典型值	最大值		
t_{13}			16	ns	从 \overline{CS} 直到DB[15:0]三态禁用的延迟时间
			20	ns	V_{DRIVE} 高于4.75 V
			25	ns	V_{DRIVE} 高于3.3 V
			30	ns	V_{DRIVE} 高于2.7 V
t_{14}^4			30	ns	V_{DRIVE} 高于2.3 V
			16	ns	\overline{RD} 下降沿后的数据访问时间
			21	ns	V_{DRIVE} 高于4.75 V
			25	ns	V_{DRIVE} 高于3.3 V
t_{15}	6			ns	V_{DRIVE} 高于2.7 V
t_{16}	6			ns	V_{DRIVE} 高于2.3 V
t_{17}			22	ns	\overline{RD} 下降沿后的数据保持时间
t_{17}				ns	\overline{CS} 到DB[15:0]保持时间
t_{17}				ns	从 \overline{CS} 上升沿到DB[15:0]三态使能的延迟时间
串行读取操作					
f_{SCLK}			23.5	MHz	串行读取时钟频率
			17	MHz	V_{DRIVE} 高于4.75 V
			14.5	MHz	V_{DRIVE} 高于3.3 V
			11.5	MHz	V_{DRIVE} 高于2.7 V
t_{18}				ns	V_{DRIVE} 高于2.3 V
				ns	从 \overline{CS} 直到 D_{OUTA}/D_{OUTB} 三态禁用的延迟时间/从 \overline{CS} 直到MSB有效的延迟时间
			15	ns	V_{DRIVE} 高于4.75 V
			20	ns	V_{DRIVE} 高于3.3 V
t_{19}^4			30	ns	$V_{DRIVE} = 2.3 V$ 至2.7 V
				ns	SCLK上升沿后的数据访问时间
			17	ns	V_{DRIVE} 高于4.75 V
			23	ns	V_{DRIVE} 高于3.3 V
t_{20}			27	ns	V_{DRIVE} 高于2.7 V
			34	ns	V_{DRIVE} 高于2.3 V
		$0.4 t_{SCLK}$		ns	SCLK低电平脉冲宽度
		$0.4 t_{SCLK}$		ns	SCLK高电平脉冲宽度
t_{21}				ns	SCLK上升沿到 D_{OUTA}/D_{OUTB} 有效的保持时间
t_{22}	7			ns	\overline{CS} 上升沿到 D_{OUTA}/D_{OUTB} 三态使能
t_{23}			22	ns	
FRSTDATA操作					
t_{24}			15	ns	从 \overline{CS} 下降沿直到FRSTDATA三态禁用的延迟时间
			20	ns	V_{DRIVE} 高于4.75 V
			25	ns	V_{DRIVE} 高于3.3 V
			30	ns	V_{DRIVE} 高于2.7 V
t_{25}			30	ns	V_{DRIVE} 高于2.3 V
				ns	从 \overline{CS} 下降沿直到FRSTDATA高电平的延迟时间，串行模式
			15	ns	V_{DRIVE} 高于4.75 V
			20	ns	V_{DRIVE} 高于3.3 V
t_{26}			25	ns	V_{DRIVE} 高于2.7 V
			30	ns	V_{DRIVE} 高于2.3 V
				ns	从 \overline{RD} 下降沿到FRSTDATA高电平的延迟时间
			16	ns	V_{DRIVE} 高于4.75 V
		20	ns	V_{DRIVE} 高于3.3 V	
		25	ns	V_{DRIVE} 高于2.7 V	
		30	ns	V_{DRIVE} 高于2.3 V	

参数	在 T_{MIN} 、 T_{MAX} 时的限值			单位	描述
	最小值	典型值	最大值		
t_{27}			19	ns	从RD下降沿到FRSTDATA低电平的延迟时间 $V_{DRIVE} = 3.3V$ 至 $5.25V$
			24	ns	$V_{DRIVE} = 2.3V$ 至 $2.7V$
t_{28}			17	ns	从第16个SCLK下降沿到FRSTDATA低电平的延迟时间 $V_{DRIVE} = 3.3V$ 至 $5.25V$
			22	ns	$V_{DRIVE} = 2.3V$ 至 $2.7V$
t_{29}			24	ns	从CS上升沿直到FRSTDATA三态使能的延迟时间

- ¹ 样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ （10%到90%的 V_{DRIVE} ）并从1.6V电平开始计时。
- ² 在过采样模式下，AD7606-6和AD7606-4的 t_{CONV} 典型值可以利用公式 $((N \times t_{CONV}) + ((N - 1) \times 1\ \mu\text{s}))$ 计算，其中N表示过采样速率。对于AD7606-6， $t_{CONV} = 3\ \mu\text{s}$ ；对于AD7606-4， $t_{CONV} = 2\ \mu\text{s}$ 。
- ³ CONVST x信号之间的延迟用确保通道集之间的性能匹配小于10 LSB时的最大容许时间来衡量。
- ⁴ 对于这些测量，数据输出引脚上使用了缓冲，它相当于输出引脚上有20 pF的负载。

时序图

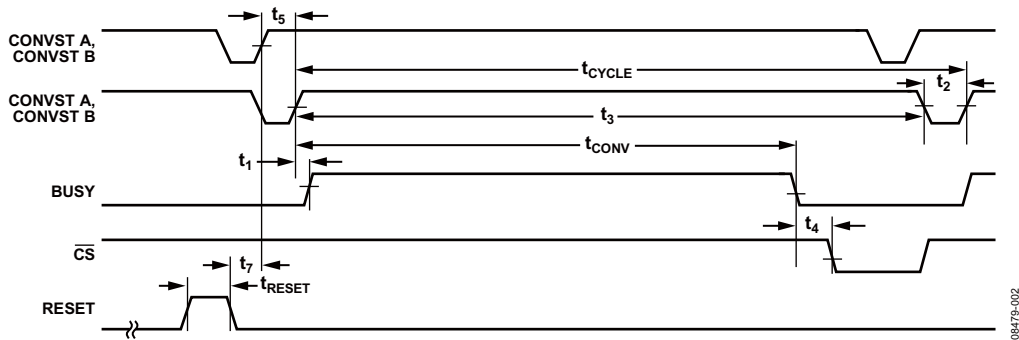


图2. CONVST时序—转换之后读取

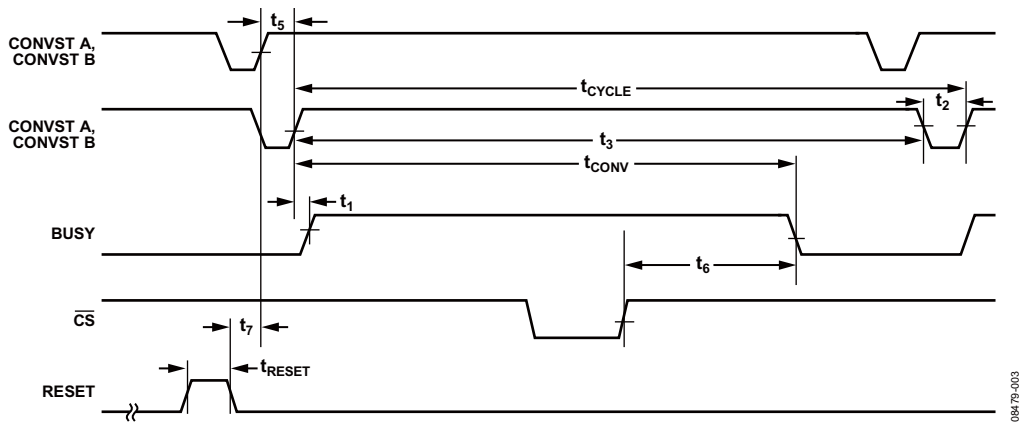


图3. CONVST时序—转换期间读取

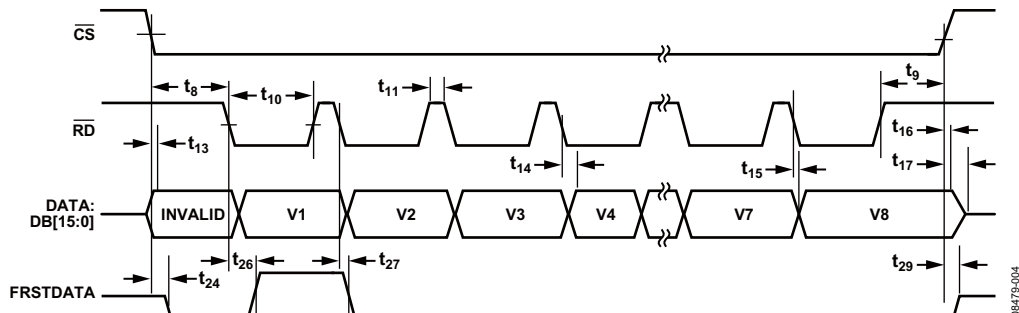


图4. 并行模式，独立的CS和RD脉冲

AD7606/AD7606-6/AD7606-4

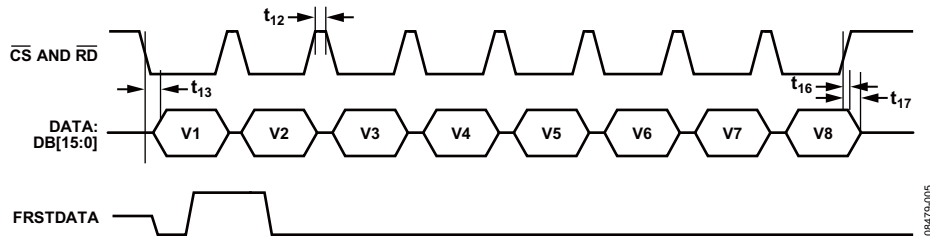


图5. \overline{CS} 和 \overline{RD} 相连的并行模式

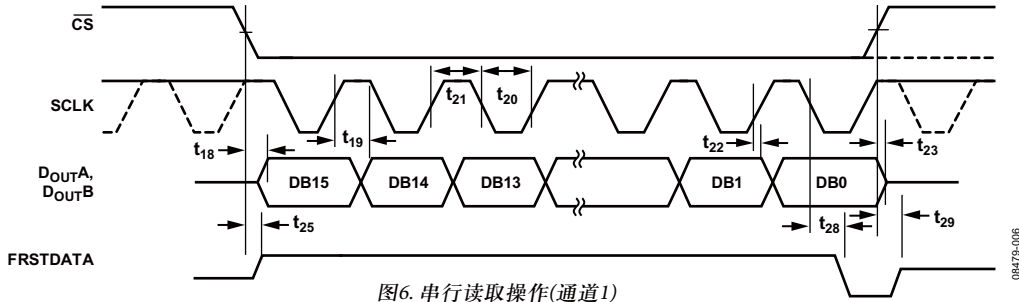


图6. 串行读取操作(通道1)

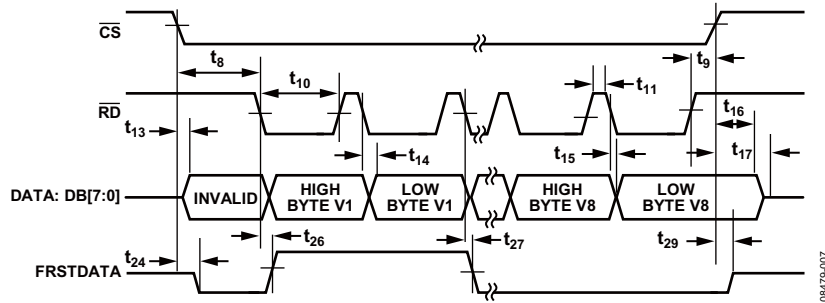


图7. 字节模式读取操作

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4

参数	额定值
V_{CC} 至 AGND	-0.3 V 至 +7 V
V_{DRIVE} 至 AGND	-0.3 V 至 $V_{CC} + 0.3$ V
模拟输入电压至 AGND ¹	± 16.5 V
数字输入电压至 DGND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
数字输出电压至 GND	-0.3 V 至 $V_{DRIVE} + 0.3$ V
REFIN 至 AGND	-0.3 V 至 $V_{CC} + 0.3$ V
输入电流至除电源外的任何引脚 ¹	± 10 mA
工作温度范围	
B级	-40°C 至 +85°C
存储温度范围	-65°C 至 +150°C
结温	150°C
铅锡焊接温度， 回流焊(10秒至30秒)	240 (+0)°C
无铅回流焊温度	260 (+0)°C
ESD(除模拟输入外的所有引脚)	2 kV
ESD(仅模拟输入引脚)	7 kV

¹ 高达100 mA的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于4层电路板。

Table 5. Thermal Resistance

Package Type	θ_{JA}	θ_{JC}	Unit
64-Lead LQFP	45	11	°C/W

ESD警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD7606/AD7606-6/AD7606-4

引脚配置和功能描述

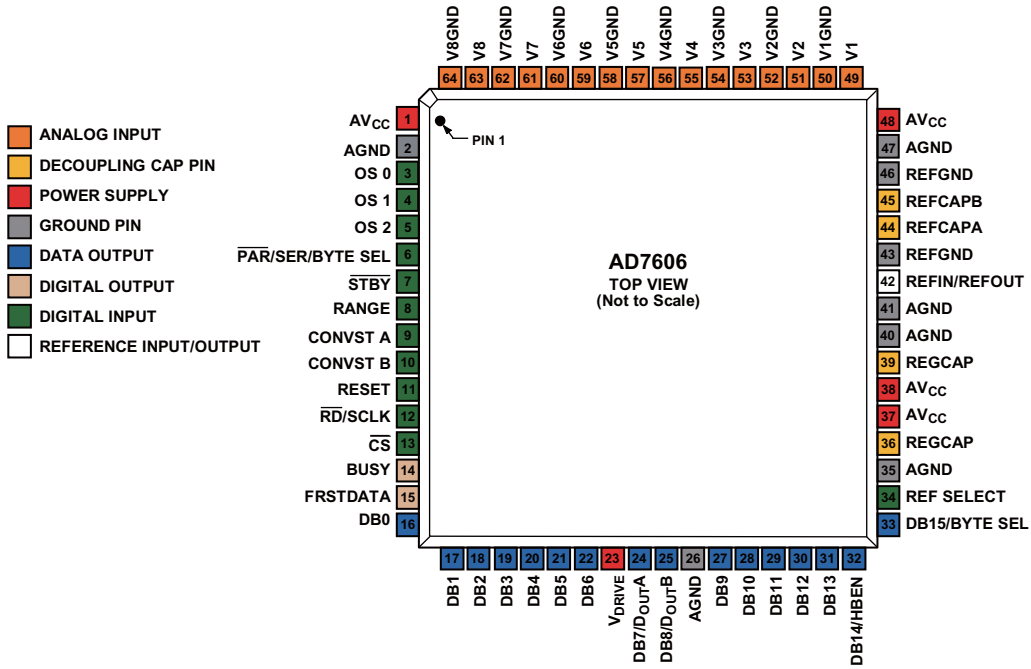


图8. AD7606引脚配置

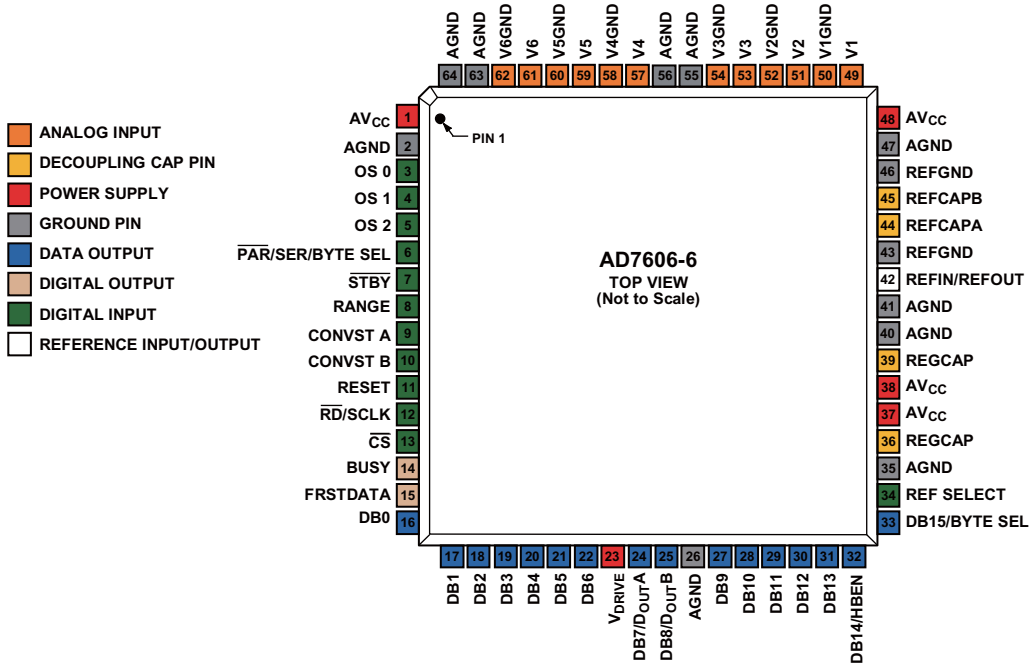


图9. AD7606-6引脚配置

AD7606/AD7606-6/AD7606-4

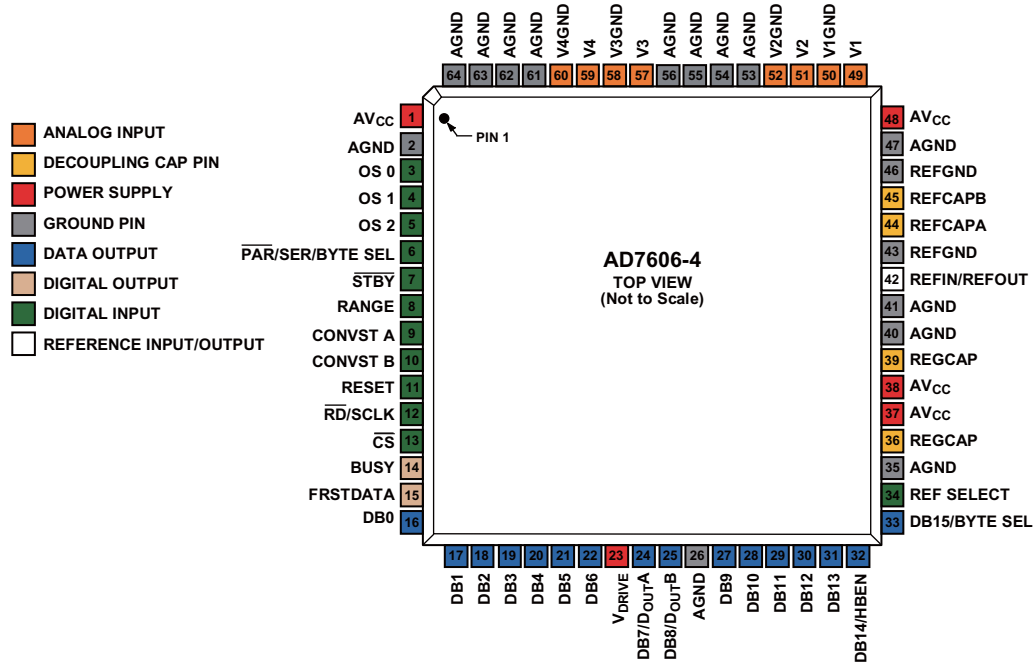


图10. AD7606-4引脚配置

表6. 引脚功能描述

引脚编号	类型 ¹	引脚名称			描述
		AD7606	AD7606-6	AD7606-4	
1, 37, 38, 48	P	AV _{CC}	AV _{CC}	AV _{CC}	模拟电源电压，4.75 V至5.25 V。这是内部前端放大器和ADC内核的电源电压。应将这些电源引脚去耦至AGND。
2, 26, 35, 40, 41, 47	P	AGND	AGND	AGND	模拟地。这些引脚是AD7606上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都应参考这些引脚。所有6个AGND引脚都应连到系统的AGND平面。
5, 4, 3	DI	OS [2:0]	OS [2:0]	OS [2:0]	过采样模式引脚。逻辑输入。这些输入用来选择过采样倍率。OS2为MSB控制位，OS 0则为LSB控制位。关于过采样工作模式的更多信息，见“数字滤波器”部分；关于过采样位解码，见表9。
6	DI	$\overline{\text{PAR/SER/}}\text{BYTE SEL}$	$\overline{\text{PAR/SER/}}\text{BYTE SEL}$	$\overline{\text{PAR/SER/}}\text{BYTE SEL}$	并行/串行/字节接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。如果此引脚为逻辑高电平且DB15/BYTE SEL为逻辑高电平(见表8)，则选择并行字节接口模式。 串行模式下，RD/SCLK引脚用作串行时钟输入。DB7/D _{OUT-A} 引脚和DB8/D _{OUT-B} 引脚用作串行数据输出。当选择串行接口时，应将引脚DB[15:9]和DB[6:0]接地。 字节模式下，DB15与 $\overline{\text{PAR/SER/}}\text{BYTE SEL}$ 一同用来选择并行字节工作模式(见表8)。DB14用作HBEN引脚。DB[7:0]通过2个RD操作传输16位转换结果，DB0为数据传输的LSB。
7	DI	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	待机模式输入。此引脚用来让AD7606/AD7606-6/AD7606-4进入两种省电模式之一：待机模式或关断模式。进入何种省电模式，取决于RANGE引脚的状态，如表7所示。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其它电路均关断。关断模式下，所有电路均关断。

AD7606/AD7606-6/AD7606-4

引脚编号	类型 ¹	引脚名称			描述
		AD7606	AD7606-6	AD7606-4	
8	DI	RANGE	RANGE	RANGE	模拟输入范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10 V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5 V。此引脚的逻辑状态改变会立即影响模拟输入范围。对于快速吞吐速率应用，转换期间建议不要更改此引脚的逻辑状态。详细信息请参见“模拟输入”部分。
9, 10	DI	CONVST A, CONVST B	CONVST A, CONVST B	CONVST A, CONVST B	转换开始输入A和转换开始输入B。逻辑输入。这些逻辑输入用来启动模拟输入通道转换。 要对所有输入通道同时采样，可以将CONVST A和CONVST B短接在一起，并施加一个转换开始信号。 或者，可以用CONVST A启动以下通道的同步采样：AD7606的V1、V2、V3和V4；AD7606-6的V1、V2和V3；AD7606-4的V1和V2。可以用CONVST B启动对其它模拟输入通道的同步采样：AD7606的V5、V6、V7和V8；AD7606-6的V4、V5和V6；AD7606-4的V3和V4。这只有在过采样未开启时才可行。当CONVST A或CONVST B引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。
11	DI	RESET	RESET	RESET	复位输入。当设置为逻辑高电平时，RESET上升沿复位AD7606/AD7606-6/AD7606-4。器件应该在上电后收到一个RESET脉冲。RESET高脉冲宽度典型值为50ns。如果在转换期间施加RESET脉冲，转换将中断。如果在读取期间施加RESET脉冲，输出寄存器的内容将复位至全0。
12	DI	$\overline{\text{RD}}/\text{SCLK}$	$\overline{\text{RD}}/\text{SCLK}$	$\overline{\text{RD}}/\text{SCLK}$	选择并行接口时为并行数据读取控制输入($\overline{\text{RD}}$)/选择串行接口时为串行时钟输入(SCLK)。在并行模式下，如果 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于逻辑低电平，则会启用输出总线。在串行模式下，此引脚用作数据传输的串行时钟输入。 $\overline{\text{CS}}$ 下降沿使数据输出线路D _{OUT} A和D _{OUT} B脱离三态，并逐个输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出D _{OUT} A和D _{OUT} B。更多信息请参见“转换控制”部分。
13	DI	$\overline{\text{CS}}$	$\overline{\text{CS}}$	$\overline{\text{CS}}$	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于逻辑低电平，则会启用输出总线DB[15:0]，使转换结果输出在并行数据总线上。 在串行模式下，利用 $\overline{\text{CS}}$ 使能串行数据帧传输，并逐个输出串行输出数据的最高有效位(MSB)。
14	DO	BUSY	BUSY	BUSY	输出繁忙。CONVST A和CONVST B均达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY输出保持高电平，直到所有通道的转换过程完成为止。BUSY下降沿表示转换数据正被锁存至输出数据寄存器，经过时间t ₄ 之后便可供读取。在BUSY为高电平时执行的数据读取操作应当在BUSY下降沿之前完成。当BUSY信号为高电平时，CONVST A或CONVST B的上升沿不起作用。
15	DO	FRSTDATA	FRSTDATA	FRSTDATA	数字输出。FRSTDATA输出信号指示何时在并行、字节或串行接口上回读第一通道V1。当 $\overline{\text{CS}}$ 输入为高电平时，FRSTDATA输出引脚处于三态。 $\overline{\text{CS}}$ 下降沿使FRSTDATA脱离三态。在并行模式下，与V1结果相对应的 $\overline{\text{RD}}$ 下降沿随后将FRSTDATA引脚设为高电平，表示输出数据总线可以提供V1的结果。在 $\overline{\text{RD}}$ 的下一个下降沿之后，FRSTDATA输出恢复逻辑低电平。在串行模式下，FRSTDATA在 $\overline{\text{CS}}$ 下降沿变为高电平，因为此时将在D _{OUT} A上输出V1的MSB。在 $\overline{\text{CS}}$ 下降沿之后的第16个SCLK下降沿，它恢复低电平。详情见“转换控制”部分。

AD7606/AD7606-6/AD7606-4

引脚编号	类型 ¹	引脚名称			描述
		AD7606	AD7606-6	AD7606-4	
22 to 16	DO	DB[6:0]	DB[6:0]	DB[6:0]	并行输出数据位DB6至DB0。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 $\overline{\text{PARCS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，这些引脚用来输出转换结果的DB6至DB0。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 时，这些引脚应与AGND相连。当工作在并行字节接口模式时，DB[7:0]通过2个RD操作输出16位转换结果。DB7(引脚24)为MSB，DB0为LSB。
23	P	V_{DRIVE}	V_{DRIVE}	V_{DRIVE}	逻辑电源输入。此引脚的电源电压(2.3 V至5.25 V)决定逻辑接口的工作电压。此引脚的标称电源与主机接口(即DSP和FPGA)电源相同。
24	DO	DB7/D _{OUTA}	DB7/D _{OUTA}	DB7/D _{OUTA}	并行输出数据位7(DB7)/串行接口数据输出引脚(D _{OUTA})。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，此引脚充当三态并行数字输入/输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB7。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 时，此引脚用作D _{OUTA} ，并输出串行转换数据(详情见“转换控制”部分)。当工作在并行字节模式时，DB7为该字节的MSB。
25	DO	DB8/D _{OUTB}	DB8/D _{OUTB}	DB8/D _{OUTB}	并行输出数据位8 (DB8)/串行接口数据输出引脚(D _{OUTB})。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，此引脚充当三态并行数字输入 /输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB8。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 时，此引脚用作D _{OUTB} ，并输出串行转换数据(详情见“转换控制”部分)。
31 to 27	DO	DB[13:9]	DB[13:9]	DB[13:9]	并行输出数据位DB13至DB9。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，这些引脚用来输出转换结果的DB13至DB9。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 时，这些引脚应与AGND相连。
32	DO/DI	DB14/ HBEN	DB14/ HBEN	DB14/ HBEN	并行输出数据位14 (DB14)/高字节使能(HBEN)。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB14。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 且DB15/BYTE SEL = 1时，AD7606/ AD7606-6/AD7606-4工作在并行字节接口模式。在并行字节模式下，HBEN引脚用来选择是首先输出转换结果的高字节(MSB)还是低字节(LSB)。当HBEN = 1时，首先输出MSB，然后输出LSB。当HBEN = 0时，首先输出LSB，然后输出MSB。
33	DO/DI	DB15/ BYTE SEL	DB15/ BYTE SEL	DB15/ BYTE SEL	并行输出数据位15(DB15)/并行字节模式选择(BYTESEL)。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均处于低电平时，此引脚用来输出转换结果的DB15。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 时，BYTE SEL引脚用来在串行接口模式与并行字节接口模式之间做出选择(见表8)。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 且DB15/BYTE SEL = 0时，AD7606工作在串行接口模式。当 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$ 且DB15/BYTE SEL = 1时，AD7606工作在并行字节接口模式。
34	DI	REF SELECT	REF SELECT	REF SELECT	内部/外部基准电压选择输入。逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFIN/REFOUT引脚。
36, 39	P	REGCAP	REGCAP	REGCAP	内部稳压器电压输出的去耦电容引脚。应分别将这些输出引脚通过一个1 μF 电容去耦至AGND。这些引脚上的电压在2.5 V至2.7 V范围内。
42	REF	REFIN/ REFOUT	REFIN/ REFOUT	REFIN/ REFOUT	基准电压输入(REFIN)/基准电压输出(REFOUT)。如果REF SELECT引脚设置为逻辑高电平，此引脚将提供2.5 V片内基准电压供外部使用。或者，可将REF SELECT引脚设置为逻辑低电平以禁用内部基准电压，并将2.5 V外部基准电压施加到此输入端(见“内部/外部基准电压”部分)。无论使用内部还是外部基准电压，都需要对此引脚去耦。应在此引脚与REFGND引脚附近的地之间连接一个10 μF 电容。

AD7606/AD7606-6/AD7606-4

引脚编号	类型 ¹	引脚名称			描述
		AD7606	AD7606-6	AD7606-4	
43, 46	REF	REFGND	REFGND	REFGND	基准电压接地引脚。这些引脚应连接到AGND。
44, 45	REF	REFCAPA, REFCAPB	REFCAPA, REFCAPB	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低ESR 10 μF陶瓷电容去耦至AGND。这些引脚上的电压通常为4.5 V。
49	AI	V1	V1	V1	模拟输入。此引脚为单端模拟输入。此通道的模拟输入范围由RANGE引脚决定。
50, 52	AI GND	V1GND, V2GND	V1GND, V2GND	V1GND, V2GND	模拟输入接地引脚。这些引脚与模拟输入引脚V1至V2相对应。所有模拟输入AGND引脚都应连到系统的AGND平面。
51	AI	V2	V2	V2	模拟输入。此引脚为单端模拟输入。此通道的模拟输入范围由RANGE引脚决定。
53	AI/GND	V3	V3	AGND	模拟输入3。对于AD7606-4，此引脚为AGND引脚。
54	AI GND/ GND	V3GND	V3GND	AGND	模拟输入接地引脚。对于AD7606-4，此引脚为AGND引脚。
55	AI/GND	V4	AGND	AGND	模拟输入4。对于AD7606-6和AD7606-4，此引脚为AGND引脚。
56	AI GND/ GND	V4GND	AGND	AGND	模拟输入接地引脚。对于AD7606-6和AD7606-4，此引脚为AGND引脚。
57	AI	V5	V4	V3	模拟输入。这些引脚是单端模拟输入。这些通道的模拟输入范围由RANGE引脚决定。
58	AI GND	V5GND	V4GND	V3GND	模拟输入接地引脚。所有模拟输入AGND引脚都应连到系统的AGND平面。
59	AI	V6	V5	V4	模拟输入。这些引脚是单端模拟输入
60	AI GND	V6GND	V5GND	V4GND	模拟输入接地引脚。所有模拟输入AGND引脚都应连到系统的AGND平面。
61	AI/GND	V7	V6	AGND	模拟输入引脚。对于AD7606-4，此引脚为AGND引脚。
62	AI GND/ GND	V7GND	V6GND	AGND	模拟输入接地引脚。对于AD7606-4，此引脚为AGND引脚。
63	AI/GND	V8	AGND	AGND	模拟输入引脚。对于AD7606-4和AD7606-6，此引脚为AGND引脚。
64	AI GND/ GND	V8GND	AGND	AGND	模拟输入接地引脚。对于AD7606-4和AD7606-6，此引脚为AGND引脚。

¹ P表示电源，DI表示数字输入，DO表示数字输出，REF表示基准电压输入/输出，AI表示模拟输入，GND表示地。

典型工作特性

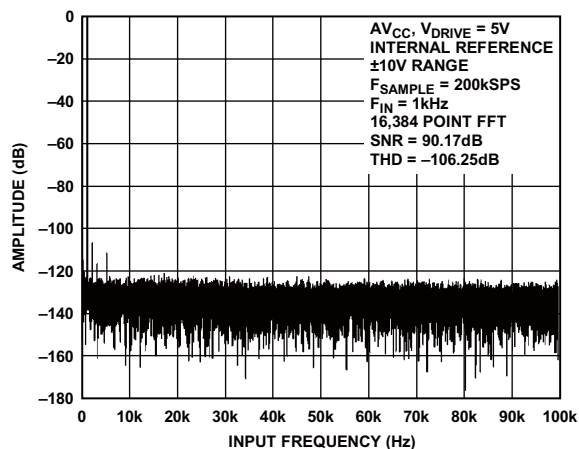


图11. AD7606 FFT, ±10 V范围

08479-011

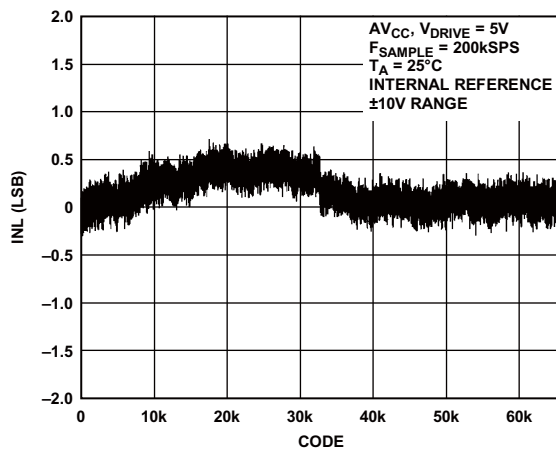


图14. AD7606典型INL, ±10 V范围

08479-013

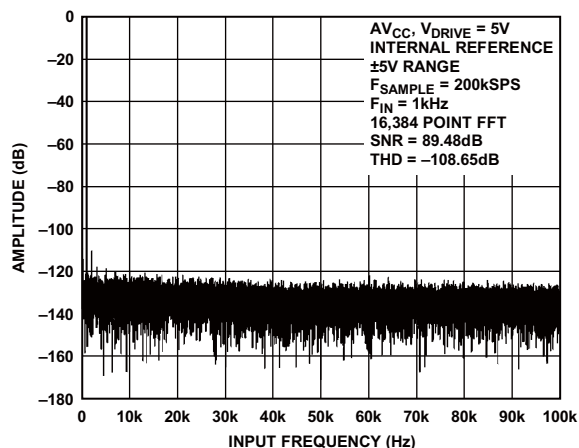


图12. AD7606 FFT图, ±5 V范围

08479-012

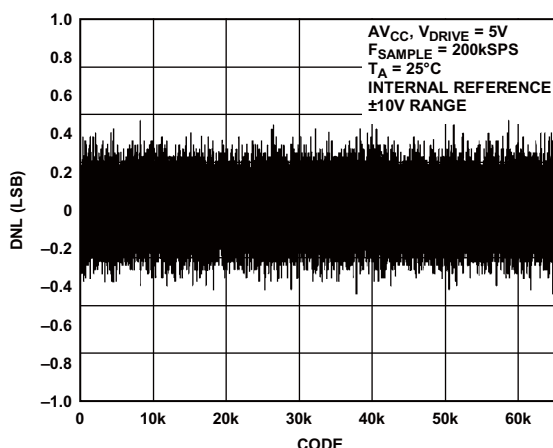


图15. AD7606典型DNL, ±10 V范围

08479-014

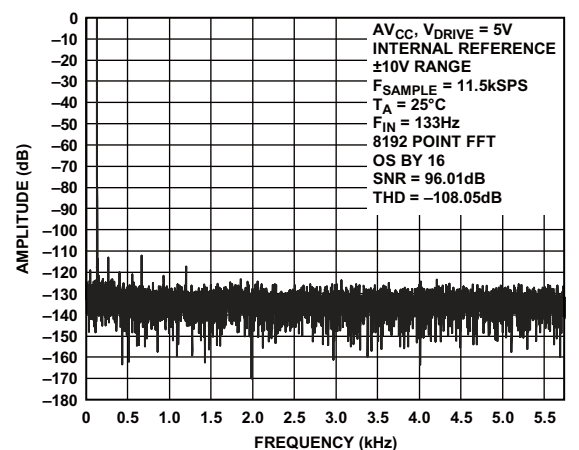


图13. 16倍过采样FFT图, ±10 V范围

08479-031

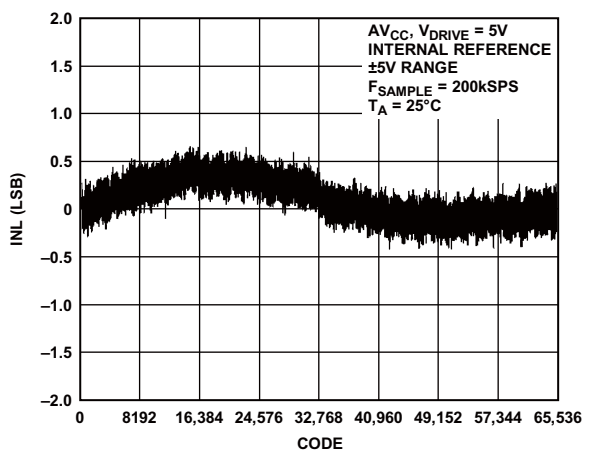


图16. AD7606典型INL, ±5 V范围

08479-015

AD7606/AD7606-6/AD7606-4

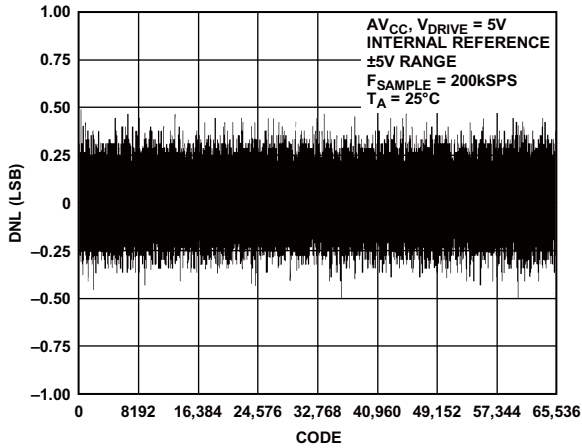


图17. AD7606典型DNL, ±5 V范围

08479-016

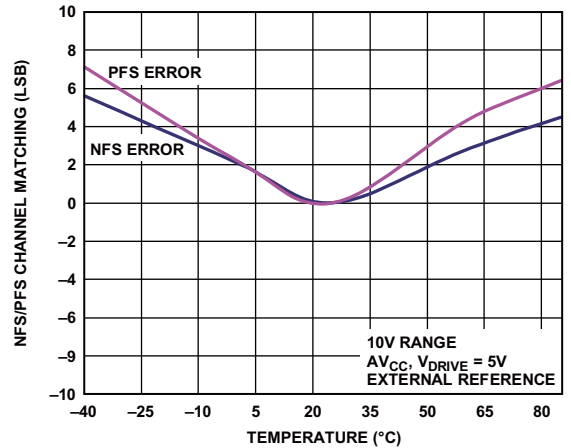


图20. NFS和PFS误差匹配

08479-018

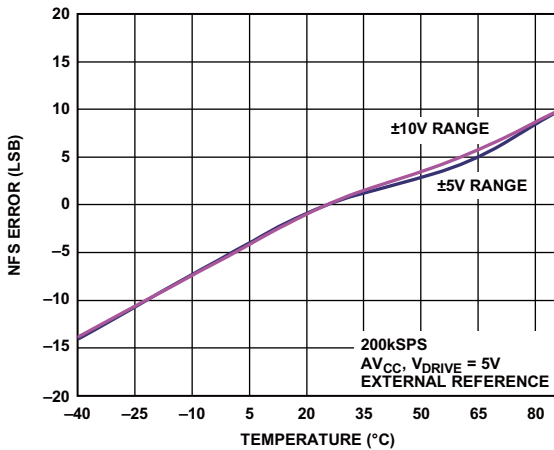


图18. NFS误差与温度的关系

08479-017

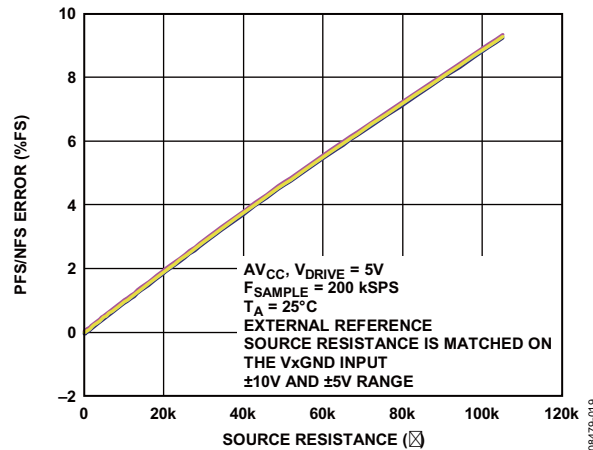


图21. PFS和NFS误差与信号源电阻的关系

08479-019

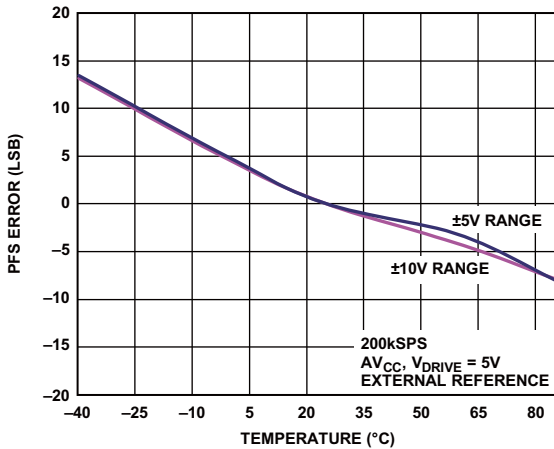


图19. PFS误差与温度的关系

08479-118

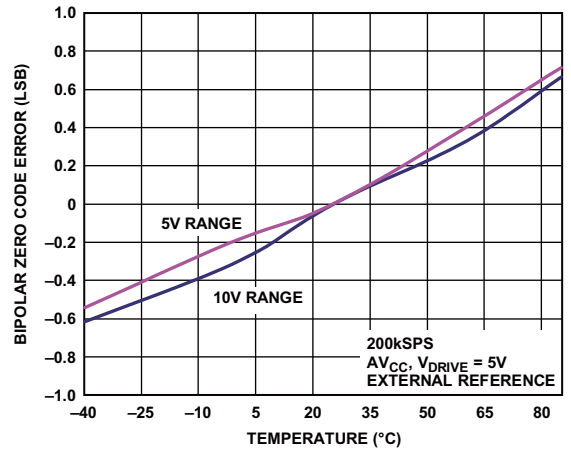


图22. 双极性零代码误差与温度的关系

08479-023

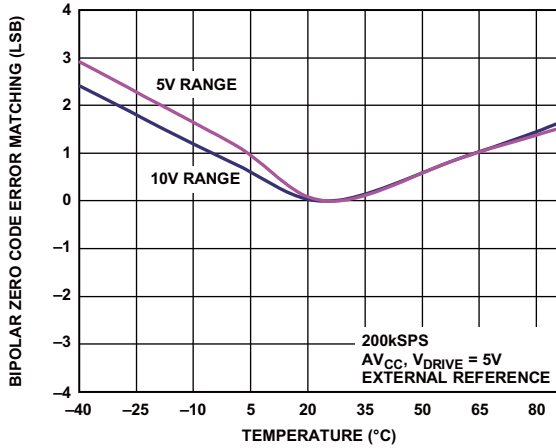


图23. 通道间的双极性零代码误差匹配

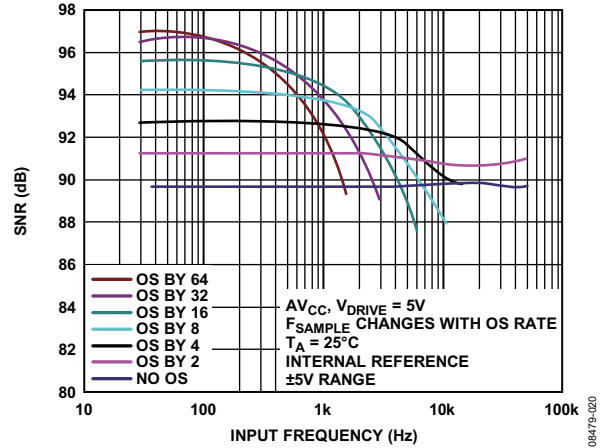


图26. 不同过采样率下SNR与输入频率的关系, ±5 V范围

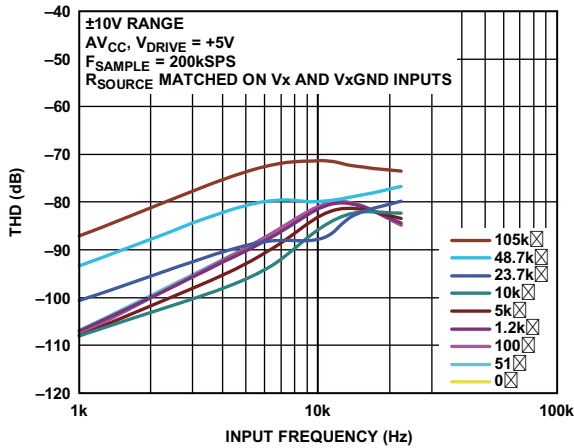


图24. 各种源阻抗下THD与输入频率的关系, ±10 V范围

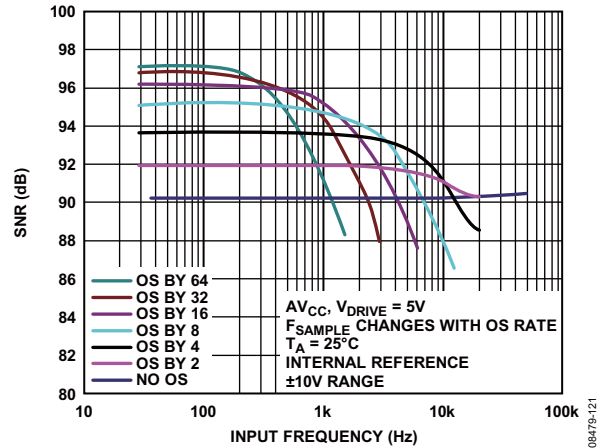


图27. 不同过采样率下SNR与输入频率的关系, ±10 V范围

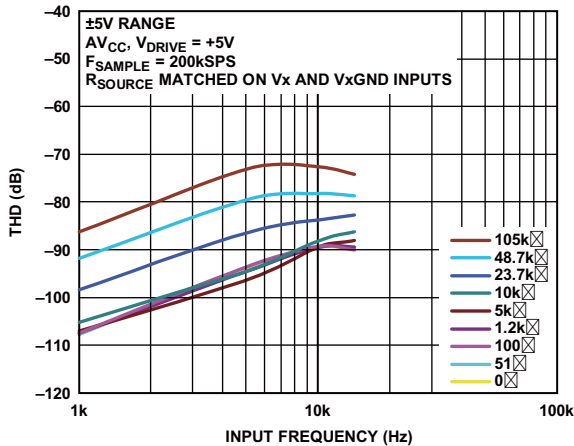


图25. 各种源阻抗下THD与输入频率的关系, ±5 V范围

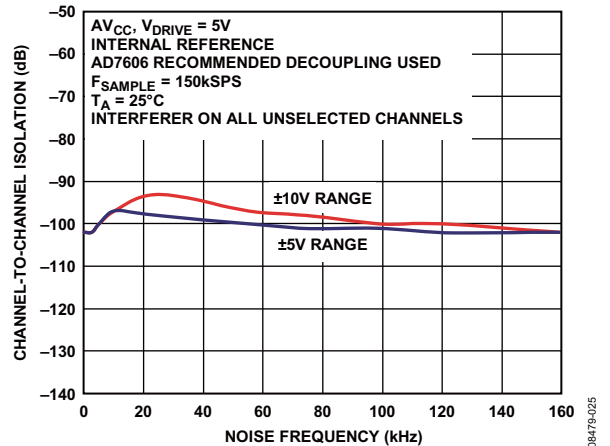


图28. 通道间隔离

AD7606/AD7606-6/AD7606-4

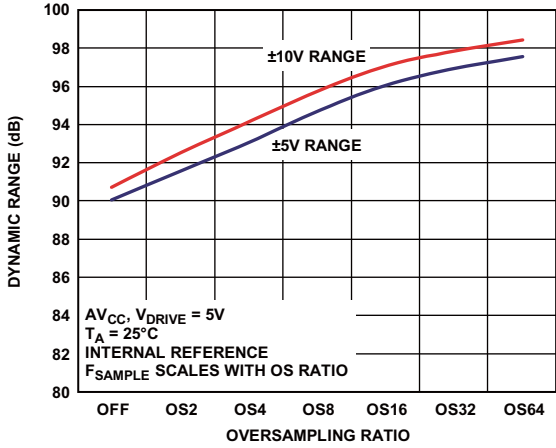


图29. 动态范围与过采样倍率的关系

08479-026

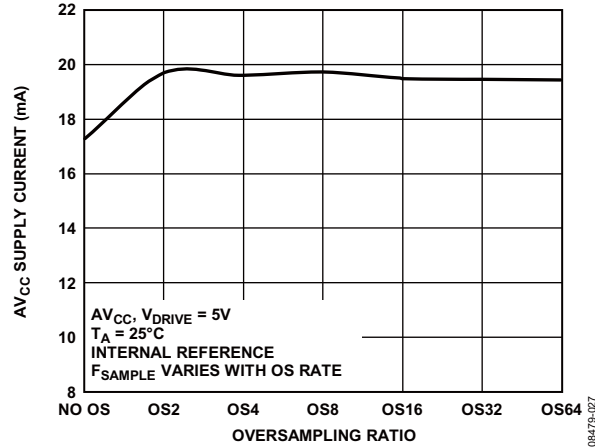


图32. 电源电流与过采样倍率的关系

08479-027

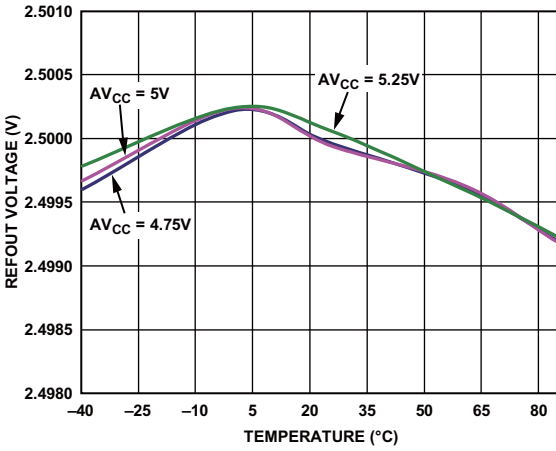


图30. 不同电源电压下基准输出电压与温度的关系

08479-029

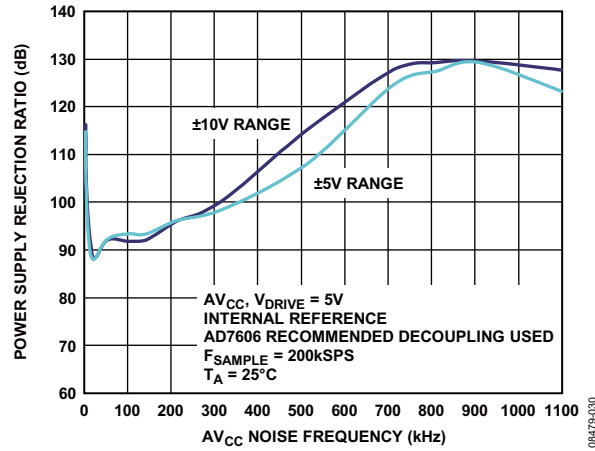


图33. 电源抑制比(PSRR)

08479-030

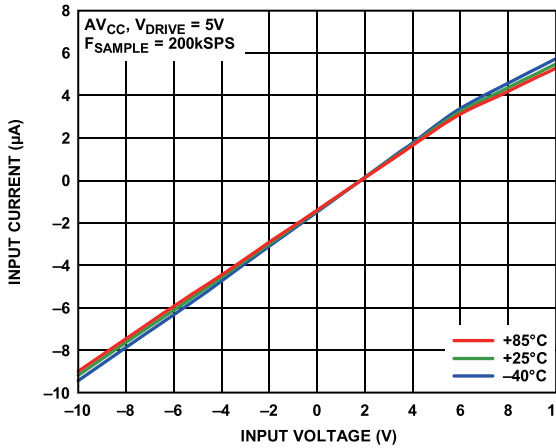


图31. 不同电源电压下模拟输入电流与温度的关系

08479-028

术语

积分非线性(INL)

ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的1/2 LSB处的零电平，终点在高于最后一个码转换的1/2 LSB处的满量程。

微分非线性(DNL)

ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零代码误差

半量程转换(全1到全0)与理想值，即0 V - 1/2 LSB的偏差。

双极性零代码误差匹配

任何两个输入通道之间双极性零代码误差的绝对差。

正满量程误差

校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换(10 V - 1/2 LSB(9.99954)和5 V - 1/2 LSB(4.99977))的偏差。正满量程误差包括内部基准电压缓冲的贡献。

正满量程误差匹配

任何两个输入通道之间正满量程误差的绝对差。

负满量程误差

校正双极性零代码误差之后，第一个码转换与理想的第一个码转换(-10 V + 1/2 LSB(-9.99984)和-5 V + 1/2 LSB(-4.99992))的偏差。负满量程误差包括内部基准电压缓冲的贡献。

负满量程误差匹配

任何两个输入通道之间负满量程误差的绝对差。

信纳比(SINAD)

在ADC输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想N位转换器，信纳比值理论值计算公式为：

$$\text{信纳比} = (6.02 N + 1.76) \text{ dB}$$

因此，16位转换器的信纳比理论值为98dB。

总谐波失真(THD)

所有谐波均方根和与基波的比值。对于AD7606/AD7606-6/AD7606-4，其定义为

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中：

V_1 是基波幅值的均方根值。

V_2 至 V_9 是二次到九次谐波幅值的均方根值。

峰值谐波或杂散噪声

在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪声内的ADC，则由噪声峰值决定。

交调失真

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频率 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)表示。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比(PSRR)定义为满量程频率 f 下ADC输出功率与频率 f_s 下施加于ADC V_{DD} 和 V_{SS} 电源的100 mV峰峰值正弦波功率的比值：

$$\text{PSRR (dB)} = 10 \log (P_f/P_{f_s})$$

其中：

P_f 是在频率 f 下ADC的输出功率。

P_{f_s} 是在频率 f_s 下耦合到 AV_{CC} 电源的功率。

通道间隔离

通道间隔离衡量所有输入通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、最高160 kHz正弦波信号，然后决定该信号在选定通道内随所施加的1 kHz正弦波信号的衰减程度来测量(见图28)。

工作原理

转换器详解

AD7606/AD7606-6/AD7606-4是采用高速、低功耗、电荷再分配逐次逼近型模数转换器(ADC)的数据采集系统,分别可以对8/6/4个模拟输入通道进行同步采样。其模拟输入可以接受真双极性输入信号。使用RANGE引脚可以选择 $\pm 10\text{ V}$ 或 $\pm 5\text{ V}$ 的输入范围。AD7606/AD7606-6/AD7606-4采用5 V单电源供电。

AD7606/AD7606-6/AD7606-4内置输入箝位保护、输入信号缩放放大器、二阶抗混叠滤波器、采样保持放大器、片内基准电压源、基准电压缓冲、高速ADC、数字滤波器以及高速并行和串行接口。AD7606/AD7606-6/AD7606-4的采样通过CONVST信号进行控制。

模拟输入

模拟输入范围

AD7606/AD7606-6/AD7606-4可处理真双极性、单端输入电压。RANGE引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连,则所有通道的模拟输入范围为 $\pm 10\text{ V}$ 。如果此引脚与逻辑低电平相连,则所有通道的模拟输入范围为 $\pm 5\text{ V}$ 。此引脚的逻辑状态改变会立即影响模拟输入范围,但是,除正常采集时间要求外,还有典型值约为 $80\ \mu\text{s}$ 的建立时间要求。建议根据系统信号所需的输入范围,通过硬连线设置RANGE引脚。

模拟输入阻抗

AD7606/AD7606-6/AD7606-4的模拟输入阻抗为 $1\ \text{M}\Omega$ 。这是固定输入阻抗,不随AD7606采样频率而变化。高模拟输入阻抗可免除AD7606/AD7606-6/AD7606-4前端的驱动放大器,允许其与信号源或传感器直接相连。由于无需驱动放大器,因此可去掉信号链中的双极性电源(它通常是系统中的噪声源)。

模拟输入箝位保护

图34显示了AD7606/AD7606-6/AD7606-4的模拟输入结构。其各路模拟输入均含有箝位保护电路。虽然采用5V单电源供电,但此模拟输入箝位保护允许输入过压达到 $\pm 16.5\text{ V}$ 。

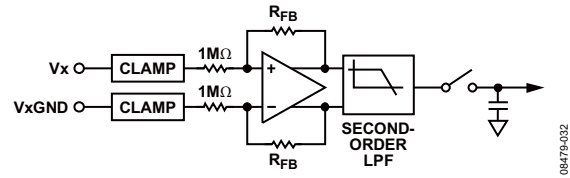


图34. 模拟输入电路

图35显示了箝位电路电压与电流的关系。当输入电压不超过 $\pm 16.5\text{ V}$ 时,箝位电路中无电流。当输入电压超过 $\pm 16.5\text{ V}$ 时,AD7606/AD7606-6/AD7606-4箝位电路开启。

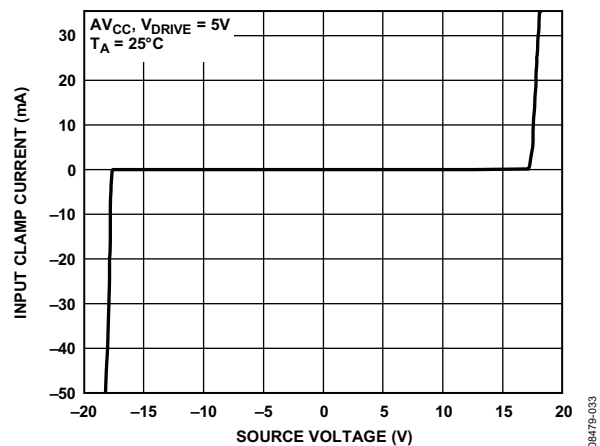


图35. 输入箝位保护特性

模拟输入通道上应放置一个串联电阻,以将输入电压超过 $\pm 16.5\text{ V}$ 时的电流限制在 $\pm 10\text{ mA}$ 以下。如果模拟输入通道Vx上有一个串联电阻,则模拟输入GND通道VxGND上也需要一个与之对应相等的电阻(见图36)。如果VxGND通道上没有对应的电阻,该通道将出现失调误差。

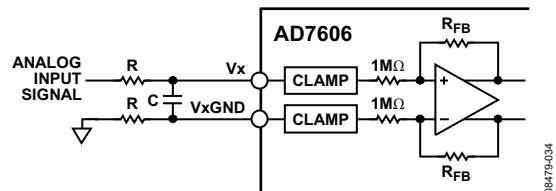


图36. AD7606/AD7606-6/AD7606-4模拟输入端上的输入电阻匹配

模拟输入抗混叠滤波器

AD7606/AD7606-6/AD7606-4还提供了模拟抗混叠滤波器(二阶巴特沃兹滤波器)。图37和图38分别显示了模拟抗混叠滤波器的频率和相位响应。在±5 V范围内, -3dB带宽典型值为15 kHz。在±10 V范围内, -3dB带宽典型值为23 kHz。

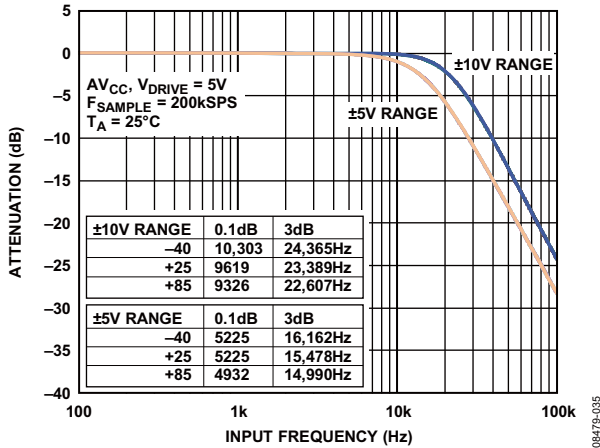


图37. 模拟抗混叠滤波器频率响应

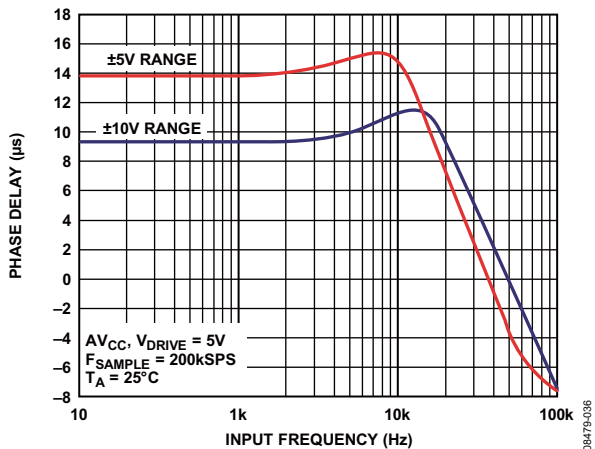


图38. 模拟抗混叠滤波器相位响应

采样保持放大器

AD7606/AD7606-6/AD7606-4上的采样保持放大器可使ADC以16位分辨率精确采集满量程幅值的输入正弦波。采样保持放大器在CONVSTx上升沿时对其各自输入进行同步采样。一个器件的所有八个采样保持放大器以及不同器件的采样保持放大器的孔径时间(即从外部CONVSTx信号上升沿到采样保持器实际进入保持模式的延迟时间)通过设计保证严格匹配。因此, 允许对一个系统中的多片AD7606/AD7606-6/AD7606-4进行同步采样。

BUSY下降沿表示所有八个通道的转换过程均已结束, 此时采样保持器返回跟踪模式, 下一批转换的采集时间开始计时。

转换采用内部时钟, AD7606所有通道的转换时间为4 µs, AD7606-6为3 µs, AD7606-4为2 µs。在AD7606上, 八个通道均完成转换后, BUSY信号恢复低电平, 表示转换过程结束。在BUSY下降沿时, 采样保持放大器返回跟踪模式。BUSY变为低电平后, 可以通过并行、并行字节或串行接口从输出寄存器中读取新数据。或者, 当BUSY为高电平时, 可以读取前一次转换的数据。在转换期间从AD7606/AD7606-6/AD7606-4读取数据对性能几乎没有影响, 可以实现更快的吞吐速率。在并行模式且V_{DRIVE} > 3.3 V时, 如果在转换期间读取, 信噪比(SNR)将降低约1.5 dB。

ADC传递函数

AD7606/AD7606-6/AD7606-4的输出编码方式为二进制补码。所设计的码转换在连续LSB整数值的中间(即1/2 LSB和3/2LSB)进行。AD7606的LSB大小为FSR/65,536。AD7606/AD7606-6/AD7606-4的理想传递特性如图39所示。

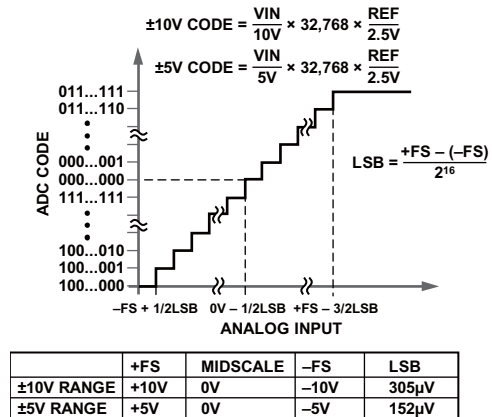


图39. AD7606/AD7606-6/AD7606-4传递特性

LSB大小取决于所选的模拟输入范围。

AD7606/AD7606-6/AD7606-4

内部/外部基准电压

AD7606/AD7606-6/AD7606-4内置一个2.5 V片内带隙基准电压源。REFIN/REFOUT引脚既可使用该2.5V基准电压，以在内部产生4.5V片内基准电压，也允许施加一个2.5 V外部基准电压。所施加的2.5 V外部基准电压也会被内部缓冲的放大至4.5 V。此4.5 V缓冲的基准电压是SAR ADC所用的基准电压。

REF SELECT引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到REFIN/REFOUT引脚。内部基准电压缓冲始终使能。复位之后，AD7606/AD7606-6/AD7606-4工作在REF SELECT引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对REFIN/REFOUT引脚去耦。REFIN/REFOUT引脚需要10 μF陶瓷去耦电容。

AD7606/AD7606-6/AD7606-4内置一个基准电压缓冲，缓冲配置为将REF电压放大至约4.5V，如图40所示。REFCAPA和REFCAPB引脚必须在外部短路连在一起，并通过一个10μF陶瓷电容连接至REFGND，以确保基准电压缓冲工作在闭环中。REFIN/REFOUT引脚提供的基准电压为2.5 V。

当AD7606/AD7606-6/AD7606-4配置为外部基准电压模式时，REFIN/REFOUT引脚为高输入阻抗引脚。对于使用多个AD7606器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

可以用一个外部基准电压源ADR421驱动所有AD7606器件的REFIN/REFOUT引脚(见图41)。此配置中，AD7606/AD7606-6/AD7606-4的每一个REFIN/REFOUT引脚都应该使用至少一个100nF的去耦电容。

内部基准电压模式

配置为内部基准电压工作模式的一个AD7606/AD7606-6/AD7606-4器件，可以用来驱动配置为外部基准电压工作模式的其余AD7606/AD7606-6/AD7606-4器件(见图42)。配置为内部基准电压模式的AD7606/AD7606-6/AD7606-4应利用10 μF陶瓷去耦电容对其REFIN/REFOUT引脚去耦。配置为外部基准电压模式的其它AD7606/AD7606-6/AD7606-4器件应各利用至少一个100 nF的去耦电容对其REFIN/REFOUT引脚去耦。

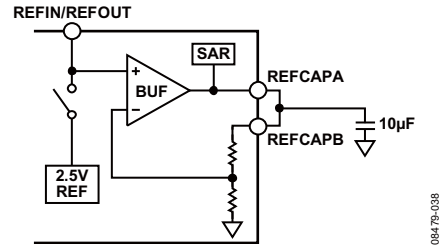


图40. 基准电压电路

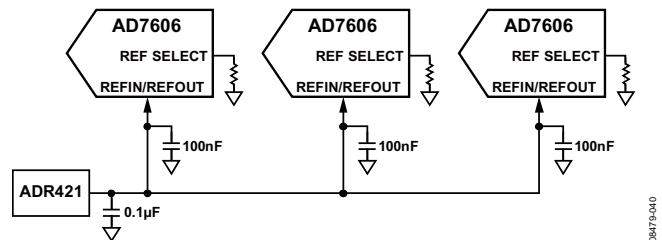


图41. 一个外部基准电压源驱动多个AD7606/AD7606-6/AD7606-4 REFIN引脚

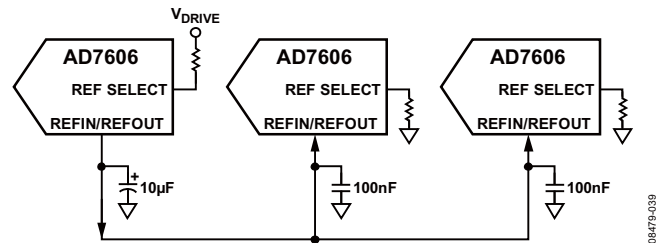


图42. 内部基准电压源驱动多个AD7606/AD7606-6/AD7606-4 REFIN引脚

典型连接图

图43显示了AD7606/AD7606-6/AD7606-4的典型连接图。器件有四个 AV_{CC} 电源引脚。这四个电源引脚应各使用一个100 nF去耦电容。在电源侧使用一个10 μ F电容去耦。AD7606/AD7606-6/AD7606-4既可在内部基准电压下工作，也可在外部施加的基准电压下工作。在图43配置中，AD7606被配置为在内部基准电压下工作。当电路板上只有一个AD7606/AD7606-6/AD7606-4器件时，应利用一个10 μ F电容对其REFIN/REFOUT引脚去耦。当应用中使用多个AD7606/AD7606-6/AD7606-4器件时，请参阅“内部/外部基准电压”部分。REFCAPA和REFCAPB引脚短路连在一起，并通过一个10 μ F陶瓷电容来去耦。

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 电压控制输出逻辑信号的电压值。关于布局、去耦和接地提示，请参考“布局指南”部分。

省电模式

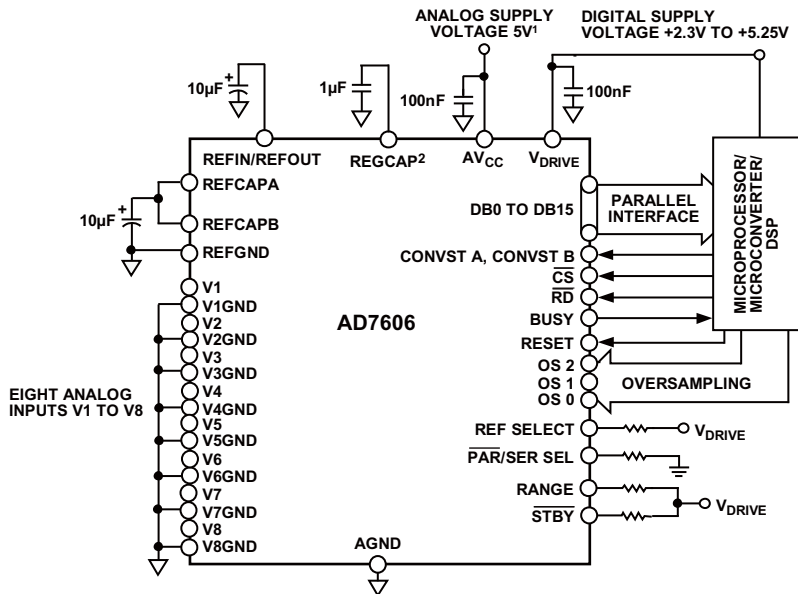
AD7606/AD7606-6/AD7606-4提供两种省电模式：待机模式和关断模式。 \overline{STBY} 引脚控制AD7606/AD7606-6/AD7606-4是处在正常模式还是两种省电模式之一。

当 \overline{STBY} 引脚为低电平时，RANGE引脚的状态决定选择何种省电模式。表7显示了选择不同省电模式所需的配置。当AD7606/AD7606-6/AD7606-4处于待机模式时，最大功耗为8mA，上电时间约为100 μ s，因为REFCAPA和REFCAPB引脚上的电容必须充电。待机模式下，片内基准电压源和稳压器仍然上电，放大器和ADC内核则关断。

当AD7606/AD7606-6/AD7606-4处于关断模式时，最大功耗为6 μ A，上电时间约为13 ms(外部基准电压模式)。关断模式下，所有电路均关断。当AD7606/AD7606-6/AD7606-4从关断模式上电时，经过所需的上电时间后，必须对AD7606/AD7606-6/AD7606-4施加RESET信号。

表7. 省电模式选择

省电模式	STBY	RANGE
待机	0	1
关断	0	0



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.

²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

图43. AD7606典型连接图

AD7606/AD7606-6/AD7606-4

转换控制

所有模拟输入通道同步采样

AD7606/AD7606-6/AD7606-4可以对所有模拟输入通道进行同步采样。当两个CONVST引脚(CONVST A和CONVST B)连在一起时，所有通道同步采样。使用一个CONVST信号便可控制两个CONVST x输入。此公用CONVST信号的上升沿启动对所有模拟输入通道的同步采样(AD7606的V1至V8，AD7606-6的V1至V6，AD7606-4的V1至V4)。

AD7606内置一个片内振荡器用于转换。所有ADC通道的转换时间为 t_{CONV} 。BUSY信号告知用户正在进行转换，因此当施加CONVST上升沿时，BUSY变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY信号下降沿用来使所有八个采样保持放大器返回跟踪模式。BUSY下降沿还表示，现在可以从并行总线DB[15:0]、 D_{OUTA}/D_{OUTB} 串行数据线路或并行字节总线DB[7:0]读取新数据。

两组通道同步采样

AD7606/AD7606-6/AD7606-4还允许模拟输入通道以两组的形式进行同步采样。这可以用在电力线保护和测量系统中，以补偿PT和CT变压器所引入的相位差。在50Hz系统，它可以提供最多 9° 的相位补偿；在60 Hz系统中，它可以提供最多 10° 的相位补偿。

通过脉冲独立激活两个CONVST引脚，并且只有在不使用过采样时，才可实现这种采样方式。CONVST A用来对第一组通道启动同步采样(AD7606的V1至V4，AD7606-6的V1至V3，AD7606-4的V1和V2)；CONVST B用来启动对第二组模拟输入通道的同步采样(AD7606的V5至V8，AD7606-6的V4至V6，AD7606-4的V3和V4)，如图44所示。在CONVST A上升沿时，第一组通道的采样保持放大器进入保持模式。在CONVST B上升沿时，第二组通道的采样保持放大器进入保持模式。当两个CONVST x均已达到上升沿时，转换过程开始，因此在后一CONVST x信号的上升沿时，BUSY变为高电平。在表3中，时间 t_5 表示CONVST x采样点之间的最大容许时间。

使用两个独立的CONVST x信号时，数据读取过程不变。

将所有不使用的模拟输入通道接AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会转换所有通道。

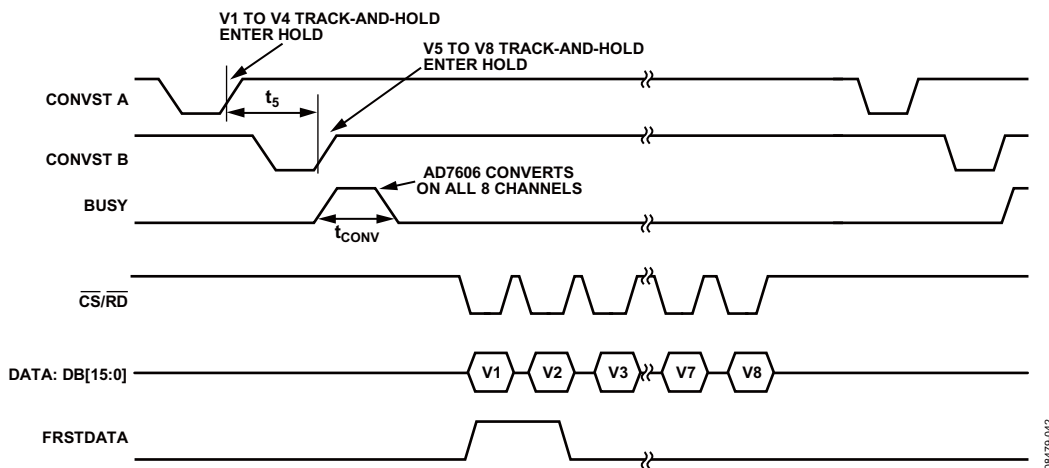


图44. AD7606分两组通道进行同步采样，使用独立的CONVST A和CONVST B信号—并行模式

数字接口

AD7606/AD7606-6/AD7606-4提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需接口模式可通过PAR/SER/BYTE SEL和DB15/BYTE SEL引脚来选择。

表8. 接口模式选择

PAR/SER/BYTE SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

下面几节讨论这些接口模式的工作原理。

并行接口 (PAR/SER/BYTE SEL = 0)

可以用标准 \overline{CS} 和 \overline{RD} 信号通过并行数据总线从AD7606/AD7606-6/AD7606-4读取数据。通过并行总线读取数据时，需将PAR/SER/BYTE SEL引脚和低电平相连。通过内部选通 \overline{CS} 和 \overline{RD} 输入信号，可以将转换结果输出到数据总线。当 \overline{CS} 和 \overline{RD} 同时处于逻辑低电平时，数据线DB15至DB0不再呈高阻态。

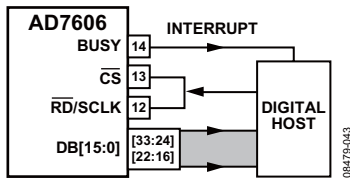


图45. AD7606接口图—一个AD7606使用并行总线，RD和CS短路连在一起

\overline{CS} 输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻抗状态 \overline{CS} 是使能数据线的控制信号，利用该功能可以让多个AD7606/AD7606-6/AD7606-4器件共享同一并行数据总线。

\overline{CS} 信号可永久性地接低电平，而 \overline{RD} 信号可用来获取转换结果，如图4所示。BUSY信号变为低电平后，可以读取新数据(见图2)；或者，在BUSY为高电平时，可以读取前一次转换的数据(见图3)。

\overline{RD} 引脚用来从输出转换结果寄存器读取数据。对AD7606/AD7606-6/AD7606-4 \overline{RD} 引脚施加一个 \overline{RD} 脉冲序列，可使各通道的转换结果按升序逐个输出到并行总线DB[15:0]。BUSY变为低电平后的第一个 \overline{RD} 下降沿输出通道V1的转换结果，下一个 \overline{RD} 下降沿则用V2转换结果更新总线，依此类推。在AD7606上， \overline{RD} 的第八个下降沿输出通道V8的转换结果。

当 \overline{RD} 信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机(DSP、FPGA)。

当系统/板上只有一个AD7606/AD7606-6/AD7606-4且它不共享并行总线时，可以仅用数字主机的一个控制信号来读取数据。 \overline{CS} 和 \overline{RD} 信号可以连在一起，如图5所示。这种情况下，数据总线在 $\overline{CS}/\overline{RD}$ 的下降沿时脱离三态。利用 \overline{CS} 和 \overline{RD} 合并信号，可以从AD7606/AD7606-6/AD7606-4输出数据，并由数字主机读取。这种情况下， \overline{CS} 用来使能各数据通道的数据帧传输。

并行字节(PAR/SER/BYTE SEL = 1, DB15 = 1)

并行字节接口模式的工作原理与并行接口模式非常相似，不过各通道转换结果是分两次8位传输读出。因此，读取AD7606的所有八个转换结果需要16个 \overline{RD} 脉冲，读取AD7606-6的所有通道结果需要12个 \overline{RD} 脉冲，AD7606-4则需要八个脉冲。将AD7606/AD7606-6/AD7606-4配置为并行字节模式时，PAR/SER/BYTE SEL和BYTE SEL/DB15引脚应与逻辑高电平相连(见表8)。并行字节模式下，DB[7:0]用来将数据传输至数字主机。DB0为数据传输的LSB，DB7为数据传输的MSB。DB14充当HBEN引脚。当DB14/HBEN接逻辑高电平时，首先输出转换结果的高字节(MSB)，然后输出低字节(LSB)。当DB14接逻辑低电平时，首先输出转换结果的LSB，然后输出MSB。FRSTDATA引脚将保持高电平，直到从AD7606/AD7606-6/AD7606-4读取V1的全部16位转换结果。

串行接口(PAR/SER/BYTE SEL = 1)

若要通过串行接口从AD7606回读数据，PAR/SER/BYTE SEL引脚必须连接高电平。 \overline{CS} 和SCLK信号用来传输AD7606的数据。AD7606/AD7606-6/AD7606-4有两个串行数据输出引脚： D_{OUTA} 和 D_{OUTB} 。可通过单或双 D_{OUT} 线路从AD7606/AD7606-6/AD7606-4回读数据。对于AD7606，通道V1至V4的转换结果首先出现在 D_{OUTA} 上，通道V5至V8的转换结果则首先出现在 D_{OUTB} 上。对于AD7606-6，通道V1至V3的转换结果首先出现在 D_{OUTA} 上，通道V4至V6的转换结果则首先出现在 D_{OUTB} 上。对于AD7606-4，通道V1和V2的转换结果首先出现在 D_{OUTA} 上，通道V3和V4的转换结果则首先出现在 D_{OUTB} 上。

AD7606/AD7606-6/AD7606-4

\overline{CS} 下降沿使数据输出线路 D_{OUTA} 和 D_{OUTB} 脱离三态，并逐个输出转换结果的MSB。SCLK上升沿将随后的所有数据位逐个送至串行数据输出 D_{OUTA} 和 D_{OUTB} 。可以使 \overline{CS} 输入在整个串行读取操作过程中保持低电平，也可以通过脉冲激活它，以使能各通道的16个SCLK周期帧读取。图46显示采用双 D_{OUT} 线路在AD7606上读取八个同步转换结果。这种情况下，使用64个SCLK传输来访问AD7606的数据，并且 \overline{CS} 保持低电平，以使能全部64个SCLK周期帧。也可以仅用一路 D_{OUT} 线逐个输出数据；这种情况下，建议用 D_{OUTA} 访问所有转换数据，因为通道数据以升序输出。对于AD7606，通过一路 D_{OUT} 线访问所有八个转换结果时，总共需要128个SCLK周期。可以通过一个 \overline{CS} 信号使能这128个SCLK周期帧，也可以通过 \overline{CS} 信号独立使能各组的16个SCLK周期帧。只用一路 D_{OUT} 线的缺点是：如果在转换之后进行读取，则吞吐速率会下降。串行模式下，不用的 D_{OUT} 线应保持不连接。对于AD7606，如果 D_{OUTB} 用作一路 D_{OUT} 线，通道结果将以V5、V6、V7、V8、V1、V2、V3、V4的顺序输出；不过，在 D_{OUTB} 上读取V5后，FRSTDATA指示就会恢复低电平。对于AD7606-6和AD7606-4，如果 D_{OUTB} 用作一路 D_{OUT} 线，通道结果将以V4、V5、V6、V1、V2、V3的顺序(AD7606-6)和V3、V4、V1、V2的顺序(AD7606-4)输出。

图6显示串行模式下从AD7606/AD7606-6/AD7606-4读取一个通道的数据(由 \overline{CS} 信号使能帧传输)的时序图。SCLK输入信号为串行读取操作提供时钟源。 \overline{CS} 变为低电平，以从AD7606/AD7606-6/AD7606-4访问数据。

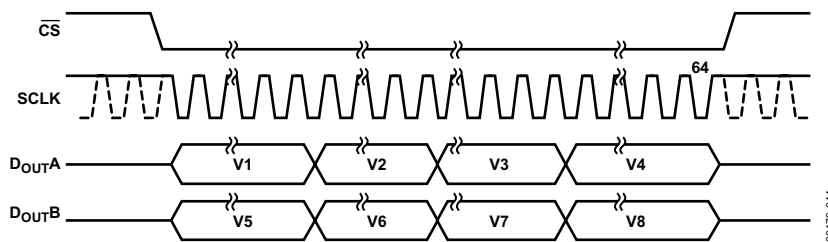


图46. 采用双 D_{OUT} 线路的AD7606串行接口

\overline{CS} 下降沿使总线脱离三态，并逐个输出16位转换结果的MSB。此MSB在 \overline{CS} 下降沿后的第一个SCLK下降沿有效。后续15个数据位在SCLK的上升沿逐个输出。数据在SCLK下降沿有效。必须向AD7606/AD7606-6/AD7606-4提供16个时钟周期以获取一个通道的转换结果。

FRSTDATA输出信号指示何时回读第一通道V1。当输入为高电平时，FRSTDATA输出引脚处于三态。在串行模式下， \overline{CS} 下降沿使FRSTDATA脱离三态，并将FRSTDATA引脚设为高电平，表示 D_{OUTA} 输出数据线可以提供V1的结果。在第16个SCLK下降沿之后，FRSTDATA输出恢复逻辑低电平。如果所有通道都在 D_{OUTB} 上读取，则当V1输出到此串行数据输出引脚时，FRSTDATA输出不会变为高电平。只有当 D_{OUTA} 提供V1结果时(对于AD7606，此时 D_{OUTB} 提供V5结果)，它才会变为高电平。

转换期间读取

当BUSY为高电平，转换正在进行时，也可以从AD7606/AD7606-6/AD7606-4读取数据。这几乎不会影响转换器的性能，而且可以实现更快的吞吐速率。转换期间可以执行并行、并行字节或串行读取，可以使用或不用过采样。图3显示并行或串行模式下BUSY为高电平时读取操作的时序图。转换期间执行读取使得使用串行接口且 V_{DRIVE} 高于4.75 V时也可以达到最高吞吐速率。

在BUSY下降沿时，输出数据寄存器会被新转换数据更新，除外之外的任何时候都可以从AD7606读取数据。这种情况下应满足表3所示的时间 t_c 要求。

数字滤波器

AD7606/AD7606-6/AD7606-4内置一个可选的数字一阶sinc滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，应使用该滤波器。数字滤波器的过采样倍率由过采样引脚OS [2:0]控制(见表9)。OS 2为MSB控制位，OS 0则为LSB控制位。表9提供了用来选择不同过采样倍率的过采样位解码。OS引脚在BUSY的下降沿锁存，从而设置下一个转换的过采样倍率(见图48)。除过采样功能外，输出结果被抽取为16位分辨率。

如果OS引脚选择过采样倍率8，则下一个CONVST_x上升沿采集各通道的第一个样点，一个内部产生的采样信号采集所有通道的其余7个样点。然后对这些样点求平均值，以改进SNR性能。表9显示了±10 V范围和±5 V范围的典型SNR性能。如表9所示，SNR性能随着过采样倍率提高而改善。随着过采样倍率提高，3 dB带宽降低，容许的采样频率也降低。在所需采样频率为10 kSPS的应用中，过采样倍率最高可以为16。此时，应用的SNR性能会有改善，但输入3 dB带宽在约6 kHz以下。

开启过采样时，CONVST_A和CONVST_B引脚必须连在一起驱动，转换过程中BUSY保持高电平的时间会延长。BUSY保持高电平的实际情况取决于所选的过采样倍率；过采样倍率越高，则BUSY保持高电平的时间或总转换时间越长(见表3)。

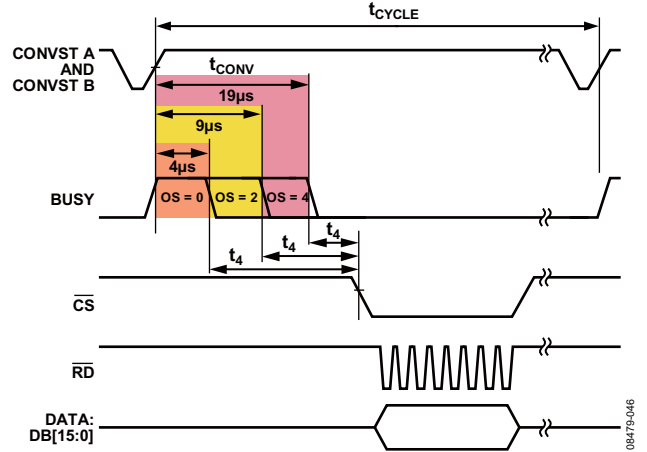


图47. AD7606—无过采样、2倍过采样和4倍过采样，转换之后读取

图47显示转换时间和BUSY信号宽度随着过采样倍率提高而延长。例如，当采样速率为10 kSPS时，周期时间为100 μs。图47显示了OS × 2和OS × 4的情况；对于10 kSPS采样速率，仍有足够的周期时间来进一步提高过采样倍率，使SNR性能得到更大的改善。例如，在初始采样或吞吐速率为200 kSPS的应用中，如果开启过采样，则必须降低吞吐速率，以满足较长的转换时间要求，并顾及到读取操作。当开启过采样时，为实现最快吞吐速率，可以在BUSY高电平期间执行读取操作。BUSY下降沿用于以新转换数据更新输出数据寄存器，因此转换数据的读取不应发生在此边沿上。

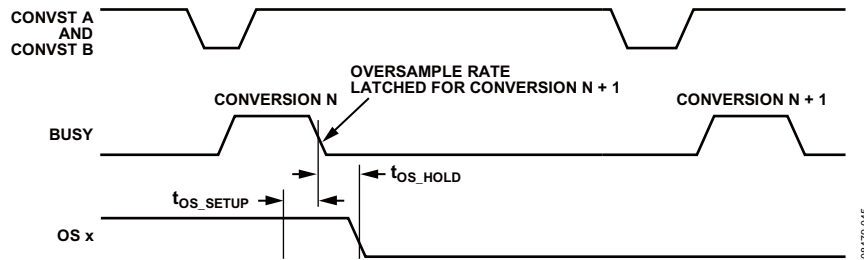


图48. OS x引脚时序

表9. 过采样位解码

OS[2:0]	过采样倍率	5 V范围SNR(dB)	10 V范围SNR(dB)	5 V范围3 dB带宽 (kHz)	10 V范围3 dB带宽 (kHz)	最大吞吐量CONVST频率(kHz)
000	No OS	89	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	无效					

AD7606/AD7606-6/AD7606-4

图49至图55以直方图形式显示了过采样对输出码字分布的影响。随着过采样率提高，码字分布缩小。

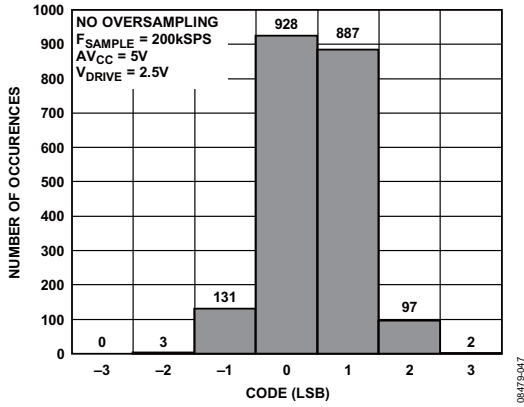


图49. 码直方图：无过采样(6个码)

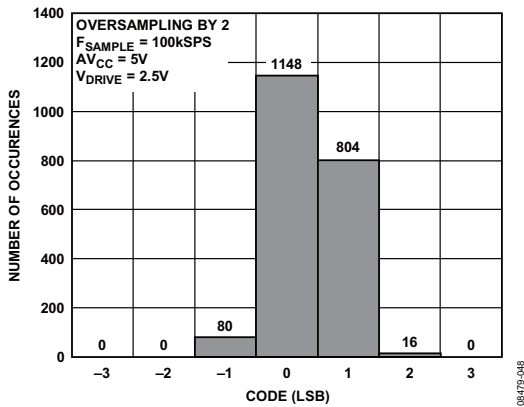


图50. 码直方图：2倍过采样(4个码)

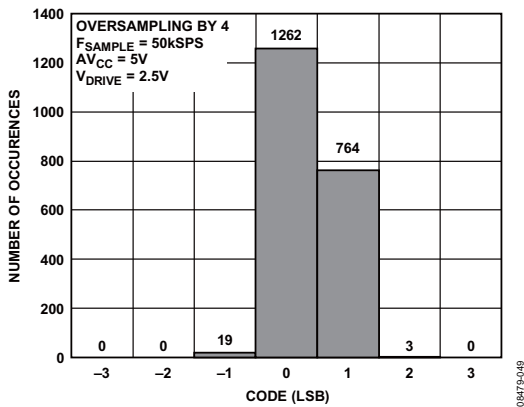


图51. 码直方图：4倍过采样(4个码)

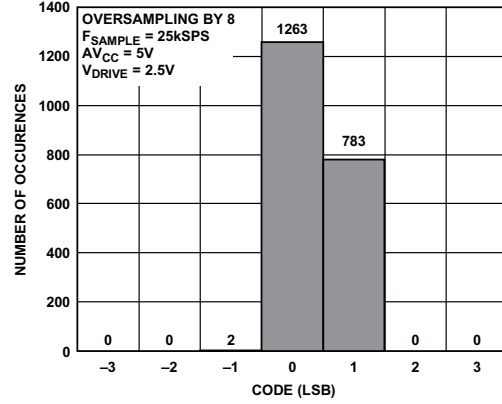


图52. 码直方图：8倍过采样(3个码)

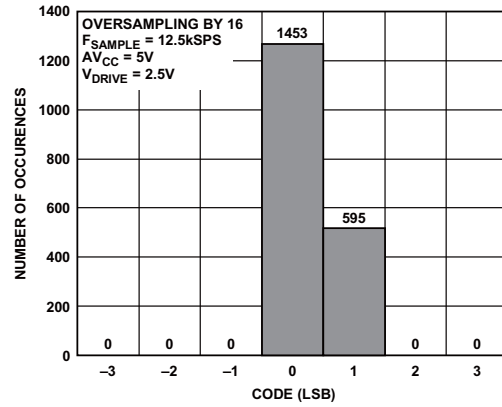


图53. 码直方图：16倍过采样(2个码)

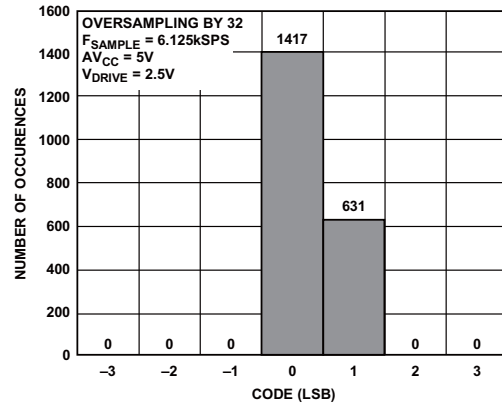


图54. 码直方图：32倍过采样(2个码)

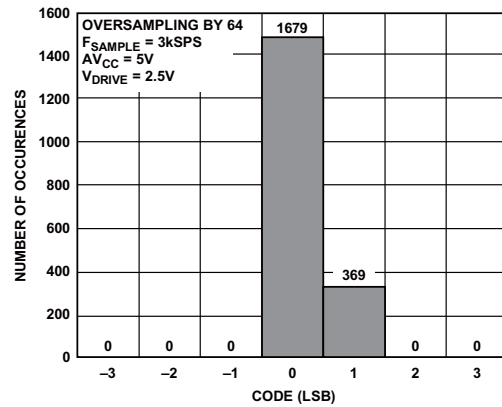


图55. 码直方图：64倍过采样(2个码)

对于AD7606/AD7606-6/AD7606-4，当选择过采样模式时，其效果是在ADC之后增加数字滤波器功能。不同的过采样倍率和CONVST采样频率将产生不同的数字滤波器频率曲线。

图56至图60显示了不同采样速率下的数字滤波器频率曲线。模拟抗混叠滤波器和过采样数字滤波器组合可以简化AD7606/AD7606-6/AD7606-4之前的滤波器设计。该数字滤波同时提供陡峭滚降的幅频响应与线性的相频响应。

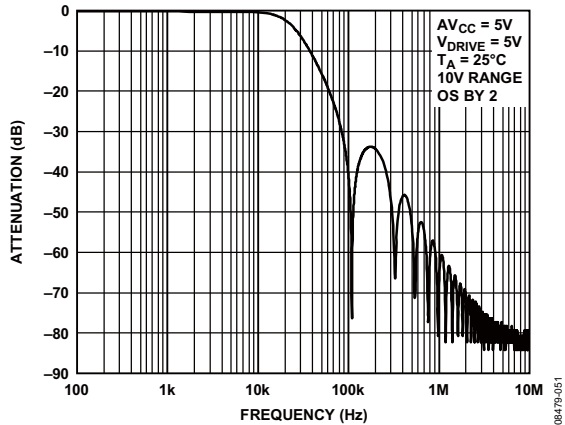


图56. 2倍过采样的数字滤波器响应

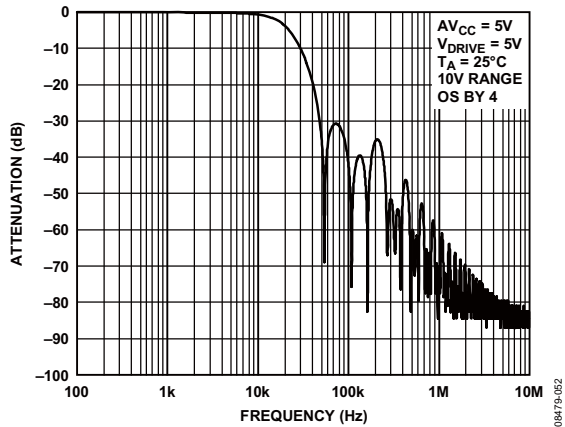


图57. 4倍过采样的数字滤波器响应

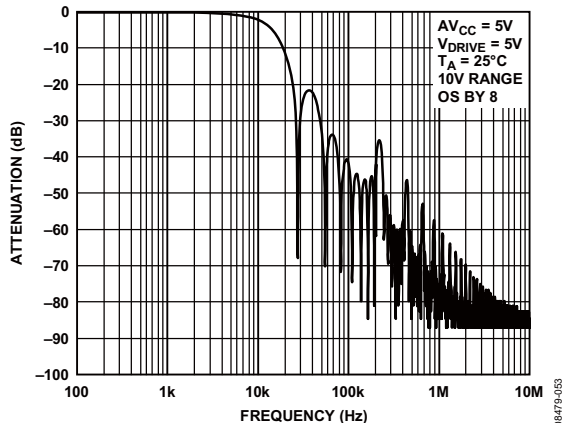


图58. 8倍过采样的数字滤波器响应

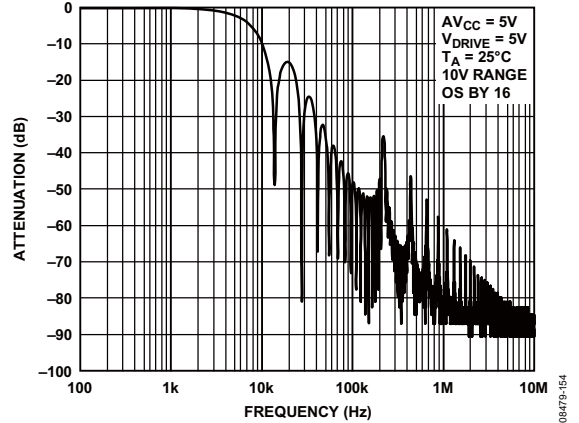


图59. 16倍过采样的数字滤波器响应

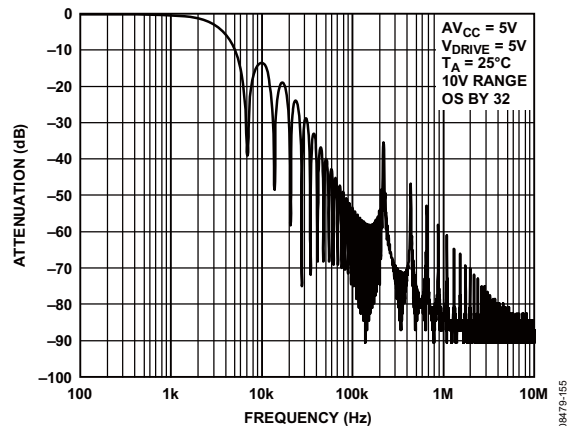


图60. 32倍过采样的数字滤波器响应

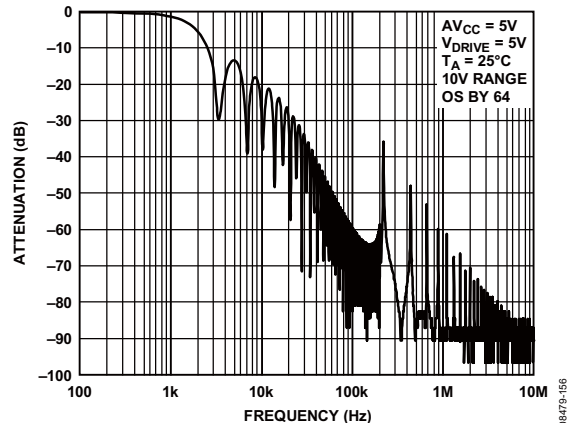


图61. 64倍过采样的数字滤波器响应

AD7606/AD7606-6/AD7606-4

布局指南

AD7606/AD7606-6/ AD7606-4所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域内。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时，数字地和模拟地应单点连接。单点接地点最好尽可能靠近AD7606/AD7606-6/AD7606-4。

如果AD7606/AD7606-6/AD7606-4系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近AD7606/AD7606-6/AD7606-4的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7606/AD7606-6/AD7606-4下方，以避免噪声耦合。如CONVST_A、CONVST_B或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板上邻近层的走线应彼此垂直，以减小电路板的馈通效应。

AD7606/AD7606-6/AD7606-4上AV_{CC}和V_{DRIVE}引脚的电源线应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在AD7606电源引脚与电路板的电源走线之间建立良好连接。各电源引脚应使用单个过孔或多个过孔连接到电源层。

良好的去耦也很重要，以便降低AD7606/AD7606-6/AD7606-4的电源阻抗，并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。REFIN/REFOUT引脚和REFCAPA、REFCAPB引脚的去耦电容应尽可能靠近相应的AD7606/AD7606-6/AD7606-4引脚。可能的话，应将这些电容放在电路板上与AD7606器件相同的一侧。

图62显示了AD7606电路板顶层的建议去耦配置。图63显示了底层去耦配置，它用于4个AV_{CC}引脚和V_{DRIVE}引脚的去耦。AV_{CC}引脚的100 nF陶瓷电容靠近器件的相应引脚，一个100 nF电容可以在引脚37和引脚38之间共享。

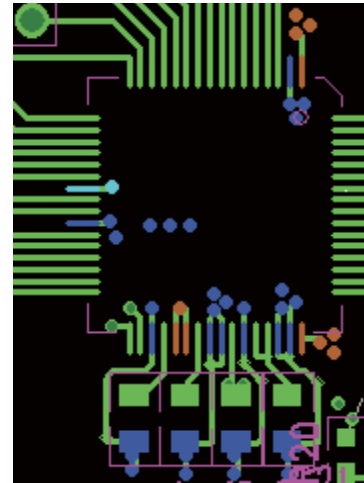


图62. REFIN/REFOUT、REFCAPA、REFCAPB和REGCAP引脚的顶层去耦



图63. 底层去耦

在含有多个AD7606/AD7606-6/AD7606-4器件的系统中，为确保器件之间的性能匹配良好，这些器件必须采用对称布局。

图64显示了两个AD7606/AD7606-6/AD7606-4器件的布局。AV_{CC}电源层沿两个器件的右侧布设，V_{DRIVE}电源走线沿两个器件的左侧布设。基准电压芯片位于两个器件之间，基准电压走线向北布设到U1的引脚42，向南布设到U2的引脚42。使用不分割的、连续的接地层。

这些对称布局原则同样适用于含有两个以上AD7606/AD7606-6/AD7606-4器件的系统。AD7606/AD7606-6/AD7606-4器件可以沿南北方向放置，基准电压位于器件的中间，基准电压走线则沿南北方向布设，类似于图64。

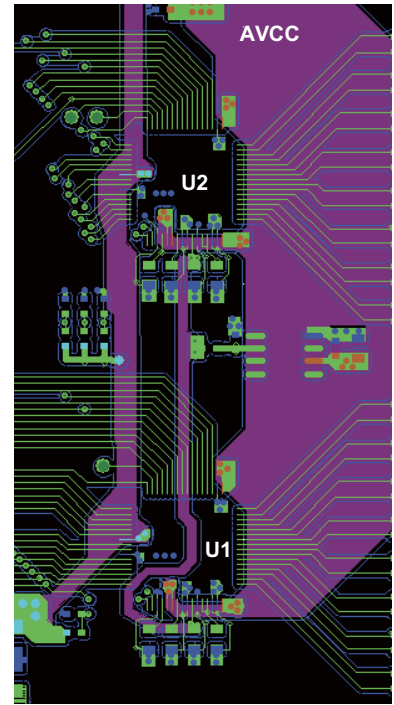
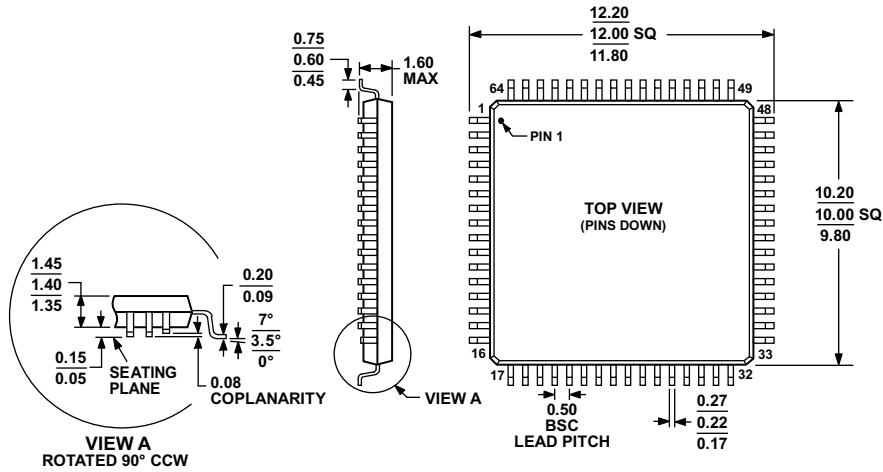


图64. 多个AD7606器件的布局—顶层和电源层

AD7606/AD7606-6/AD7606-4

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图65. 64引脚LQFP封装(ST-64-2) 尺寸单位: mm

051706-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7606BSTZ	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-RL	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-6	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-6RL	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-4	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-4RL	-40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7606EDZ ²		AD7606评估板	
EVAL-AD7606-6EDZ ²		AD7606-6评估板	
EVAL-AD7606-4EDZ ²		AD7606-4评估板	
CED1Z ³		转换器评估开发板	

¹ Z = 符合RoHS标准的兼容器件。

² 此板可单独用作评估板，或与CED1Z配合用于评估/演示。

³ 此板允许PC对所有带EDZ标志后缀的ADI评估板进行控制并与之通信。

注 释

注 释