

混合信号微控制器

特性

- 低电源电压范围: **1.8V 至 3.6V**
- 超低功耗
 - 激活模式: **220 μ A** (在 **1MHz** 频率和 **2.2V** 电压条件下)
 - 待机模式: **0.5 μ A**
 - 关闭模式 (RAM 保持): **0.1 μ A**
- **5** 种节能模式
- 可在不到 **1 μ s** 的时间里超快速地从待机模式唤醒
- **16** 位精简指令集 (RISC) 架构, 高达 **12MHz** 系统时钟
- 基本时钟模块配置
 - 带有两个已校准频率的高达 **12MHz** 的内部频率
 - 内部超低功耗低频 (LF) 振荡器
 - 高达 **16MHz** 的高频 (HF) 晶振
 - 谐振器
 - 外部数字时钟源
- 多达 **3** 个具有差分可编程增益放大器 (PGA) 输入的 **24** 位三角积分模数 (A/D) 转换器
- 具有 **3** 个捕获/比较寄存器的 **16** 位 **Timer_A**
- 串行通信接口 (USART), 可用软件来选择异步 **UART** 或同步 **SPI**
- **16** 位硬件乘法器
- 欠压检测器
- 具有可编程电平检测功能的电源电压监控器/监视器
- 串行板上编程, 无需从外部进行电压编程, 利用安全熔丝实现可编程代码保护
- 片上仿真模块
- 系列成员汇总于表 1。
- 如需了解完整的模块说明, 请参阅 《MSP430x2xx 系列用户指南》, 文献编号 **SLAU144**

说明

德州仪器 (TI) MSP430™ 系列超低功率微控制器包含几个器件, 这些器件特有针对多种应用的不同外设集。这种架构与 5 种低功耗模式相组合, 专为在便携式测量应用中延长电池使用寿命而优化。该器件具有一个强大的 16 位 RISC CPU, 16 位寄存器和有助于获得最大编码效率的常数发生器。数字控制振荡器 (DCO) 可在不到 1 μ s 的时间里完成从低功耗模式至运行模式的唤醒。

MSP430AFE2x3 器件是超低功耗混合信号微控制器, 集成了三个独立的 24 位三角积分 A/D 转换器、一个 16 位定时器、一个 16 位硬件乘法器、USART 通信接口、安全装置定时器和 11 个 I/O 引脚。

除了仅集成了两个 24 位三角积分 A/D 转换器之外, MSP430AFE2x2 器件与 MSP430AFE2x3 完全一样。

除了仅集成了一个 24 位三角积分 A/D 转换器之外, MSP430AFE2x1 器件与 MSP430AFE2x3 完全一样。

可提供的系列成员汇总于表 1。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

MSP430 is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

版权 © 2010–2011, Texas Instruments Incorporated
English Data Sheet: **SLAS701**

表 1. 系列产品⁽¹⁾

器件	闪存 (KB)	SRAM (字节)	嵌入式仿真模块 (EEM)	SD24_A 转换器	16 位 MPY (乘法器)	Timer_A ⁽²⁾	USART (UART/SPI)	时钟	I/O	封装类型 ⁽³⁾
MSP430AFE253IPW	16	512	1	3	1	3	1	高频 (HF), 数控振荡器 (DCO), 超低功耗振荡器 (VLO)	11	24 引脚薄型小外形尺寸 (TSSOP) 封装
MSP430AFE233IPW	8	512	1	3	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE223IPW	4	256	1	3	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE252IPW	16	512	1	2	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE232IPW	8	512	1	2	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE222IPW	4	256	1	2	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE251IPW	16	512	1	1	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE231IPW	8	512	1	1	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装
MSP430AFE221IPW	4	256	1	1	1	3	1	HF, DCO, VLO	11	24 引脚 TSSOP 封装

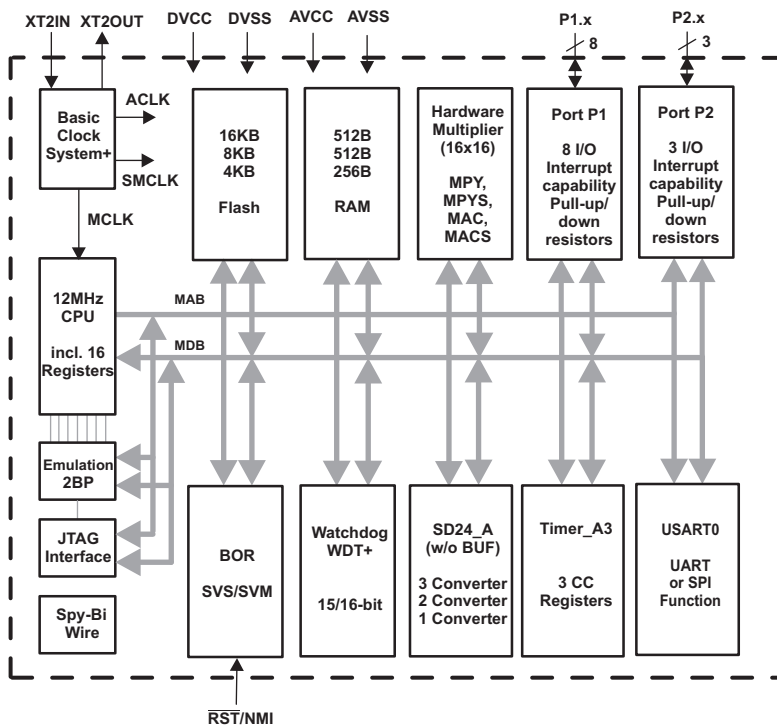
- (1) 要获得最新的封装和订购信息, 请参阅本文档末尾的封装选项附录, 或者浏览 TI 网站 www.ti.com。
 (2) 序列中的每个数代表 Timer_A 的一个例示, 并反映出其可使用的捕获/比较寄存器及脉宽调制 (PWM) 输出发生器的相关数量。例如: 一个 (3, 5) 数列将代表 Timer_A 的两个例示, 第一个例示和第二个例示分别具有 3 个捕获/比较寄存器和 5 个 PWM 输出发生器。
 (3) 封装图样、热数据和符号可从网站 www.ti.com/packaging 中获取。

开发工具支持

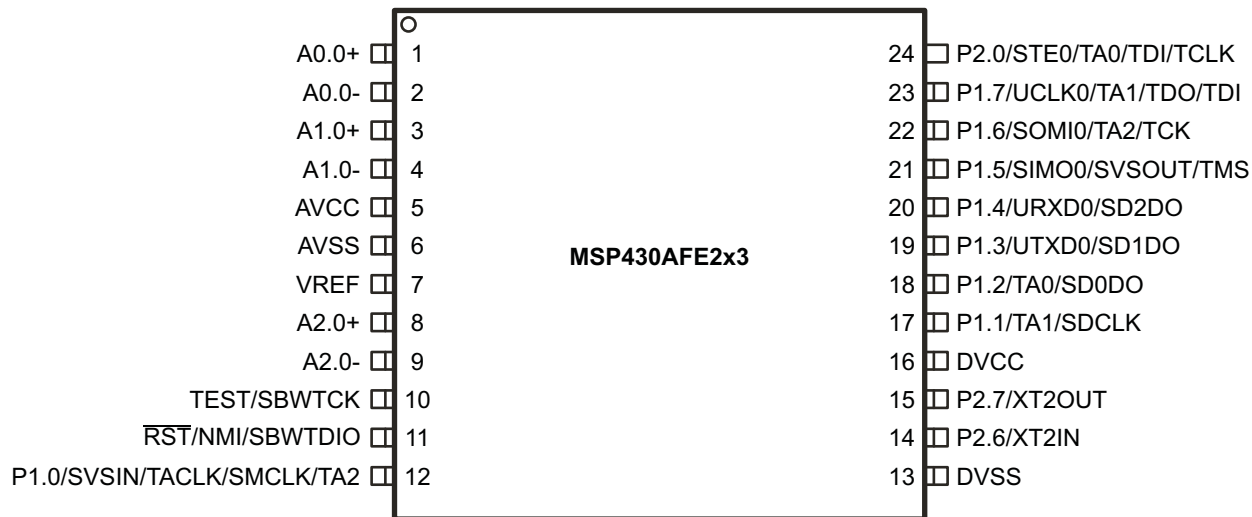
所有 MSP430™ 微控制器包括一个嵌入式仿真模块 (EEM), 此模块允许提供易于使用的开发工具进行高级调试和编程。推荐的硬件选项包括:

- 调试和编程接口
 - MSP-FET430UIF (USB)
 - MSP-FET430PIF (串口)
- 与目标板的调试和编程接口
 - MSP-TS430PW24
- 生产编程器
 - MSP-GANG430

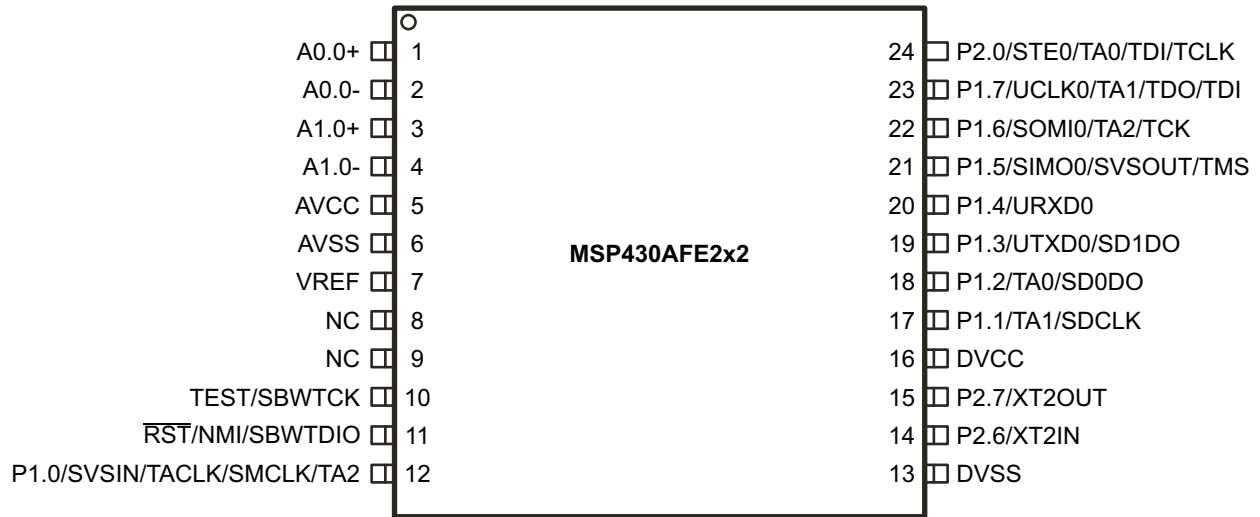
功能方框图



引脚指派, MSP430AFE2x3IPW

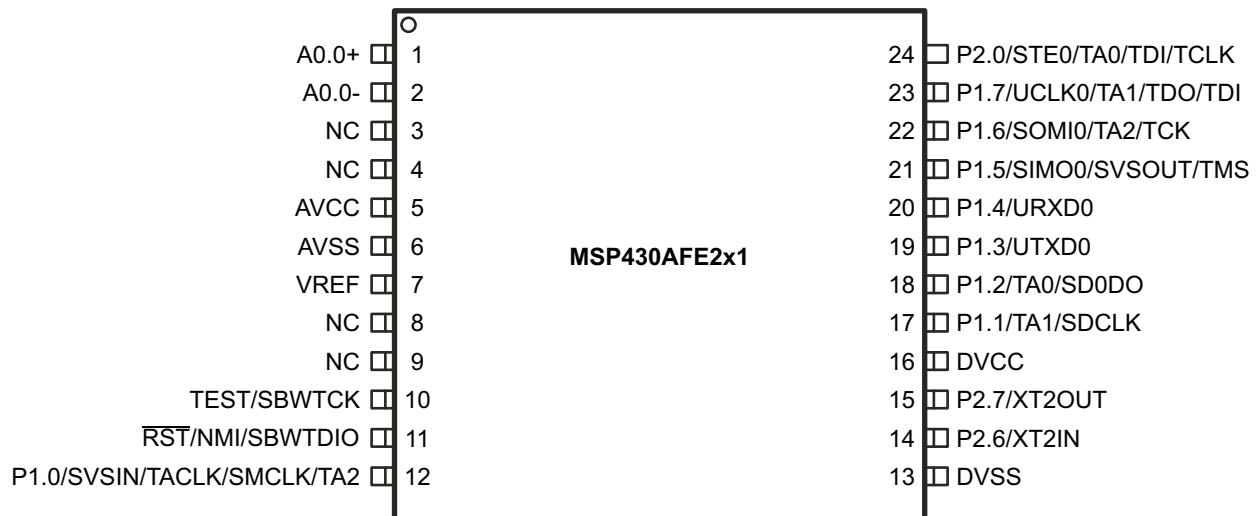


引脚指派，MSP430AFE2x2IPW



A. NC 引脚接至模拟接地 (AVSS)

引脚指派，MSP430AFE2x1IPW



B. NC 引脚接至模拟接地 (AVSS)

Table 2. 端子功能

端子		I/O	说明
名称	编号		
A0.0+	1	I	SD24_A 正模拟输入 A0.0 ⁽¹⁾
A0.0-	2	I	SD24_A 负模拟输入 A0.0 ⁽¹⁾
A1.0+	3	I	SD24_A 正模拟输入 A1.0 (在 MSP430AFE2x1 上不可用) ⁽¹⁾
A1.0-	4	I	SD24_A 负模拟输入 A1.0 (在 MSP430AFE2x1 上不可用) ⁽¹⁾
AVCC	5		模拟电源电压, 正端子。一定不能在 DVCC 之前加电。
AVSS	6		模拟电源电压, 负端子。
VREF	7	I/O	针对一个外部基准电压的输入/ 针对内部基准电压的输出 (可被用作中电压)
A2.0+	8	I	SD24_A 正模拟输入 A2.0 (在 MSP430AFE2x2 和 MSP430AFE2x1 上不可用) ⁽¹⁾
A2.0-	9	I	SD24_A 负模拟输入 A2.0 (在 MSP430AFE2x2 和 MSP430AFE2x1 上不可用) ⁽¹⁾
TEST/SBWTCK	10	I	为 P1.5 至 P1.7 和 P2.0 上的 JTAG 引脚选择测试模式。 此器件保护熔丝被连接至 TEST。 用于编程和测试的两线制 (Spy-Bi-Wire) 测试时钟输入。
$\overline{\text{RST}}/\text{NMI}/\text{SBWTDIO}$	11	I	复位或者不可屏蔽的中断输入 针对器件编程和测试的两线制测试数据输入/输出。
P1.0/SVSIN/TACLK/SMCLK/TA2	12	I/O	通用型数字 I/O 引脚 到电源电压监控器的模拟输入 Timer_A3, 时钟信号 TACLK 输入 SMCLK 信号输出 Timer_A3, 比较: Out2 输出
DVSS	13		数字电源电压, 负端子
P2.6/XT2IN	14	I/O	晶体振荡器的输入端子 通用型数字 I/O 引脚
P2.7/XT2OUT	15	I/O	晶体振荡器的输出端子 通用型数字 I/O 引脚
DVCC	16		数字电源电压, 正端子。
P1.1/TA1/SDCLK	17	I/O	通用型数字 I/O 引脚 Timer_A3, 捕捉: CCI1A 和 CCI1B 输入, 比较: Out1 输出 SD24_A 比特流时钟输出
P1.2/TA0/SD0DO	18	I/O	通用型数字 I/O 引脚 Timer_A3, 捕捉: CCI0A 和 CCI0B 输入, 比较: Out0 输出 针对通道 0 的 SD24_A 比特流数据输出
P1.3/UTXD0/SD1DO	19	I/O	通用型数字 I/O 引脚 发送数据输出 - USART/UART 模式 针对通道 1 的 SD24_A 比特流数据输出 (在 MSP430AFE2x1 上不可用)
P1.4/URXD0/SD2DO	20	I/O	通用型数字 I/O 引脚 接收数据输入 - USART/UART 模式 针对通道 2 的 SD24_A 比特流数据输出 (在 MSP430AFE2x2 和 MSP430AFE2x1 上不可用)
P1.5/SIMO0/SVSOUT/TMS	21	I/O	通用数字 I/O USART0/SPI 模式的从器件输入/主器件输出 SVS: SVS 比较器的输出 JTAG 测试模式选择。TMS 被用作一个针对器件编程和测试的输入端口。
P1.6/SOMI0/TA2/TCK	22	I/O	通用型数字 I/O 引脚 USART0/SPI 模式的从器件输出/主器件输入 Timer_A3, 比较: Out2 输出 JTAG 测试时钟。TCK 针对器件编程和测试的时钟输入端口。
P1.7/UCLK0/TA1/TDO/TDI	23	I/O	通用型数字 I/O 引脚 外部时钟输入 - USART0/UART 或者 SPI 模式, 时钟输出 - USART0/SPI 模式。 Timer_A3, 比较: Out 输出 JTAG 测试数据和输出端口。TDO/TDI 数据输出或者编程数据输入端子。
P2.0/STE0/TA0/TDI/TCLK	24	I/O	通用型数字 I/O 引脚 从器件发送使能 - USART0/SPI 模式。 Timer_A3, 比较: Out0 输出 针对器件编程和测试的 JTAG 测试数据输入或者测试时钟输入。

(1) 建议将未使用的模拟输入对短接并将它们接至模拟接地。

简式说明

CPU

MSP430 CPU 具有一种 16 位 RISC 架构，对于应用而言是高度透明的。所有的操作（程序流指令除外）均作为寄存器操作与用于源操作数的 7 种寻址模式和用于目的操作数的 4 种寻址模式一起执行。

CPU 与 16 个寄存器进行了集成，可提供精简指令执行时间。寄存器至寄存器操作执行时间为 CPU 时钟的一个周期。

其中的 4 个寄存器（R0 至 R3）分别专门用作程序计数器、栈指针、状态寄存器和常数发生器。其余的寄存器为通用型寄存器。

采用数据、地址和控制总线将外设连接至 CPU，并可利用所有的指令对外设进行控制。

指令集

该指令集包括具有 3 种格式和 7 种地址模式的 51 条指令。每条指令均可操作字和字节数据。Table 3 给出了 3 种指令格式的示例；Table 4 显示了地址模式。

Program Counter	PC/R0
Stack Pointer	SP/R1
Status Register	SR/CG1/R2
Constant Generator	CG2/R3
General-Purpose Register	R4
General-Purpose Register	R5
General-Purpose Register	R6
General-Purpose Register	R7
General-Purpose Register	R8
General-Purpose Register	R9
General-Purpose Register	R10
General-Purpose Register	R11
General-Purpose Register	R12
General-Purpose Register	R13
General-Purpose Register	R14
General-Purpose Register	R15

Table 3. 指令字格式

指令格式	示例	工作方式
双操作数，源操作数-目的操作数	增加 R4, R5	R4 + R5 → R5
单操作数，仅目的操作数	调用 R8	PC → (TOS), R8 → PC
相对跳转，无条件/有条件	JNE	“等于则跳转”位 = 0

Table 4. 地址模式说明

地址模式	S ⁽¹⁾	D ⁽²⁾	句法	示例	运转
寄存器	✓	✓	MOV Rs, Rd	MOV R10, R11	R10 → R11
加索引的	✓	✓	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
符号 (PC 相关)	✓	✓	MOV EDE, TONI		M(EDE) → M(TONI)
绝对	✓	✓	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
间接	✓		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
间接自动递增	✓		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
立即	✓		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

- (1) S = 源
(2) D = 目的

操作模式

MSP430 微控制器有一个激活模式和五个软件可选低功耗运行模式。一个中断事件能够将器件从五个低功耗模式的任一个模式中唤醒、处理请求，并在接收到来自中断程序的返回信号时恢复至低功耗模式。

以下 6 种操作模式可利用软件来配置：

- 激活模式 (AM)
 - 所有时钟处于激活状态。
- 低功耗模式 0 (LPM0)
 - CPU 被禁用。
 - ACLK 和 SMCLK 保持激活。MCLK 被禁用。
- 低功耗模式 1 (LPM1)
 - CPU 被禁用 ACLK 和 SMCLK 保持激活。MCLK 被禁用。
 - 如果 DCO 未在激活模式使用，DCO dc 生成器被禁用。
- 低功耗模式 2 (LPM2)
 - CPU 被禁用。
 - MCLK 和 SMCLK 被禁用。
 - DCO dc 生成器保持启用。
 - ACLK 保持激活。
- 低功耗模式 3 (LPM3)
 - CPU 被禁用。
 - MCLK 和 SMCLK 被禁用。
 - DCO dc 生成器被禁用。
 - ACLK 保持激活。
- 低功耗模式 4 (LPM4)
 - CPU 被禁用。
 - ACLK 被禁用。
 - MCLK 和 SMCLK 被禁用。
 - DCO dc 生成器被禁用。
 - 晶体振荡器被停止。

中断矢量地址

中断矢量和加电启动地址位于 0FFFFh 至 0FFE0h 的地址范围内。该矢量包含适当中断处理程序指令序列的 16 位地址。

如果复位矢量 (位于地址 0FFFEh) 包含 0FFFFh (例如 : 闪存未编程) , 则 CPU 在加电之后将立即进入 LPM4。

Table 5. 中断矢量地址

中断源	中断标志	系统中断	字地址	优先级
加电 外部复位 安全装置 违反闪存密钥 范围之外 PC ⁽¹⁾	PORIFG RSTIFG WDTIFG KEYV ⁽²⁾	复位	0FFFEh	15, 最高
NMI 振荡器故障 闪存存储器访问冲突	NMIIFG OFIFG ACCVIFG ⁽²⁾⁽³⁾	(不)可屏蔽, (不)可屏蔽, (不)可屏蔽	0FFFCh	14
			0FFFAh	13
SD24_A	SD24CCTLx SD24OVIFG, SD24CCTLx SD24IFG ⁽²⁾⁽⁴⁾	可屏蔽	0FFF8h	12
			0FFF6h	11
安全装置定时器	WDTIFG	可屏蔽	0FFF4h	10
USART0 接收	URXIFG0	可屏蔽	0FFF2h	9
USART0 发送	UTXIFG0	可屏蔽	0FFF0h	8
			0FFEEh	7
Timer_A3	TA0CCR0 CCIFG ⁽⁴⁾	可屏蔽	0FFECCh	6
Timer_A3	TA0CCR1 CCIFG, TA0CCR2 CCIFG, TA0CTL TAIFG ⁽²⁾⁽⁴⁾	可屏蔽	0FFEAh	5
I/O 端口 P1 (8 个标志)	P1IFG.0 至 P1IFG.7 ⁽²⁾⁽⁴⁾	可屏蔽	0FFE8h	4
			0FFE6h	3
			0FFE4h	2
I/O 端口 P2 (3 个标志)	P2IFG.0 至 P2IFG.2 ⁽²⁾⁽⁴⁾	可屏蔽	0FFE2h	1
			0FFE0h	0, 最低

(1) 如果 CPU 试图从模块寄存器内存地址范围 (0h 至 01FFh) 或未使用的地址范围内读取指令, 则生成一个复位。

(2) 多个源标志

(3) (不)可屏蔽: 独立的中断使能位能禁用一个中断事件, 但通用型中断启用则不能。

(4) 中断标志位于模块之中。

特殊功能寄存器

大多数中断及模块使能位均聚集在最低的地址空间里。未分配给某种特殊用途的特殊功能寄存器位本身未在器件中出现。简单的软件访问利用这种配置来提供。

图例




rw	可以对位进行读写操作。
rw-0, 1	可以对位进行读写操作。由 PUC 对其进行复位或置位。
rw-(0), (1)	可以对位进行读写操作。由 POR 对其进行复位或置位。
	器件中不存在 SFR 位。

Table 6. 中断使能 1

地址	7	6	5	4	3	2	1	0
00h	UTXIE0	URXIE0	ACCVIE	NMIIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0

WDTIE	安全装置定时器中断使能。如果选择的是安全装置模式，则其处于未激活状态。如果安全装置定时器被配置成间隔定时器模式，则其处于运行状态。
OFIE	振荡器故障中断使能
NMIIE	(不)可屏蔽中断使能
ACCVIE	闪存访问冲突中断使能
URXIE0	USART0 : UART 和 SPI 接收中断使能
UTXIE0	USART0 : UART 和 SPI 发送中断使能

Table 7. 中断使能 2

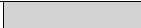
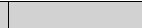
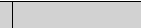
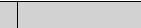
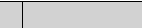
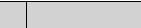
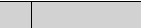
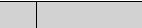

地址	7	6	5	4	3	2	1	0
01h								

Table 8. 中断标志寄存器 1

地址	7	6	5	4	3	2	1	0
02h	UTXIFG0	URXIFG0		NMIIFG	RSTIFG	PORIFG	OFIFG	WDTIFG
	rw-1	rw-0		rw-0	rw-(0)	rw-(1)	rw-1	rw-(0)

WDTIFG	安全装置定时器溢出 (在安全装置模式中) 或安全密钥冲突上的设置。 V _{CC} 在RST/NMI 引脚处于复位模式上的加电复位或者一个复位条件。
OFIFG	振荡器故障的标志设定。
RSTIFG	外部复位中断标志。在处于复位模式中的RST/NMI 引脚上设定一个复位条件。V _{CC} 加电复位。
PORIFG	加电复位中断标志。V _{CC} 加电设定。
NMIIFG	通过RST/NMI 引脚设定
URXIFG0	USART0 : UART 和 SPI 接收中断标志
UTXIFG0	USART0 : UART 和 SPI 发送中断标志

Table 9. 中断标志寄存器 2





地址	7	6	5	4	3	2	1	0
03h								

Table 10. 模块使能寄存器 1

地址	7	6	5	4	3	2	1	0
04h	UTXE0	URXE0 USPIE0						
	rw-0	rw-0						

URXE0 USART0 : UART 模式接收使能
 UTXE0 USART0 : UART 模式发送使能
 USPIE0 USART0 : SPI 模式发送和接收使能

Table 11. 模块使能寄存器 2

地址	7	6	5	4	3	2	1	0
05h								

内存组织

Table 12. 内存组织

		MSP430AFE22x	MSP430AFE23x	MSP430AFE25x
内存	大小	4KB	8KB	16KB
主内存 : 中断矢量	闪存	0xFFFF 至 0xFFE0	0xFFFF 至 0xFFE0	0xFFFF 至 0xFFE0
主内存 : 代码内存	闪存	0xFFFF 至 0xF000	0xFFFF 至 0xE000	0xFFFF 至 0xC000
信息内存	尺寸	256 字节	256 字节	256 字节
	闪存	0x10FFh 至 0x1000	0x10FFh 至 0x1000	0x10FFh 至 0x1000
RAM	尺寸	256 字节	512 字节	512 字节
		0x02FF 至 0x0200	0x03FF 至 0x0200	0x03FF 至 0x0200
外设	16 位	0x01FF 至 0x0100	0x01FF 至 0x0100	0x01FF 至 0x0100
	8 位	0x00FF 至 0x0010	0x00FF 至 0x0010	0x00FF 至 0x0010
	8 位 SFR	0x000F 至 0x0000	0x000F 至 0x0000	0x000F 至 0x0000

闪存

闪存可通过 Spy-Bi-Wire/JTAG 端口进行编程或由 CPU 进行系统内编程。CPU 能执行到闪存的单字节和单字写入操作。闪存的特性包括：

- 闪存具有 n 个主内存段和 4 个各为 64 字节的信息内存段 (A 至 D)。主内存中每一段的大小为 512 字节。
- 0 至 n 段可以一步擦除，也可以独立地擦除每一段。
- A 至 D 段可以单独擦除，也可将 0 至 n 段作为一个组进行擦除。
A 至 D 段也被称为信息内存。
- A 段包含校准数据。在复位之后，为 A 段提供针对编程及擦除的保护。可以将其解锁，但如果需要器件专用的校准数据，应注意不要将该段擦除。

外设

通过数据、地址和控制总线将外设连接至 CPU，并可采用所有的指令对外设进行控制。如需了解完整的模块说明，请查阅《MSP430x2xx 系列用户指南》(文献编号SLAU144)。

振荡器和系统时钟

时钟系统由基本时钟模块支持，包括一个内部数控振荡器 (DCO)、一个高频晶体振荡器、一个内部极低功耗低频振荡器 (VLO)。基本时钟模块设计用于同时满足低系统成本及低功耗的要求。内部 DCO 提供了一个快速导通时钟源并可在不到 1 μ s 的时间里实现稳定。基本时钟模块提供了以下时钟信号：

- 辅助时钟 (ACLK)，由 VLO 供源
- 主时钟 (MCLK)，CPU 所采用的系统时钟
- 系统子时钟 (SMCLK)，外设模块所采用的子系统时钟

Table 13. DCO 校准数据
(由厂家在闪存信息内存段 A 中提供)

DCO 频率	校准寄存器	尺寸	地址
8MHz	CALBC1_8MHZ	字节	010FDh
	CALDCO_8MHZ	字节	010FCh
12MHz	CALBC1_12MHZ	字节	010FBh
	CALDCO_12MHZ	字节	010FAh

欠压，电源电压监控器

建立欠压电路的目的是在加电及断电期间向器件提供正确的内部复位信号。电源电压监控器 (SVS) 电路检测是否电源电压下降至低于一个用户可选电平并支持电源电压监控 (器件自动复位) 和电源电压监视 (SVM) (器件不是自动复位)。

在欠压电路发布器件复位信号后，CPU 开始代码执行。然而， V_{CC} 也许此时没有斜升至 $V_{CC(最小值)}$ 。在 V_{CC} 达到 $V_{CC(最小值)}$ 之前，用户必须确保缺省 DCO 设置没有被改变。如果需要的话，SVS 电路可被用于确定何时 V_{CC} 达到 $V_{CC(最小值)}$ 。

数字 I/O

有两个 I/O 端口被执行：8 位端口 P1 和 3 位端口 P2。

- 所有单独的 I/O 位均可进行独立编程。
- 输入、输出、和中断条件可进行任一组合。
- 用于端口 P1 和端口 P2 所有 8 个位的边沿可选中中断输入功能。
- 所有指令均支持到端口控制寄存器的读/写访问。
- 每个 I/O 具有一个可单独编程的上拉/下拉电阻器。

由于在 P2 上只执行三个 I/O 引脚：所有端口 P2 寄存器的位 [5:1] 读作 0，并且写入数据被忽略。

安全装置定时器 (WDT+)

安全装置定时器 (WDT+) 模块的主要功能是在软件问题发生后执行受控的系统重启。如果选定的时间间隔结束，则产生一个系统复位。如果在某种应用中不需要安全装置功能，则该模块可被禁用或配置为一个间隔定时器，并在选定的时间间隔上产生中断。

Timer_A3

Timer_A3 是具有 3 个捕获/比较寄存器的 16 位定时器/计数器。Timer_A3 能支持多个捕获/比较寄存器、PWM 输出和间隔时序。Timer_A3 也具有丰富的中断能力。计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。

Table 14. Timer_A3 信号接线

输入引脚编号 24 引脚 PW	器件输入信号	模块输入名称	模块区块	模块输出信号	输出引脚编号 24 引脚 PW
12-P1.0	TACLK	TACLK	定时器	不适用	
	ACLK	ACLK			
	SMCLK	SMCLK			
12-P1.0	$\overline{\text{TACLK}}$	INCLK			
18-P1.2	TA0	CCI0A	CCR0	TA0	18-P1.2
18-P1.2	TA0	CCI0B			24-P2.0
	DVSS	GND			
	DVCC	VCC			
17-P1.1	TA1	CCI1A	CCR1	TA1	17-P1.1
17-P1.1	TA1	CCI1B			23-P1.7
	DVSS	GND			
	DVCC	VCC			
	DVSS	CCI2A	CCR2	TA2	12-P1.0
	ACLK (内部)	CCI2B			22-P1.6
	DVSS	GND			
	DVCC	VCC			

USART0

MSP430AFE2xx 器件有一个硬件通用同步/异步接收发送 (USART0) 外设模块，此模块用于串行数据通信。USART0 模块支持同步 SPI (3 或 4 引脚) 以及使用双缓冲发送和接收通道的异步 UART 通信协议。USART0 模块的最大运转频率为 8MHz。

硬件乘法器

硬件乘法器运算由一个专用外设模块支持。此模块执行 16x16，16x8，8x16，和 8x8 位运算。模块能够支持信号的或者非信号的倍乘以及信号和非信号的乘法和累加运算。在操作数已经被载入到外设寄存器之后，可立即访问一个运算的结果。无需额外的时钟周期。

SD24_A

SD24_A 模块集成了高达三个独立 24 位三角积分 A/D 转换器。每个通道被设计成具有完全差分模拟输入对和可编程增益放大器输入级。除了外部模拟输入，还提供了一个内部 VCC 感测和温度传感器。

外设文件映射

Table 15. 具有字存取功能的外设

Timer_A3	捕获/比较寄存器 2	TACCR2	0x0176
	捕获/比较寄存器 1	TACCR1	0x0174
	捕获/比较寄存器 0	TACCR0	0x0172
	Timer_A 寄存器	TAR	0x0170
	捕获/比较控制 2	TACCTL2	0x0166
	捕获/比较控制 1	TACCTL1	0x0164
	捕获/比较控制 0	TACCTL0	0x0162
	Timer_A 控制	TACTL	0x0160
	Timer_A 中断矢量	TAIV	0x012E
硬件乘法器	总和扩展	SUMEXT	0x013E
	结果高字	RESHI	0x013C
	结果低字	RESLO	0x013A
	第二操作数	OP2	0x0138
	符号倍乘 + 累加/操作数 1	MACS	0x0136
	倍乘 + 累加/操作数 1	MAC	0x0134
	符号倍乘/操作数 1	MPYS	0x0132
	无符号倍乘/操作数 1	MPY	0x0130
闪存	闪存控制 3	FCTL3	0x012C
	闪存控制 2	FCTL2	0x012A
	闪存控制 1	FCTL1	0x0128
安全装置定时器 +	安全装置/定时器控制	WDTCTL	0x0120
SD24_A (也请见 Table 16)	普通控制	SD24CTL	0x0100
	通道 0 控制	SD24CCTL0	0x0102
	通道 1 控制	SD24CCTL1	0x0104
	通道 2 控制	SD24CCTL2	0x0106
	通道 0 转换内存	SD24MEM0	0x0110
	通道 1 转换内存	SD24MEM1	0x0112
	通道 2 转换内存	SD24MEM2	0x0114
	SD24 中断矢量寄存器	SD24IV	0x01AE

Table 16. 支持字节存取功能的外设

SD24_A (也请见 Table 15)	通道 0 输入控制	SD24INCTL0	0x00B0
	通道 1 输入控制	SD24INCTL1	0x00B1
	通道 2 输入控制	SD24INCTL2	0x00B2
	通道 0 预载	SD24PRE0	0x00B8
	通道 1 预载	SD24PRE1	0x00B9
	通道 2 预载	SD24PRE2	0x00BA
	被保留 (内部 SD24_A 配置 1)	SD24CONF1	0x00BF
USART0	发送缓冲器	U0TXBUF	0x0077
	接收缓冲器	U0RXBUF	0x0076
	波特率	U0BR1	0x0075
	波特率	U0BR0	0x0074
	调制控制	U0MCTL	0x0073
	接收控制	U0RCTL	0x0072
	发送控制	U0TCTL	0x0071
	USART 控制	U0CTL	0x0070
基本时钟系统 +	基本时钟系统控制 3	BCSCTL3	0x0053
	基本时钟系统控制 2	BCSCTL2	0x0058
	基本时钟系统控制 1	BCSCTL1	0x0057
	DCO 时钟频率控制	DCOCTL	0x0056
欠压, SVS	SVS 控制寄存器 (由欠压信号复位)	SVSCTL	0x0055
端口 P2	端口 P2 选择 2	P2SEL2	0x0042
	端口 P2 电阻器使能	P2REN	0x002F
	端口 P2 选择	P2SEL	0x002E
	端口 P2 中断使能	P2IE	0x002D
	端口 P2 中断边沿选择	P2IES	0x002C
	端口 P2 中断标志	P2IFG	0x002B
	端口 P2 方向	P2DIR	0x002A
	端口 P2 输出	P2OUT	0x0029
	端口 P2 输入	P2IN	0x0028
端口 P1	端口 P1 选择 2 寄存器	P1SEL2	0x0041
	端口 P1 电阻器使能	P1REN	0x0027
	端口 P1 选择	P1SEL	0x0026
	端口 P1 中断使能	P1IE	0x0025
	端口 P1 中断边沿选择	P1IES	0x0024
	端口 P1 中断标志	P1IFG	0x0023
	端口 P1 方向	P1DIR	0x0022
	端口 P1 输出	P1OUT	0x0021
	端口 P1 输入	P1IN	0x0020
特殊功能	SFR 模块使能 2	ME2	0x0005
	SFR 模块使能 1	ME1	0x0004
	SFR 中断标志 2	IFG2	0x0003
	SFR 中断标志 1	IFG1	0x0002
	SFR 中断使能 2	IE2	0x0001
	SFR 中断使能 1	IE1	0x0000

最大绝对额定值⁽¹⁾

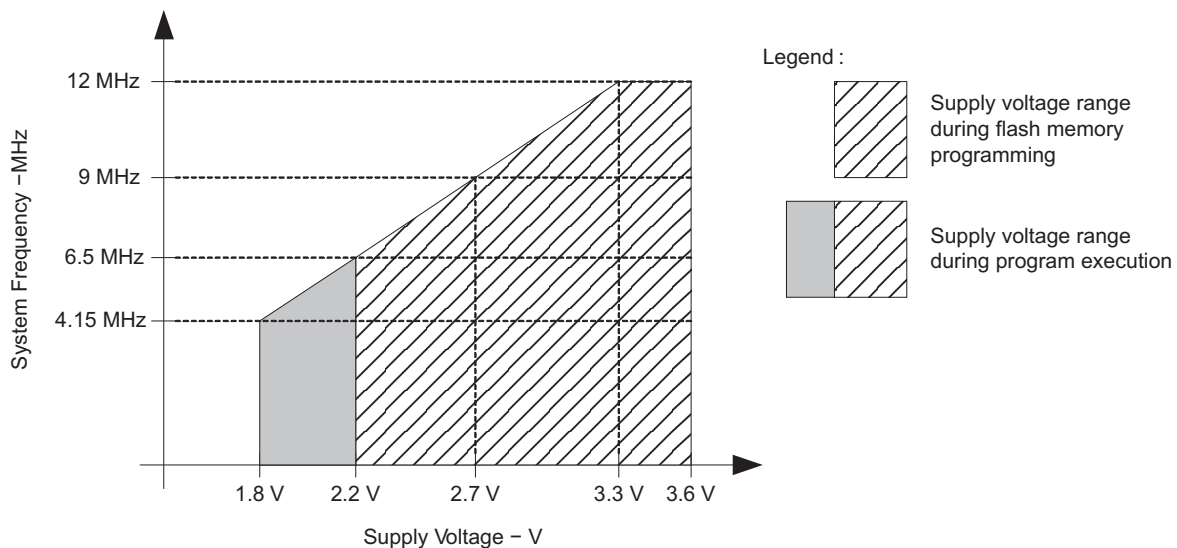
施加在 V_{CC} 至 V_{SS} 上的电压	-0.3V 至 4.1V	
施加在任一引脚上的电压 ⁽²⁾	-0.3V 至 $V_{CC}+0.3V$	
任一器件引脚上的二极管电流	$\pm 2mA$	
存储温度, T_{stg} ⁽³⁾	未编程器件	-55°C 至 150°C
	已编程器件	-40°C 至 85°C

- 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的运行条件下标明的任何其它条件下的操作，在此并未说明。长时间处于最大绝对额定情况下会影响设备的可靠性。
- 所有电压均应以 V_{SS} 为基准。JTAG 熔丝烧断电压, V_{FB} , 允许超过最大绝对额定值。当 JTAG 熔丝烧断时将此电压施加至 TEST 引脚。
- 在电路板焊接期间可以采用较高的温度（需遵循现行的 JEDEC J-STD-020 规范），峰值回流焊温度不得超过器件装运包装盒或卷盘上标注的等级。

建议的运行条件⁽¹⁾⁽²⁾

			最小值	标称值	最大值	单位
V_{CC}	电源电压	$AV_{CC}=DV_{CC}=V_{CC}$ ⁽¹⁾	在程序执行期间 ⁽³⁾	1.8	3.6	V
			编程/擦除闪存存储器期间	2.2	3.6	V
V_{SS}	电源电压	$AV_{SS}=DV_{SS}=V_{SS}$		0		V
T_A	自然通风工作温度范围		-40		85	°C
$f_{系统}$	处理器频率 (最大 MCLK 频率) ⁽¹⁾⁽²⁾ (请见 Figure 1)	$V_{CC}=1.8V$, 占空比 = 50% \pm 10%	DC		4.15	MHz
		$V_{CC}=2.7V$, 占空比 = 50% \pm 10%	DC		9	
		$V_{CC}\geq 3.3V$, 占空比 = 50% \pm 10%	DC		12	

- MSP430 CPU 直接采用 MCLK 进行定时。MCLK 的高相位及低相位均不得超过额定最大频率的脉冲宽度。
- 模块可能具有一个不同的最大输入时钟技术规格。查看本数据表中各个模块的技术规格。
- SD24_A 的运行电压范围为 2.5V 至 3.6V。



- 最小处理器频率由系统时钟来规定。闪存编程或擦除操作需要一个 2.2V 的最小 V_{CC} 。
- 如果使用的高频晶振高于 12MHz 并且被选择为 CPU 时钟供源，那么 MCLK 分频器应该被适当设定以运行低于 8MHz 的 CPU。

Figure 1. 运转区域

不包括外部电流在内的有源模式电源电流 (流入 $DV_{CC}+AV_{CC}$) ⁽¹⁾

参数	测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
$I_{AM, 1MHz}$ 1MHz 下有源模式 (AM) 电流	$f_{DCO}=f_{MCLK}=f_{SMCLK}=DCO$ 缺省频率 (大约 1MHz) , $f_{ACLK}=f_{VLO}=12kHz$, 在闪存中执行程序, CPUOFF=0, SCG0=0, SCG1=0, OSCOFF=0		2.2V		220		μA
			3V		350		
$I_{AM, 12MHz}$ 12MHz 下有源模式 (AM) 电流	$f_{DCO}=f_{MCLK}=f_{SMCLK}=12MHz$, $f_{ACLK}=f_{VLO}=12kHz$, 在闪存中执行程序, CPUOFF=0, SCG0=0, SCG1=0, OSCOFF=0		3.3V		4.0	4.5	mA

(1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。

典型特性-有源模式电源电流 (流入 $DV_{CC}+AV_{CC}$)

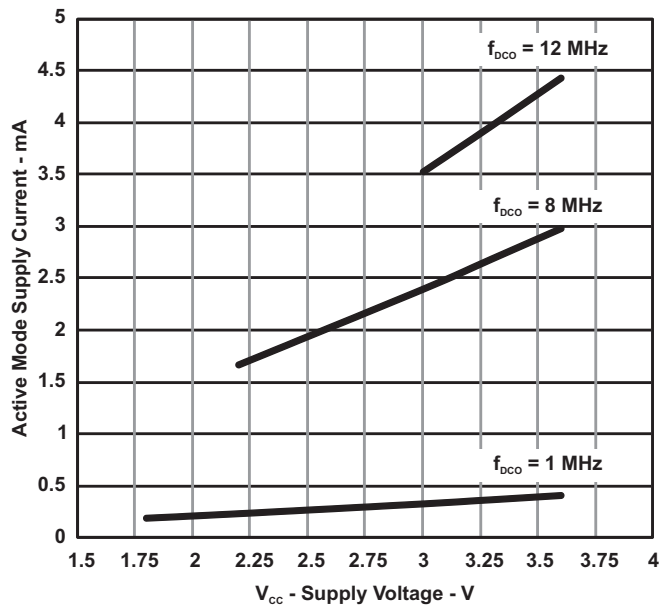


Figure 2. 有源模式电流与 V_{CC} 间的关系, $T_A=25^\circ C$

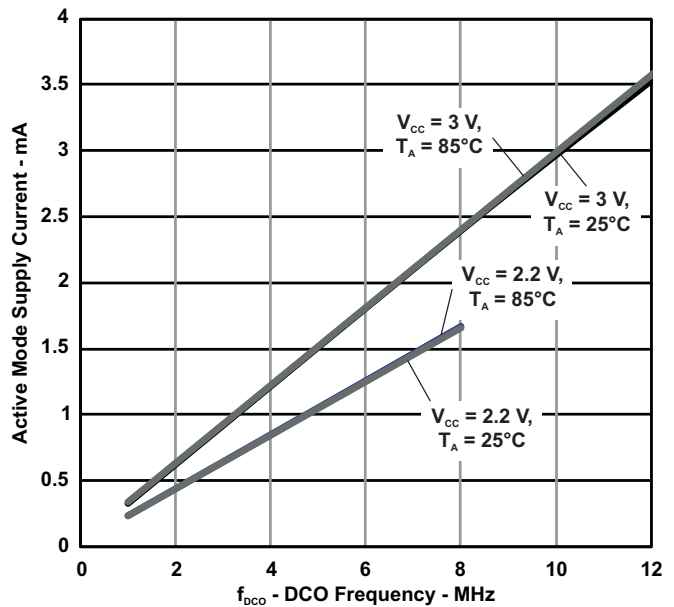


Figure 3. 有源模式电流与 DCO 频率间的关系

不含外部电流的低功耗模式电源电流 (流入 V_{CC}) (1)

参数	测试条件	T_A	V_{CC}	最小值	典型值	最大值	单位
I_{LPM0} 低功耗模式 0 (LPM0) 电流 (2)	$f_{MCLK}=0MHz$, $f_{SMCLK}=f_{DCO}=DCO$ 缺省频率 (大约 1MHz) , $f_{ACLK}=f_{VLO}=12kHz$, CPUOFF=1 , SCG0=0 , SCG1=0 , OSCOFF=0	25°C	2.2V		65		μA
I_{LPM2} 低功耗模式 2 (LPM2) 电流 (3)	$f_{MCLK}=f_{SMCLK}=0MHz$, $f_{DCO}=DCO$ 缺省频率 (大约 1MHz) , $f_{ACLK}=f_{VLO}=12kHz$, CPUOFF=1 , SCG0=0 , SCG1=1 , OSCOFF=0	25°C	2.2V		22		μA
$I_{LPM3, VLO}$ 低功耗模式 3 (LPM3) 电流 (3)	$f_{DCO}=f_{MCLK}=f_{SMCLK}=0MHz$, $f_{ACLK}=f_{VLO}=12kHz$, CPUOFF=1 , SCG0=1 , SCG1=1 , OSCOFF=0	25°C	2.2V		0.5	1.0	μA
I_{LPM4} 低功耗模式 4 (LPM4) 电流 (4)		25°C	2.2V		0.1	0.7	μA
		85°C			1.1	2.5	

- (1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。
- (2) 包括用于欠压及由 SMCLK 进行定时的 WDT 的电流。
- (3) 包括用于欠压及由 ACLK 进行定时的 WDT 的电流。
- (4) 包括用于欠压的电流。

典型特性 - LPM4 电流

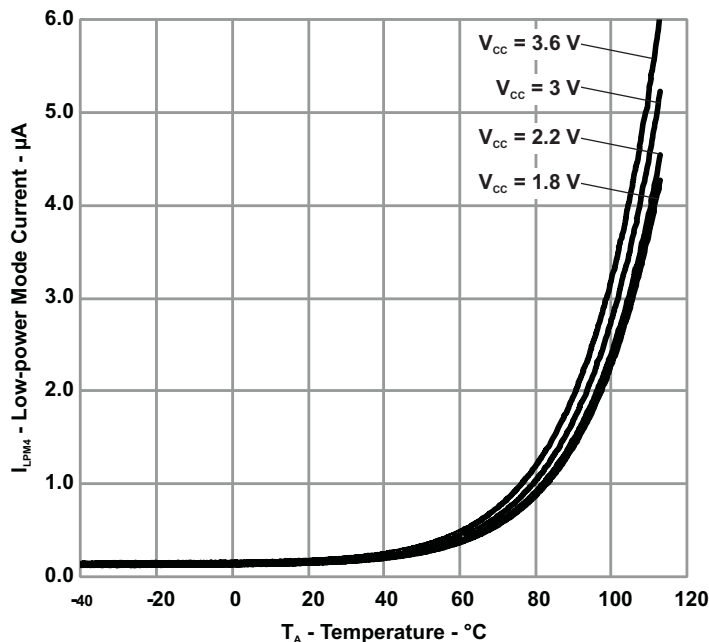


Figure 4. I_{LPM4} -- LPM4 电流与温度间的关系

施密特触发器输入 (端口 Px 和 RST/NMI)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{IT+} 正向输入阈值电压			0.45V _{CC}		0.75V _{CC}	V
		3V	1.35		2.25	
V _{IT-} 负向输入阈值电压			0.25V _{CC}		0.55V _{CC}	V
		3V	0.75		1.65	
V _{hys} 输入电压滞后 (V _{IT+} -V _{IT-})		3V	0.3		1.0	V
R _拉 上拉/下拉电阻器 (非RST/NMI引脚)	对于上拉: V _{IN} =V _{SS} ; 对于下拉: V _{IN} =V _{CC}	3V	20	35	50	kΩ
C _i 输入电容	V _{IN} =V _{SS} 或 V _{CC}			5		pF

泄漏电流 (端口 Px)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{lkg} (Px.y) 高阻抗泄漏电流	(1)(2)	3V			±50	nA

- (1) 泄漏电流是在把 V_{SS}或 V_{CC}施加至对应引脚上的情况下测量的, 除非另有说明。
(2) 数字端口引脚的泄漏电流单独测量。端口引脚针对输入进行选择, 而且上拉/下拉电阻器被禁用。

输出 (端口 Px)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{OH} 高电平输出电压	I _{OH} (最大值)=-6mA ⁽¹⁾	3V		V _{CC} -0.2		V
V _{OL} 低电平输出电压	I _{OL} (最大值)=6mA ⁽¹⁾	3V		V _{SS} +0.2		V

- (1) 所有输出加在一起的最大总电流, I_{OH}(最大值) 和 I_{OL}(最大值) 不应超过 ±48mA, 以保持额定最大电压降。

输出频率 (端口 Px)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{Px,y} 端口输出频率 (带负载)	Px.y, C _L =20pF, R _L =1kΩ ⁽¹⁾⁽²⁾	3V		12		MHz
f _{Port_CLK} 时钟输出频率	Px.y, C _L =20pF ⁽²⁾	3V		16		MHz

- (1) 一个位于 V_{CC}和 V_{SS} 之间带有两个 0.5kΩ 电阻的电阻分压器被用作负载。。输出被连接至分压器的中心抽头。
(2) 在规定的翻转频率下, 输出电压至少达到 V_{CC}的 10% 和 90%。

典型特性-输出
每次载入一个输出。

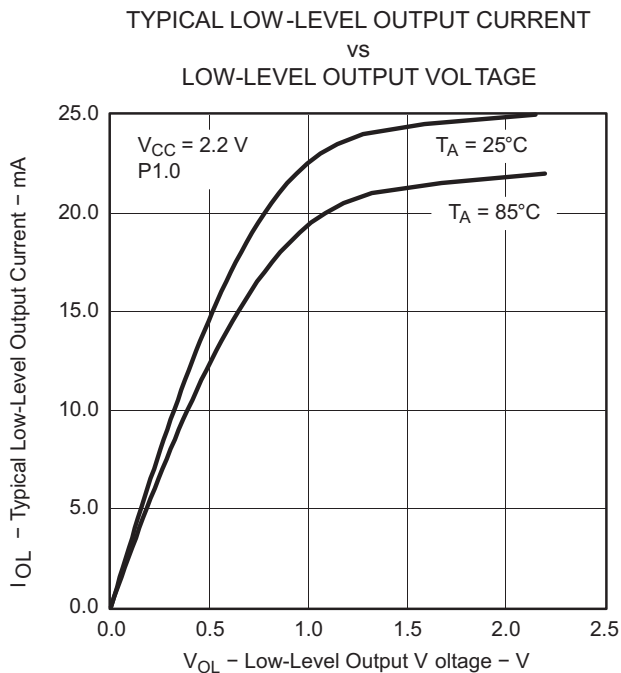


Figure 5.

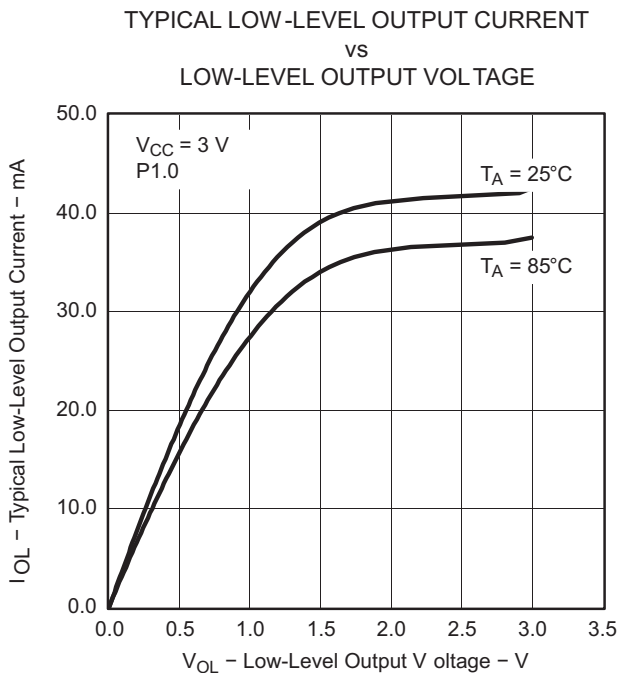


Figure 6.

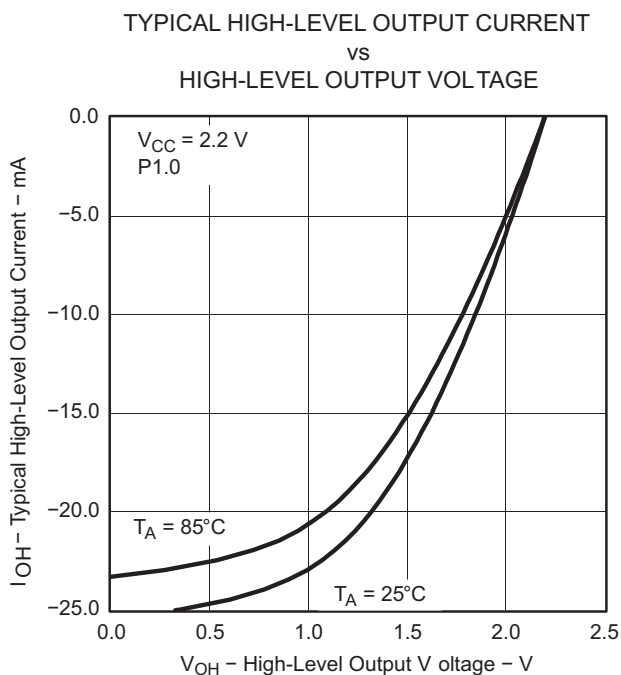


Figure 7.

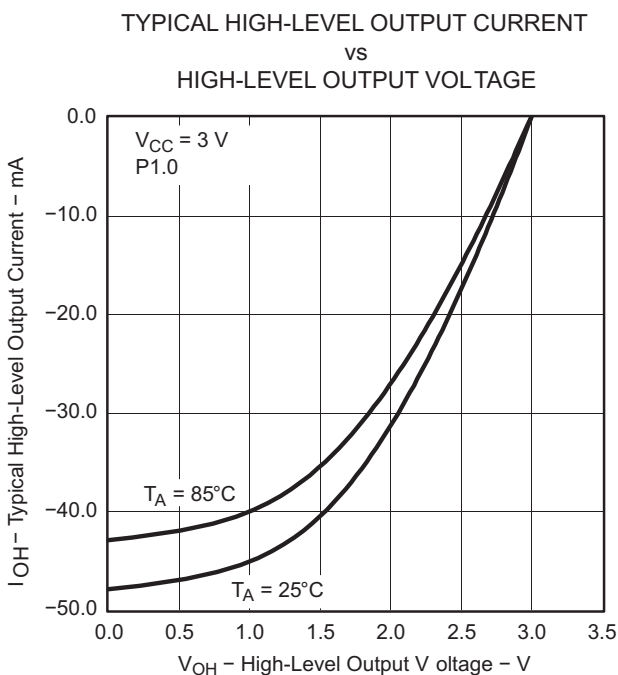


Figure 8.

加电复位 (POR) / 欠压复位 (BOR)⁽¹⁾⁽²⁾

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{CC(开始)}	请参阅Figure 9			0.7×V _(B_IT-)		V
V _(B_IT-)	请见Figure 9至Figure 11			1.42		V
V _{hys(B_IT-)}	请参阅Figure 9			120		mV
t _{d(BOR)}	请参阅Figure 9			2000		μs
t _(复位)	RST/NMI 引脚上所需的脉冲长度到内部接受的复位	3V	2			μs

- (1) 欠压模块的流耗已包含在 I_{CC} 流耗数据中。电压电平 V_(B_IT-)+V_{hys(B_IT-)}≤1.8V。
 (2) 加电期间，CPU 在 V_{CC}=V_(B_IT-)+V_{hys(B_IT-)} 之后的 t_{d(BOR)} 期间内开始代码执行。在 V_{CC}≥V_{CC(最小值)} 之前，不能改变默认的 DCO 设定值，在这里 V_{CC(最小值)} 是针对所需工作频率的最小电源电压。

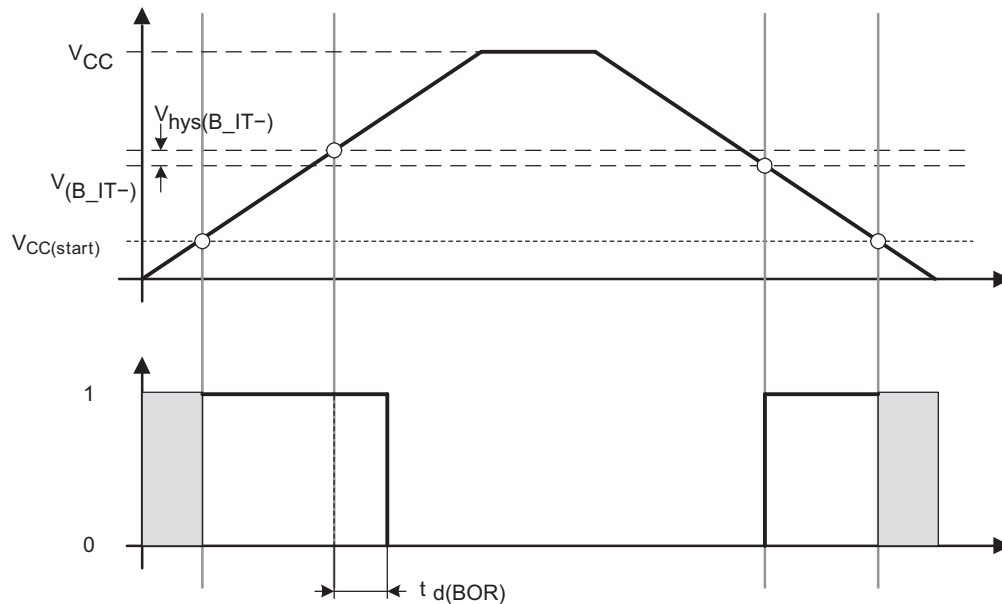


Figure 9. POR / 欠压复位 (BOR) 与电源电压间的关系

典型特性 - POR / 欠压复位 (BOR)

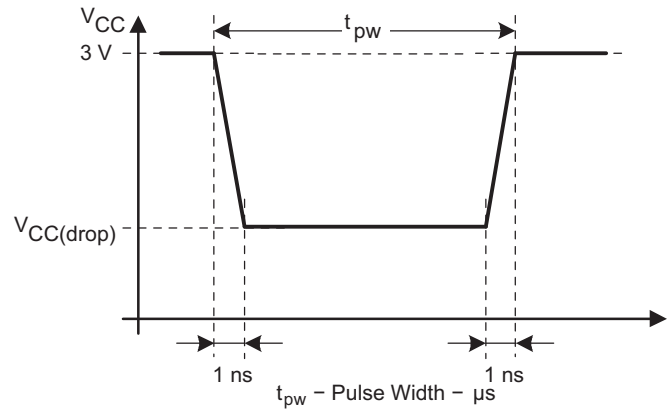
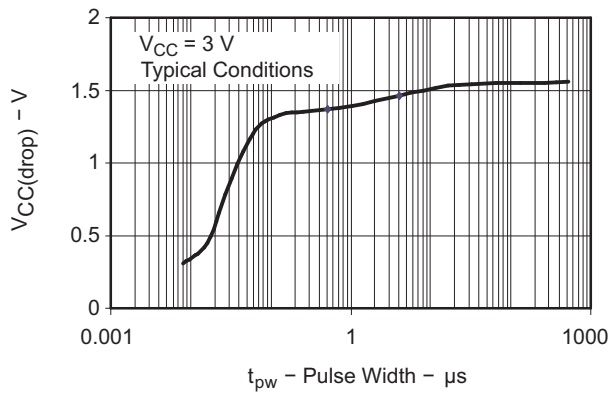


Figure 10. 具有一个矩形压降的 V_{CC} (压降) 电平用于生成一个 POR / 欠压信号

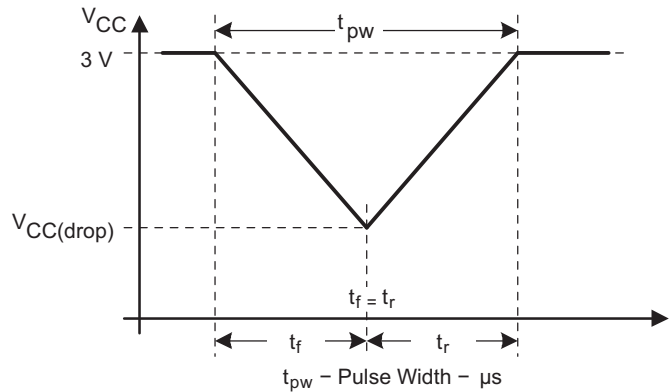
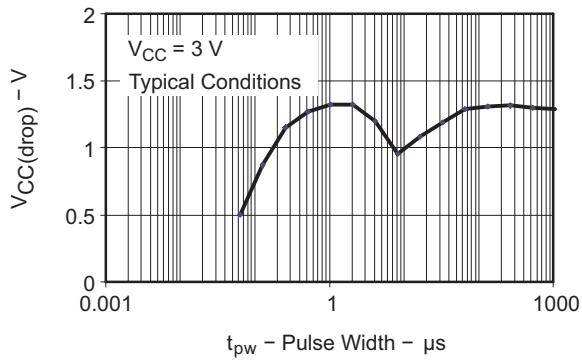


Figure 11. 具有一个三角形压降的 V_{CC} (压降) 电平用于生成一个 POR / 欠压信号

电源电压监控器 (SVS) / 电源电压监视器 (SVM)⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位	
$t_{(SVSR)}$	$dV_{CC}/dt > 30 \text{ V/ms}$ (请见 Figure 12)	100			μs	
	$dV_{CC}/dt \leq 30 \text{ V/ms}$	2000				
$t_{d(SV\text{Son})}$	SVS 打开, 从 $VLD=0$ 切换至 $VLD \neq 0$, $V_{CC}=3\text{V}$	100			μs	
$t_{\text{建立}}$	$VLD \neq 0$ ⁽²⁾	12			μs	
$V_{(SV\text{Sstart})}$	$VLD \neq 0$, $V_{CC}/dt \leq 3\text{V/s}$ (请见 Figure 12)	1.55	1.7		V	
$V_{\text{hys}(SV\text{S_IT-})}$	$V_{CC}/dt \leq 3\text{V/s}$ (请见 Figure 12)	VLD=1	120		mV	
		VLD=2 至 14	15		mV	
	$V_{CC}/dt \leq 3\text{V/s}$ (请见 Figure 12), 施加到 SVSIN 上的外部电压	VLD=15	10		mV	
$V_{(SV\text{S_IT-})}$	$V_{CC}/dt \leq 3\text{V/s}$ (请见 Figure 12)	VLD=1	1.8	1.9	2.05	V
		VLD=2	2.1			
		VLD=3	2.2			
		VLD=4	2.3			
		VLD=5	2.24	2.4	2.6	
		VLD=6	2.5			
		VLD=7	2.65			
		VLD=8	2.8			
		VLD=9	2.69	2.9	3.13	
		VLD=10	3.05			
		VLD=11	3.2			
		VLD=12	3.35			
		VLD=13	3.24	3.5	3.76 ⁽³⁾	
		VLD=14	3.7 ⁽³⁾			
	$V_{CC}/dt \leq 3\text{V/s}$ (请见 Figure 12), 施加到 SVSIN 上的外部电压	VLD=15	1.1	1.2	1.3	
$I_{CC(SVS)}$ ⁽¹⁾	$VLD \neq 0$, $V_{CC}=3\text{V}$	12			17	μA

(1) SVS 模块的流耗并不包括在 I_{CC} 流耗表中。

(2) $t_{\text{建立}}$ 是 $VLD \neq 0$ 被切换至一个介于 2 至 15 之间的一个不同的 VLD 值之后, 比较器输出具有一个稳定电平所需要的建立时间。过驱假定为 $> 50\text{mV}$ 。

(3) 推荐运行电压范围不高于 3.6V。

典型特性 - SVS

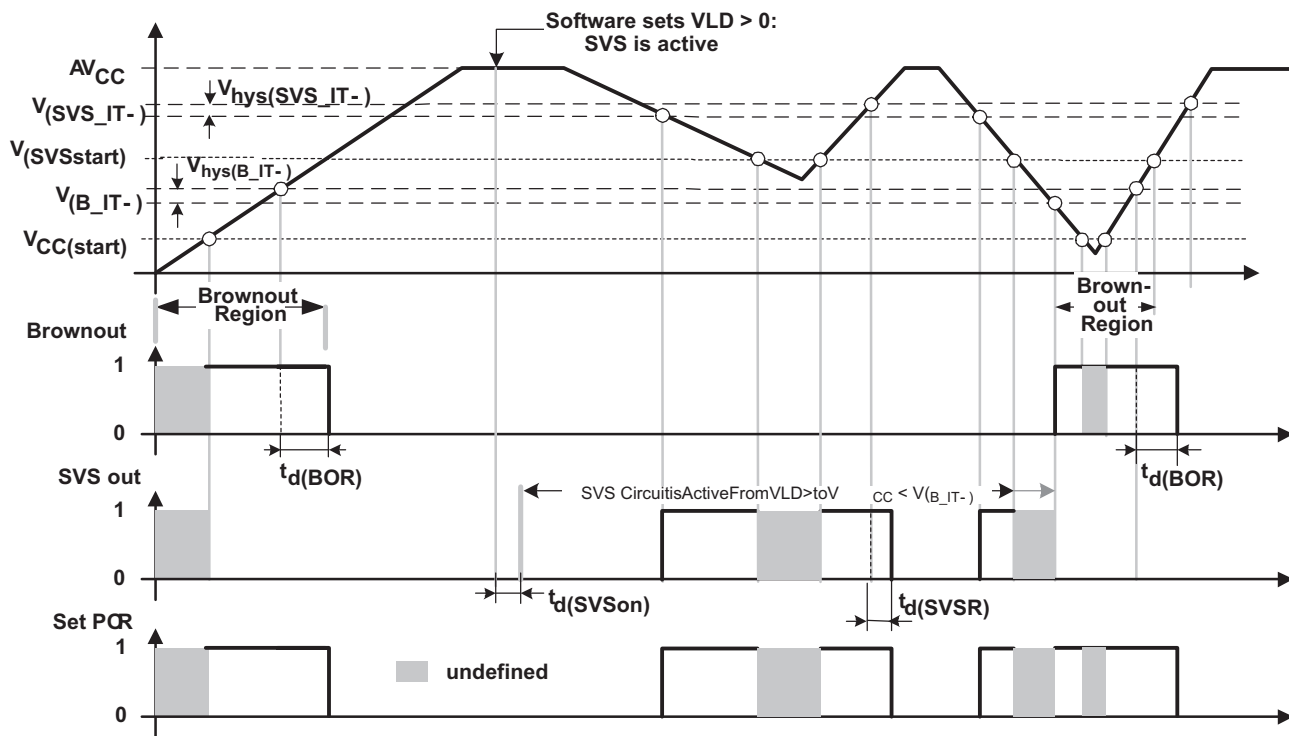


Figure 12. SVS 复位 (SVSR) 与电源电压间的关系

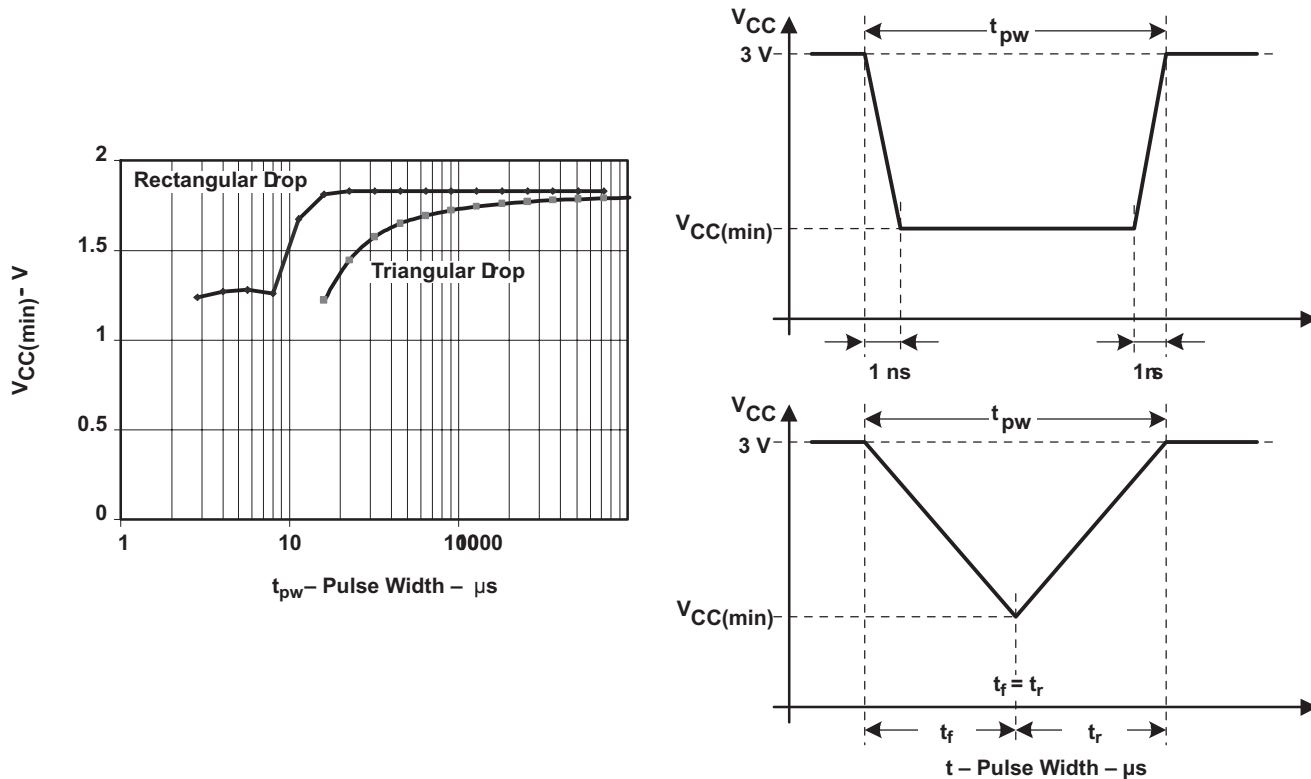


Figure 13. V_{CC} (最小值) 带有一个方形压降和一个三角形压降来生成一个 SVS 信号

主 DCO 特性

- 由 RSELx 选择的所有范围与 RSELx + 1 重叠：RSELx = 0 与 RSELx = 1 重叠，。。。 RSELx = 14 与 RSELx = 15 重叠。
- DCO 控制位 DCOx 具有一个由参数 S_{DCO} 规定的步长。
- 调制控制位 MODx 用于选择 32 个 DCOCLK 周期之内 f_{DCO(RSEL, DCO+1)} 的使用频度。频率 f_{DCO(RSEL, DCO)} 用于剩余的周期。该频率是一个平均值，等于：

$$f_{\text{average}} = \frac{32 \times f_{\text{DCO(RSEL, DCO)}} \times f_{\text{DCO(RSEL, DCO+1)}}}{\text{MOD} \times f_{\text{DCO(RSEL, DCO)}} + (32 - \text{MOD}) \times f_{\text{DCO(RSEL, DCO+1)}}$$

DCO 频率

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{CC} 电源电压范围	RSELx<14		1.8		3.6	V
	RSELx=14		2.2		3.6	
	RSELx=15		3.0		3.6	
f _{DCO(0, 0)} DCO 频率 (0, 0)	RSELx=0, DCOx=0, MODx=0	3.3V	0.06	0.10	0.14	MHz
f _{DCO(0, 3)} DCO 频率 (0, 3)	RSELx=0, DCOx=3, MODx=0	3.3V		0.12		MHz
f _{DCO(1, 3)} DCO 频率 (1, 3)	RSELx=1, DCOx=3, MODx=0	3.3V		0.15		MHz
f _{DCO(2, 3)} DCO 频率 (2, 3)	RSELx=2, DCOx=3, MODx=0	3.3V		0.21		MHz
f _{DCO(3, 3)} DCO 频率 (3, 3)	RSELx=3, DCOx=3, MODx=0	3.3V		0.30		MHz
f _{DCO(4, 3)} DCO 频率 (4, 3)	RSELx=4, DCOx=3, MODx=0	3.3V		0.41		MHz
f _{DCO(5, 3)} DCO 频率 (5, 3)	RSELx=5, DCOx=3, MODx=0	3.3V		0.58		MHz
f _{DCO(6, 3)} DCO 频率 (6, 3)	RSELx=6, DCOx=3, MODx=0	3.3V		0.80		MHz
f _{DCO(7, 3)} DCO 频率 (7, 3)	RSELx=7, DCOx=3, MODx=0	3.3V		1.15		MHz
f _{DCO(8, 3)} DCO 频率 (8, 3)	RSELx=8, DCOx=3, MODx=0	3.3V		1.60		MHz
f _{DCO(9, 3)} DCO 频率 (9, 3)	RSELx=9, DCOx=3, MODx=0	3.3V		2.30		MHz
f _{DCO(10, 3)} DCO 频率 (10, 3)	RSELx=10, DCOx=3, MODx=0	3.3V		3.40		MHz
f _{DCO(11, 3)} DCO 频率 (11, 3)	RSELx=11, DCOx=3, MODx=0	3.3V		4.25		MHz
f _{DCO(12, 3)} DCO 频率 (12, 3)	RSELx=12, DCOx=3, MODx=0	3.3V		5.80		MHz
f _{DCO(13, 3)} DCO 频率 (13, 3)	RSELx=13, DCOx=3, MODx=0	3.3V		7.80		MHz
f _{DCO(14, 3)} DCO 频率 (14, 3)	RSELx=14, DCOx=3, MODx=0	3.3V	8.6	11.25	13.9	MHz
f _{DCO(15, 3)} DCO 频率 (15, 3)	RSELx=15, DCOx=3, MODx=0	3.3V		15.30		MHz
f _{DCO(15, 7)} DCO 频率 (15, 7)	RSELx=15, DCOx=7, MODx=0	3.3V		21.00		MHz
S _{RSEL} RSEL 和 RSEL+1 范围之间的频率阶跃	S _{RSEL} =f _{DCO(RSEL+1, DCO)} /f _{DCO(RSEL, DCO)}	3.3V		1.35		比率
S _{DCO} 抽头 DCO 与 DCO+1 之间的频率阶跃	S _{DCO} =f _{DCO(RSEL, DCO+1)} /f _{DCO(RSEL, DCO)}	3.3V		1.08		比率
占空比	在 SMCLK 输出端上测得	3.3V		50		%

经校准的 DCO 频率-容差

参数	测试条件	T _A	V _{CC}	最小值	典型值	最大值	单位
在整个温度范围内 8MHz 容差 ⁽¹⁾	BCSCTL1=CALBC1_8MHZ , DCOCTL=CALDCO_8MHZ , 在 30°C 及 3.3V 条件下进行校准	0°C 至 85°C	3.3V	7.76	8	8.24	MHz
在 V _{CC} 电压下 8MHz 容差	BCSCTL1=CALBC1_8MHZ , DCOCTL=CALDCO_8MHZ , 在 30°C 及 3.3V 条件下进行校准	30°C	2.7V 至 3.6V	7.76	8	8.24	MHz
8MHz 总体容差	BCSCTL1=CALBC1_8MHZ , DCOCTL=CALDCO_8MHZ , 在 30°C 及 3.3V 条件下进行校准	-40°C 至 85°C	2.7V 至 3.6V	7.52	8	8.48	MHz
在整个温度范围内 12MHz 容差 ⁽¹⁾	BCSCTL1=CALBC1_12MHZ , DCOCTL=CALDCO_12MHZ , 在 30°C 及 3.3V 条件下进行校准	0°C 至 85°C	3.3V	11.64	12	12.36	MHz
在 V _{CC} 电压下, 12MHz 容差	BCSCTL1=CALBC1_12MHZ , DCOCTL=CALDCO_12MHZ , 在 30°C 及 3.3V 条件下进行校准	30°C	3.3V 至 3.6V	11.64	12	12.36	MHz
12MHz 总容差	BCSCTL1=CALBC1_12MHZ , DCOCTL=CALDCO_12MHZ , 在 30°C 及 3.3V 条件下进行校准	-40°C 至 85°C	3.3V 至 3.6V	11.28	12	12.72	MHz

(1) 这是在温度为 30°C 时测得的频率在整个温度范围内所发生的变化。

从低功耗模式 (LPM3/4) 唤醒

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
t _{DCO, LPM3/4} 从 LPM3/4 的 DCO 时钟唤醒时间 ⁽¹⁾	f _{DCO} =DCO 缺省频率 (大约 1MHz)	3V		1.5		μs
t _{CPU, LPM3/4} 从 LPM3/4 的 CPU 唤醒时间 ⁽²⁾				1/f _{MCLK} + t _{DCO, LPM3/4}		μs

(1) DCO 时钟唤醒时间的测量范围从一个外部唤醒信号 (例如: 一个端口中断) 的边沿到可从外部观察到的一个时钟引脚 (MCLK 或 SMCLK) 上的第一个时钟信号边沿。

(2) 参数只有在 DCOCLK 被用于 MCLK 时才适用。

典型特性-从 LPM3/4 的 DCO 时钟唤醒时间

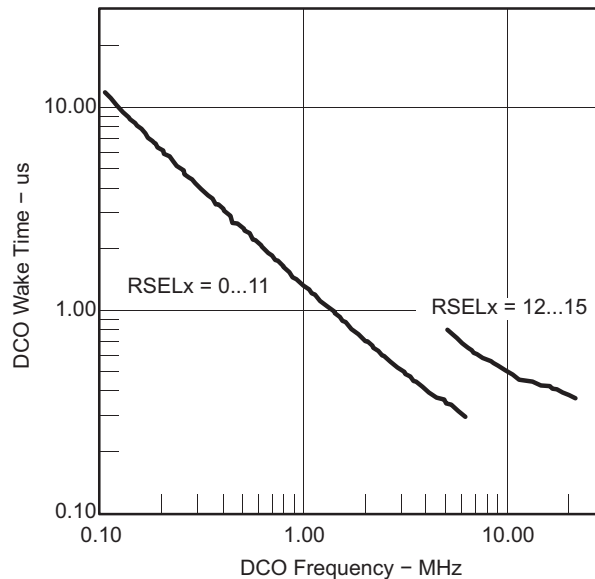


Figure 14. 从 LPM3 的 DCO 唤醒时间与 DCO 频率间的关系

内部超低功耗低频振荡器 (VLO)

参数		T _A	V _{CC}	最小值	典型值	最大值	单位
f _{VLO}	VLO 频率	-40°C 至 85°C	3V	4	12	22	kHz
df _{VLO} /dT	VLO 频率温度漂移 ⁽¹⁾	-40°C 至 85°C	3V		0.5		%/°C
df _{VLO} /dV _{CC}	VLO 频率电源电压漂移 ⁽²⁾	25°C	1.8V 至 3.6V		4		%/V

(1) 采用方箱法进行计算： $[\text{MAX}(-40\dots85^\circ\text{C})-\text{MIN}(-40\dots85^\circ\text{C})]/\text{MIN}(-40\dots85^\circ\text{C})/(85^\circ\text{C}-(-40^\circ\text{C}))$

(2) 采用方箱法进行计算： $[\text{MAX}(1.8\dots3.6\text{V})-\text{MIN}(1.8\dots3.6\text{V})]/\text{MIN}(1.8\dots3.6\text{V})/(3.6\text{V}-1.8\text{V})$

晶体振荡器 (XT2)⁽¹⁾

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{XT2, HF0}	XT2 振荡器晶振频率, HF 模式 0	XT2OFF=0, XT2Sx=0	1.8V 至 3.6V	0.4		1	MHz
f _{XT2, HF1}	XT2 振荡器晶振频率, HF 模式 1	XT2OFF=0, XT2Sx=1	1.8V 至 3.6V	1		4	MHz
f _{XT2, HF2}	XT2 振荡器晶振频率, HF 模式 2	XT2OFF=0, XT2Sx=2	1.8V 至 2.2V	2		10	MHz
			2.2V 至 3.0V	2		12	
			3.0V 至 3.6V	2		16	
f _{XT2, HF, 逻辑}	XT2 振荡器逻辑电平方波输入频率, HF 模式	XT2OFF=0, XT2Sx=3	1.8V 至 2.2V	0.4		10	MHz
			2.2V 至 3.0V	0.4		12	
			3.0V 至 3.6V	0.4		16	
O _{AHF}	HF 晶振的振荡裕度 (请见 Figure 15 Figure 16)	XT2OFF=0, XT2Sx=0 f _{XT2, HF} =1MHz, C _{L, eff} =15pF			2700		Ω
		XT2OFF=0, XT2Sx=1 f _{XT2, HF} =4MHz, C _{L, eff} =15pF			800		
		XT2OFF=0, XT2Sx=2 f _{XT2, HF} =16MHz, C _{L, eff} =15pF			300		
C _{L, eff}	集成型有效负载电容, HF 模式 ⁽²⁾	XT2OFF=0 ⁽³⁾			1		pF
占空比		XT2OFF=0, 在 P1.0/SVSIN/TACLK/SMCLK/TA2, f _{XT2, HF} =10MHz 时测得	3V	40	50	60	%
		XT2OFF=0, P1.0/SVSIN/TACLK/SMCLK/TA2, f _{XT2, HF} =16MHz 时测得		40	50	60	
f _{故障, HF}	振荡器故障频率 ⁽⁴⁾	XT2OFF=0, XT2Sx=3 ⁽⁵⁾	3V	30		300	kHz

(1) 如欲改善 XT2 振荡器上的 EMI, 则应遵守下面的指导原则:

- 应使器件与晶体之间的走线尽可能地短。
- 在振荡器引脚的周围设计一个良好的接地平面。
- 防止来自其它时钟或数据线的串扰进入振荡器引脚 XT2IN 和 XT2OUT。
- 应避免在 XT2IN 和 XT2OUT 引脚的下方或附近布设 PCB 走线。
- 采用旨在消除振荡器 XT2IN 和 XT2OUT 引脚上的任何寄生负载的组装材料和惯例。
- 如果采用的是敷形涂覆, 则应确保其不会在振荡器引脚之间引起电容/电阻泄漏。

(2) 包括寄生键合及封装电容 (每引脚约 2pF)。由于 PCB 会增加额外的电容, 因此建议通过测量 ACLK 频率来验证正确的负载。为了完成正确的设置, 有效负载电容应始终与所用晶体的规格相匹配。

(3) 在两个端子上都要求外部电阻器。值由晶振制造商指定。

(4) 低于 MIN (最小值) 技术规格设定故障标志, 高于 MAX (最大值) 技术规格不设定故障标志, 而介于二者之间的频率有可能设定标志。

(5) 采用逻辑电平输入频率来测量, 但也适合于采用晶振的操作。

典型特性 - XT2 振荡器

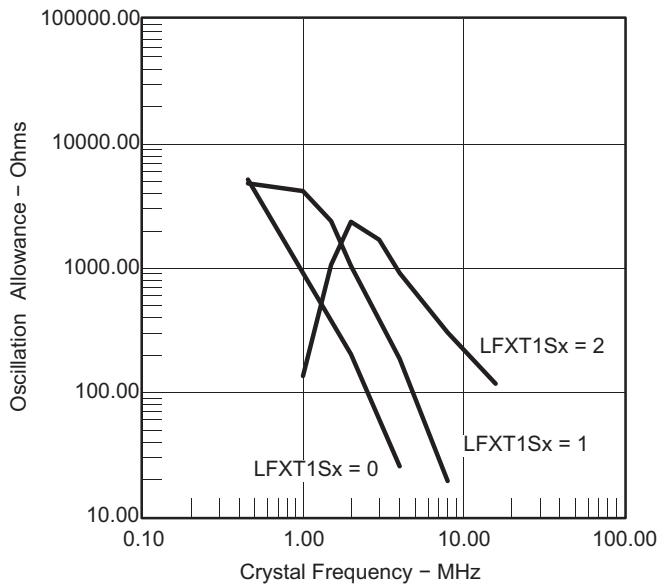


Figure 15. 振荡裕度与晶振频率间的关系, $C_{L, eff}=15pF$, $T_A=25^{\circ}C$

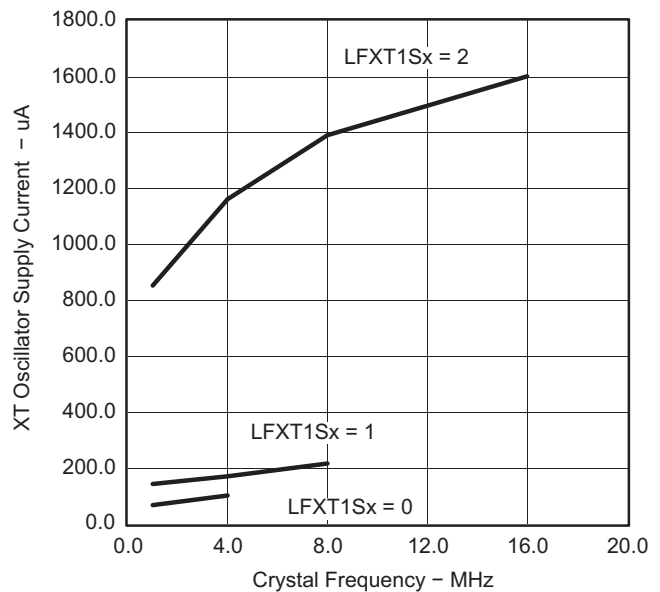


Figure 16. XT2 振荡器电源电流与晶振频率间的关系, $C_{L, eff}=15pF$, $T_A=25^{\circ}C$

SD24_A, 电源和推荐的运行条件

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位	
AV _{CC} 模拟电源电压	AV _{CC} =DV _{CC} AV _{SS} =DV _{SS} =0V		2.5		3.6	V	
I _{SD24} 模拟电源电流: 1 个包括内部基准的激活 SD24_A 通道	SD24LP=0, f _{SD24} =1MHz, SD24 OSR=256	3V	增益: 1, 2		800	1100	μA
			增益: 4, 8, 16		900		
			增益: 32		1200		
	SD24LP=1, f _{SD24} =0.5MHz, SD24 OSR=256		增益: 1		800		
			增益: 32		900		
f _{SD24} 模拟前端输入时钟频率	SD24LP=0 (低功耗模式被禁用)	3V	0.03	1	1.1	MHz	
	SD24LP=1 (低功耗模式被禁用)		0.03	0.5			

SD24_A, 输入范围⁽¹⁾

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{ID,FSR} 差分满量程输入电压范围	双极模式, SD24UNI = 0		$V_{REF}/2GAIN$		$+V_{REF}/2GAIN$	mV
	单极模式, SD24UNI=1		0		$+V_{REF}/2GAIN$	mV
V _{ID} 针对额定性能的差分输入电压范围 ⁽²⁾	SD24REFON=1		SD24GAINx=1		±500	mV
			SD24GAINx=2		±250	
			SD24GAINx=4		±125	
			SD24GAINx=8		±62	
			SD24GAINx=16		±31	
			SD24GAINx=32		±15	
Z _I 输入阻抗 (一个到 AVSS 的输入引脚)	f _{SD24} =1MHz	3V	SD24GAINx=1		200	kΩ
			SD24GAINx=32		75	
Z _{ID} 差分输入阻抗 (IN+ 至 IN-)	f _{SD24} =1MHz	3V	SD24GAINx=1	300	400	kΩ
			SD24GAINx=32	100	150	
V _I 绝对输入电压范围			AVSS-1		AVCC	V
V _{IC} 共模输入电压范围			AVSS-1		AVCC	V

(1) 所有参数与每个 SD24_A 通道相关。

(2) 满量程范围由 $V_{FSR+}=+(V_{REF}/2)/GAIN$ 和 $V_{FSR-}=(V_{REF}/2)/GAIN$ 定义。如果 VREF 由外部供源, 则模拟输入范围不应超过 V_{FSR+} 或 V_{FSR-} 的 80%; 也就是说, V_{ID}=0.8V_{FSR-} 至 0.8V_{FSR+}。如果 VREF 由内部供源, 则采用指定的 V_{ID} 范围。

SD24_A, 性能 (f_{SD24}=1MHz, SD24OSRx=256, SD24REFON=1)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
G 标称增益	SD24GAINx=1	3V		1		
	SD24GAINx=2			1.96		
	SD24GAINx=4			3.86		
	SD24GAINx=8			7.62		
	SD24GAINx=16			15.04		
	SD24GAINx=32			28.35		
E _{OS} 偏移误差	SD24GAINx=1	3V			±0.2	%FSR
	SD24GAINx=32				±1.5	
ΔEOS/ΔT 偏移误差温度系数	SD24GAINx=1	3V		±4	±20	ppm FSR/°C
	SD24GAINx=32			±20	±100	
CMRR 共模抑制比	SD24GAINx=1, 共模输入信号: V _{ID} =500mV, f _{IN} =50Hz, 100Hz	3V		>90		dB
	SD24GAINx=32, 共模输入信号: V _{ID} =16mV, f _{IN} =50 Hz, 100Hz			>75		
AC PSRR AC 电源抑制比	SD24GAINx=1, V _{CC} =3V±100mV, f _{VCC} =50Hz	3V		>80		dB
XT 串扰	SD24GAINx=1, V _{ID} =500mV, f _{IN} =50Hz, 100Hz	3V		<-100		dB

SD24_A，温度传感器和内置 V_{CC}感测

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
TC _{传感器}	传感器温度系数		1.18	1.32	1.46	mV/°C
V _{偏移, 传感器}	传感器偏移电压		-100		100	mV
V _{传感器}	传感器输出电压 ⁽¹⁾⁽²⁾	3V	T _A =85°C 时的温度传感器电压			mV
			T _A =30°C 时的温度传感器电压			
V _{CC, 感测}	输入 5 上的 V _{CC} 分压器		V _{CC} /1 1			V
R _{源, VCC}	输入 5 上 V _{CC} 分压器的源电阻		20			kΩ

(1) 可采用下式来计算温度传感器输出电压：

$$V_{\text{传感器, 典型值}} = TC_{\text{传感器}}(273 + T [^{\circ}\text{C}]) + V_{\text{偏移, 传感器}}[\text{mV}]$$

(2) 结果基于特性和/或生产测试，而不是 TC_{传感器} 或 V_{偏移, 传感器}。f_{SD24}=1MHz，SD24OSRx=256，SD24REFON=1 时测得。

SD24_A，内置电压基准

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{REF}	内部基准电压	3V	1.14	1.2	1.26	V
I _{REF}	基准电源电流	3V		200	320	μA
TC	温度系数	3V		18	50	ppm/°C
C _{REF}	V _{REF} 负载电容			100		nF
I _{LOAD}	V _{REF(I)} 最大负载电流	3V			±200	nA
t _{ON}	接通时间	3V		5		ms
DC PSR	DC 电源抑制 ΔV _{REF} /ΔV _{CC}			100		μV/V

(1) 采用方箱法进行计算：(MAX(-40...85°C)-MIN(-40...85°C))/MIN(-40...85°C)/(85°C(-40°C))

(2) 在 V_{REF}上无需电容。然而，建议最少使用 100nF 来减少基准电压噪声。

SD24_A，基准输出缓冲器

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{REF, BUF}	基准缓冲输出电压	3V		1.2		V
I _{REF, BUF}	基准电源+基准输出缓冲静态电流	3V		430	650	μA
C _{REF(O)}	VREF 上需要负载电容			470		nF
I _{LOAD, 最大值}	VREF 上的最大负载电流	3V			±1	mA
	最大电压变化与负载电流间的关系	3V	-15		+15	mV
t _{ON}	接通时间	3V		100		μs

SD24_A , 外部基准输入

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{REF(I)} 输入电压范围	SD24REFON=0	3V	1.0	1.25	1.5	V
I _{REF(I)} 输入电流	SD24REFON=0	3V			50	nA

USART0

参数	测试条件	最小值	典型值	最大值	单位
f _{USART} USART 时钟频率				8	MHz
t _(T) USART0 : 去毛刺脉冲时间 ⁽¹⁾	V _{CC} =3V, SYNC=0, UART 模式	150	280	500	ns

(1) 应用到 USART0 接收信号/端子 (URXD0) 上的信号应该满足 t_(T) 的时序要求以确保 URXS 触发器被设定。用符合 t_(T) 最小时序条件的负脉冲来设定 URXS 触发器。必须在这个时序限制之外满足由运行条件来设定标志之一要求。去毛刺脉冲电路只在 URXD0 线路上的负转换时激活。

Timer_A3

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{TA} Timer_A 时钟频率	SMCLK, Duty cycle = 50% ± 10%			f _{系统}		MHz
t _{TA, cap} Timer_A 捕获时序	TA0, TA1	3V	20			ns

闪存存储器

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{CC(PGM/ERASE)} 编程及擦除电源电压			2.2		3.6	V
f _{FTG} 闪存时序生成器频率			257		476	kHz
I _{PGM} 编程期间来自 V _{CC} 的电源电流		2.2V/3.6V		1	5	mA
I _{擦除} 擦除期间来自 V _{CC} 的电源电流		2.2V/3.6V		1	7	mA
t _{CPT} 累计编程时间 ⁽¹⁾		2.2 V/3.6 V			10	ms
t _{CMErase} 累计批量擦除时间		2.2V/3.6V	20			ms
	编程/擦除耐久性		10 ⁴	10 ⁵		周期
t _{保持} 数据保持持续时间	T _J =25°C		100			年
t _字 字或字节编程时间	⁽²⁾			30		t _{FTG}
t _{块, 0} 第一个字节或字的块编程时间	⁽²⁾			25		t _{FTG}
t _{块, 1-63} 用于每个额外字节或字的块编程时间	⁽²⁾			18		t _{FTG}
t _{块, 末端} 块编程末端序列等待时间	⁽²⁾			6		t _{FTG}
t _{批量擦除} 批量擦除时间	⁽²⁾			10593		t _{FTG}
t _{段擦除} 段擦除时间	⁽²⁾			4819		t _{FTG}

(1) 当对一个 64 字节闪存块进行写入操作时, 不得超过累计编程时间。该参数适用于所有的编程方法: 单独字/字节写入及块写入模式。

(2) 这些数值被实线连接至闪存控制器的状态机中 (t_{FTG}=1/f_{FTG})。

RAM

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	最大值	单位
$V_{(RAMh)}$	RAM 保持电源电压 ⁽¹⁾	CPU 暂停	1.6		V

(1) 当 RAM 中的数据保持不变时，该参数确定了最小电源电压 V_{CC} 。在该电源电压条件下不应执行任何程序。

JTAG 及 Spy-Bi-Wire 接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{SBW}	Spy-Bi-Wire 输入频率		3V	0		20	MHz
$t_{SBW, 低电平}$	Spy-Bi-Wire 低电平时钟脉冲长度		3V	0.025		15	μs
$t_{SBW, En}$	Spy-Bi-Wire 启用时间 (TEST 高电平以接受第一个时钟边沿的时间 ⁽¹⁾)		3V			1	μs
$t_{SBW, Ret}$	Spy-Bi-Wire 返回至正常运行时间		3V	15		100	μs
f_{TCK}	TCK 输入频率 ⁽²⁾		3V	0		10	MHz
$R_{内部}$	TEST 上的内部下拉电阻		3V	25	60	90	k Ω

- (1) 访问 Spy-Bi-Wire 接口的工具在把 TEST/SBWCLK 引脚拉至高电平之后必需等待最大 $t_{SBW, En}$ 时间，而后再施加第一个 SBWCLK 时钟脉冲边沿。
- (2) 可限制 f_{TCK} 以满足选定模块的时序要求。

JTAG 熔丝⁽¹⁾

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	最大值	单位
$V_{CC(FB)}$	熔丝烧断情况下的电源电压	$T_A=25^\circ C$	2.5		V
V_{FB}	TEST 上针对熔丝烧断的电压电平		6	7	V
I_{FB}	熔丝烧断期间流入 TEST 的电源电流			100	mA
t_{FB}	熔丝烧断的时间			1	ms

(1) 一旦熔丝烧断，就不能再继续访问 JTAG / 测试，Spy-Bi-Wire，或者仿真功能，且 JTAG 被切换至旁路模式。

应用信息

端口 P1 引脚电路原理图：P1.0 采用施密特触发器的输入/输出

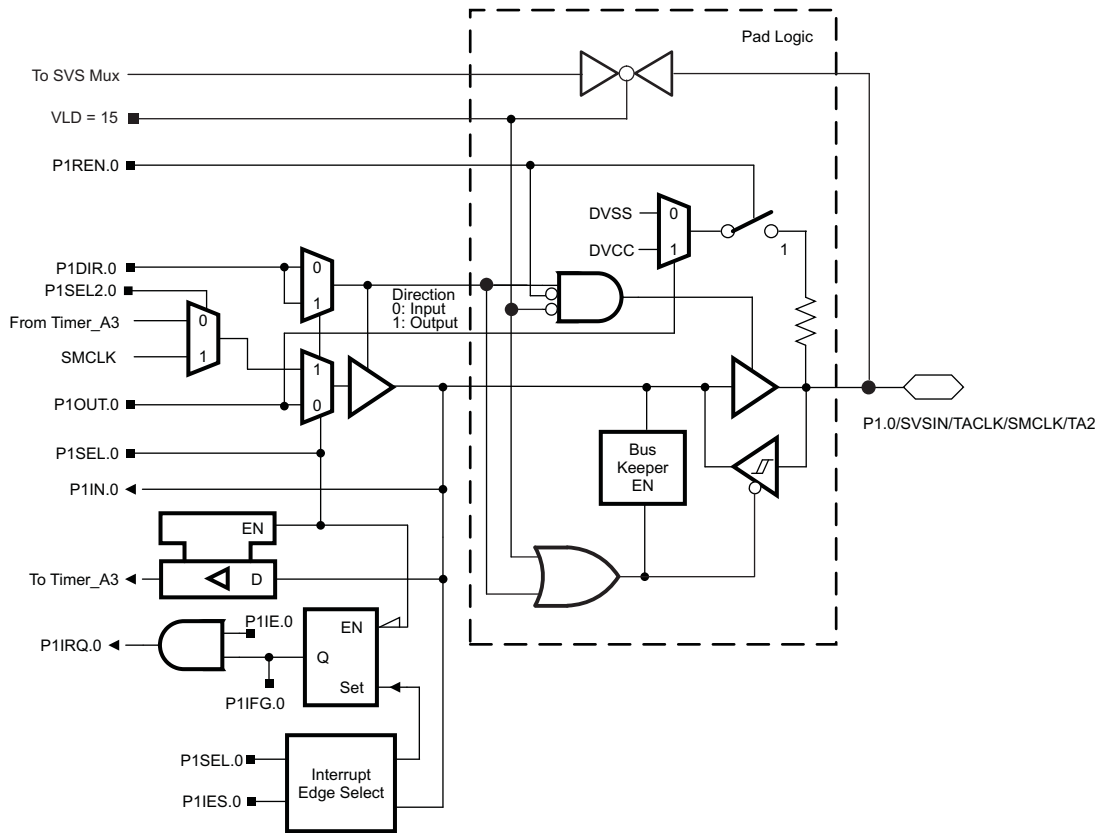


Table 17. 端口 P1 (P1.0) 引脚功能

引脚名称 (P1.x)	x	功能	控制位/信号 ⁽¹⁾		
			P1DIR.x	P1SEL.x	P1SEL2.x
P1.0/SVSIN/TACLK/SMCLK/TA2	0	P1.0 (I/O)	I : 0, O : 1	0	X
		SVSIN (VLD=15)	X	X	X
		Timer_A3.TACLK	0	1	0
		SMCLK	1	1	1
		Timer_A3.TA2	1	1	0

(1) X = 无关

端口 P1 引脚电路原理图：P1.1 和 P1.2 采用施密特触发器的输入/输出

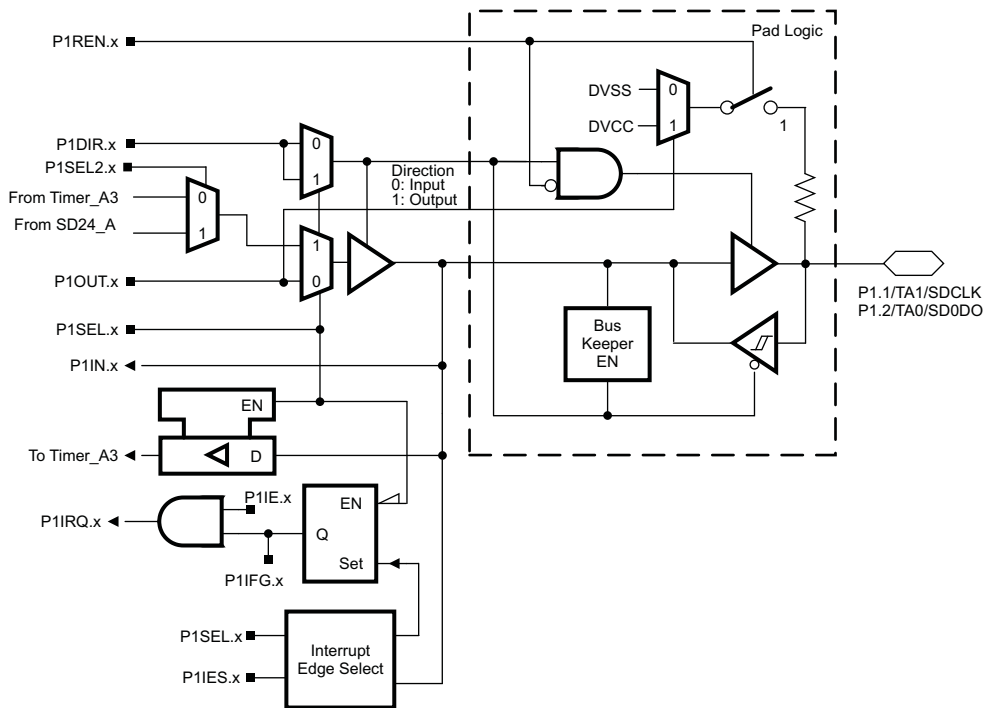


Table 18. 端口 P1 (P1.1 和 P1.2) 引脚功能

引脚名称 (P1.x)	x	功能	控制位/信号 ⁽¹⁾		
			P1DIR.x	P1SEL.x	P1SEL2.x
P1.1/TA1/SDCLK	1	P1.1 (I/O)	I : 0 , O : 1	0	X
		Timer_A3.CCI1A 和 CCI1B	0	1	0
		Timer_A3.TA1	1	1	0
		SDCLK	1	1	1
P1.2/TA0/SD0DO	2	P1.2 (I/O)	I : 0 , O : 1	0	X
		Timer_A3.CCI0A 和 CCI0B	0	1	0
		Timer_A3.TA0	1	1	0
		SD0DO	1	1	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.3 采用施密特触发器的输入/输出

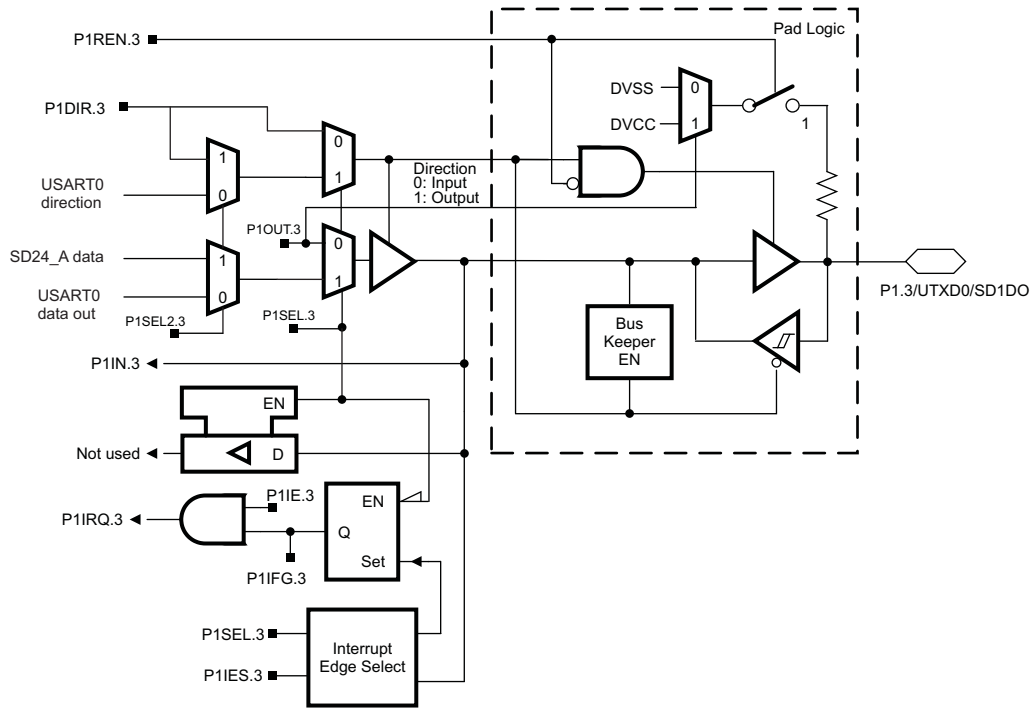


Table 19. 端口 P1 (P1.3) 引脚功能

引脚名称 (P1.x)	x	功能	控制位/信号 ⁽¹⁾		
			P1DIR.x	P1SEL.x	P1SEL2.x
P1.3/UTXD0/SD1DO	3	P1.3 (I/O)	I : 0 , O : 1	0	X
		UTXD0	X	1	0
		SD1DO	1	1	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.4 采用施密特触发器的输入/输出

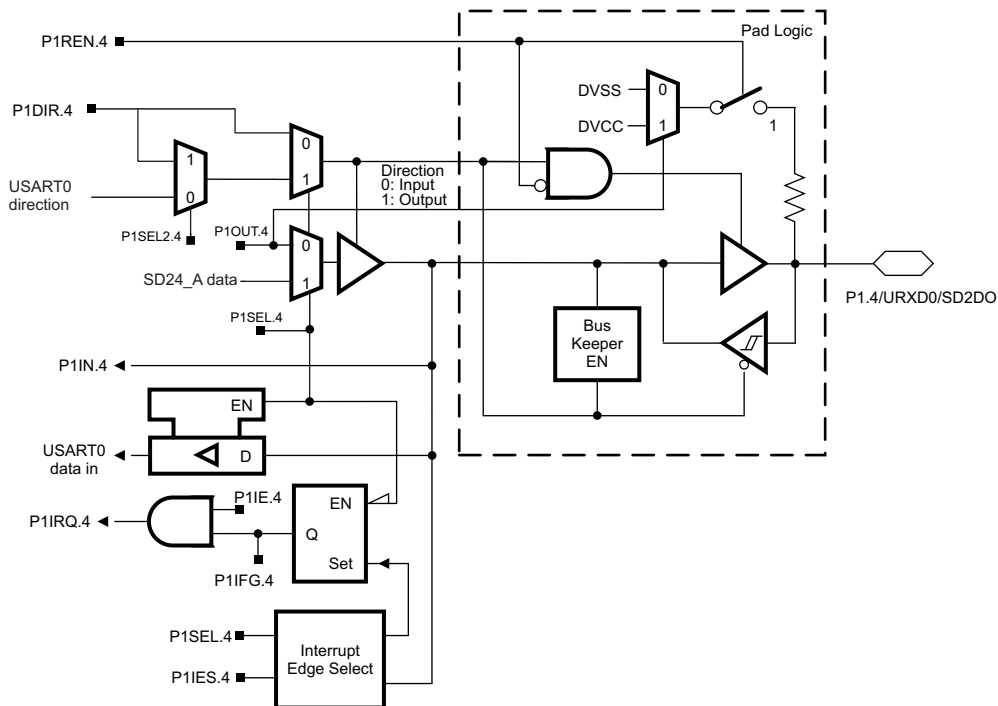


Table 20. 端口 P1 (P1.4) 引脚功能

引脚名称 (P1.x)	x	功能	控制位/信号 ⁽¹⁾		
			P1DIR.x	P1SEL.x	P1SEL2.x
P1.4/URXD0/SD2DO	4	P1.4 (I/O)	I : 0 , O : 1	0	X
		URXD0	X	1	0
		SD2DO	1	1	1

(1) X = 无关

端口 P1 引脚电路原理图：P1.5 至 P1.7 采用施密特触发器的输入/输出

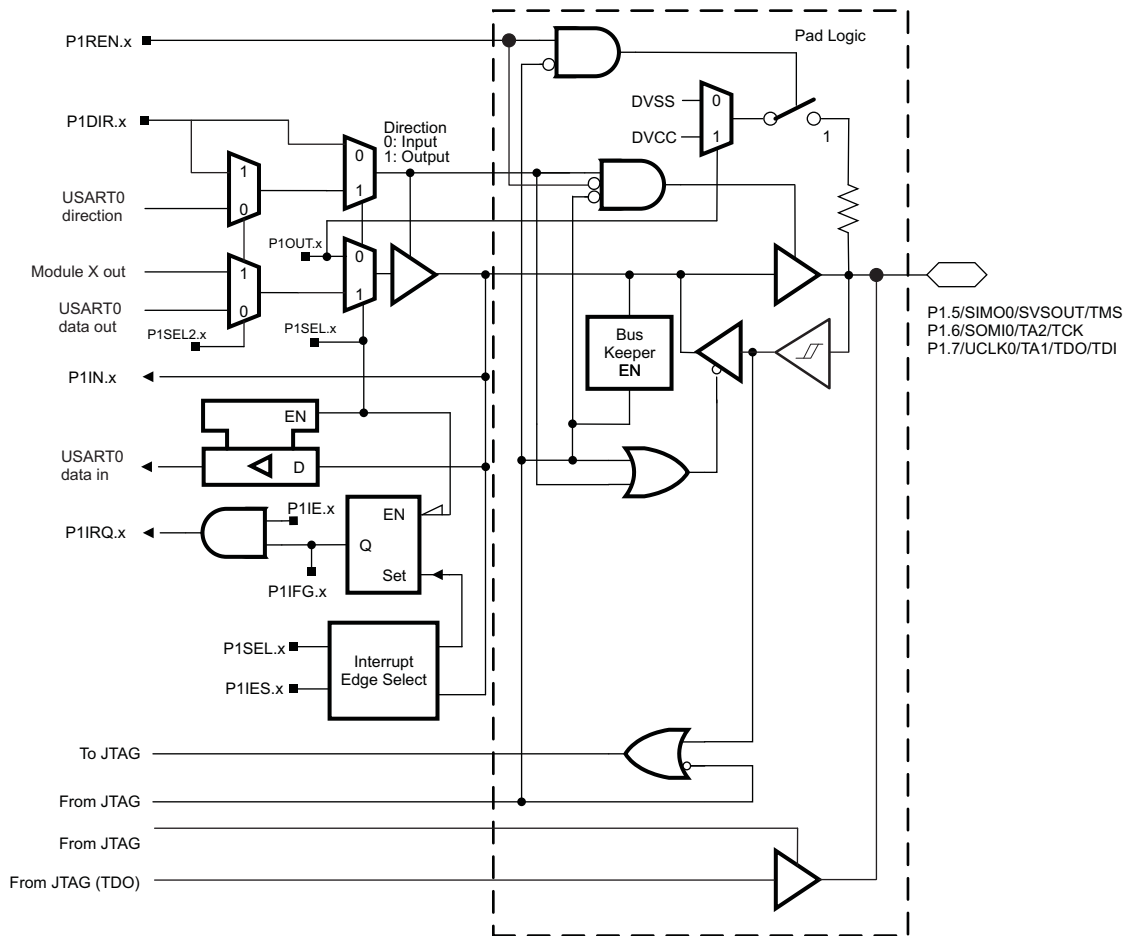


Table 21. 端口 P1 (P1.5 至 P1.7) 引脚功能

引脚名称 (P1.x)	x	功能	控制位/信号 ⁽¹⁾			
			P1DIR.x	P1SEL.x	P1SEL2.x	JTAG 模式 ⁽²⁾
P1.5/SIMO0/SVSOUT/TMS	5	P1.5 (I/O)	I : 0 ; O : 1	0	X	0
		SIMO0	X	1	0	0
		SVSOUT	1	1	1	0
		TMS	X	X	X	1
P1.6/SOMI0/TA2/TCK	6	P1.6 (I/O)	I : 0 ; O : 1	0	X	0
		SOMI0	X	1	0	0
		Timer_A3.TA2	1	1	1	0
P1.7/UCLK0/TA1/TDO/TDI	7	P1.7 (I/O)	I : 0 ; O : 1	0	X	0
		UCLK0	X	1	0	0
		Timer_A3.TA1	1	1	1	0
		TDO/TDI	X	X	X	1

(1) X = 无关

(2) 当在 IDE 中选择 4 线制 JTAG 选项时，JTAG 模式不是一个寄存器位而是内部生成的信号。

端口 P2 引脚电路原理图：P2.0 采用施密特触发器的输入/输出

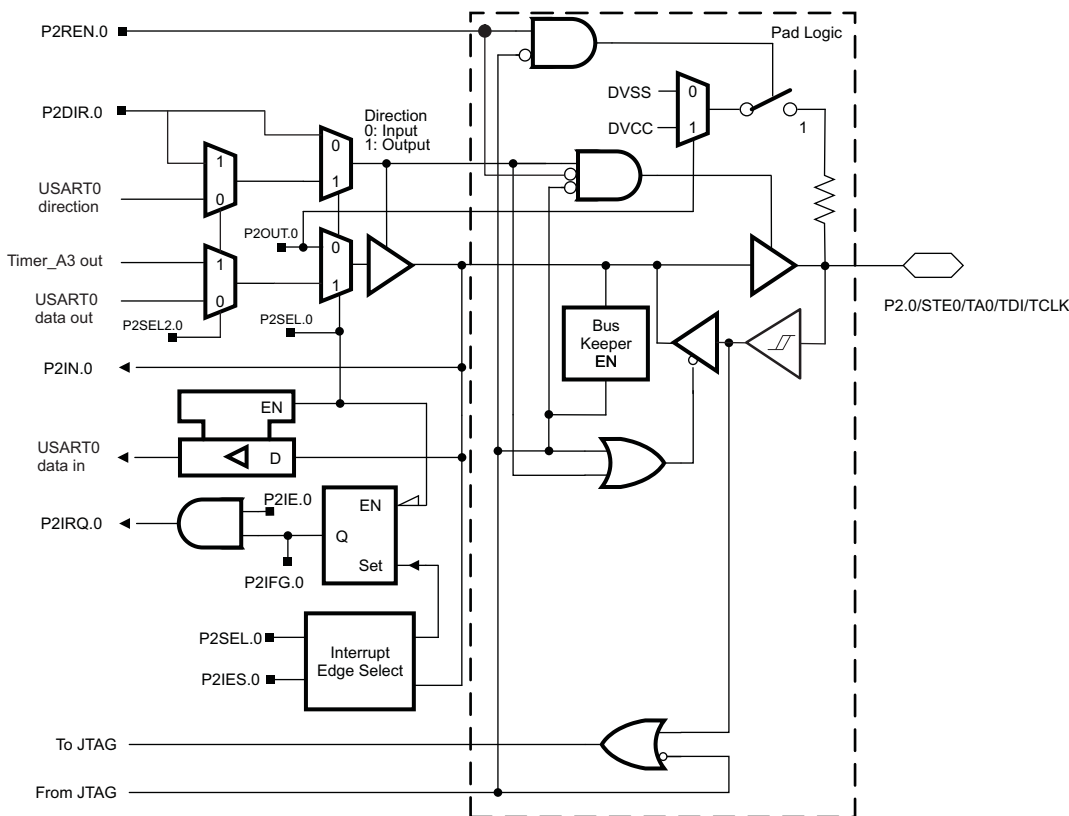


Table 22. 端口 P2 (P2.0) 引脚功能

引脚名称 (P2.x)	x	功能	控制位/信号 ⁽¹⁾			
			P2DIR.x	P2SEL.x	P2SEL2.x	JTAG 模式 ⁽²⁾
P2.0/STE0/TA0/TDI/TCLK	0	P2.0 (I/O)	I: 0 ; O: 1	0	X	0
		STE0	X	1	0	0
		Timer_A3.TA0	1	1	1	0
		TDI/TCLK	X	X	X	1

(1) X = 无关

(2) 当在 IDE 中选择 4 线制 JTAG 选项时，JTAG 模式不是一个寄存器位而是内部生成的信号。

端口 P2 引脚电路原理图：P2.6，采用施密特触发器的输入/输出

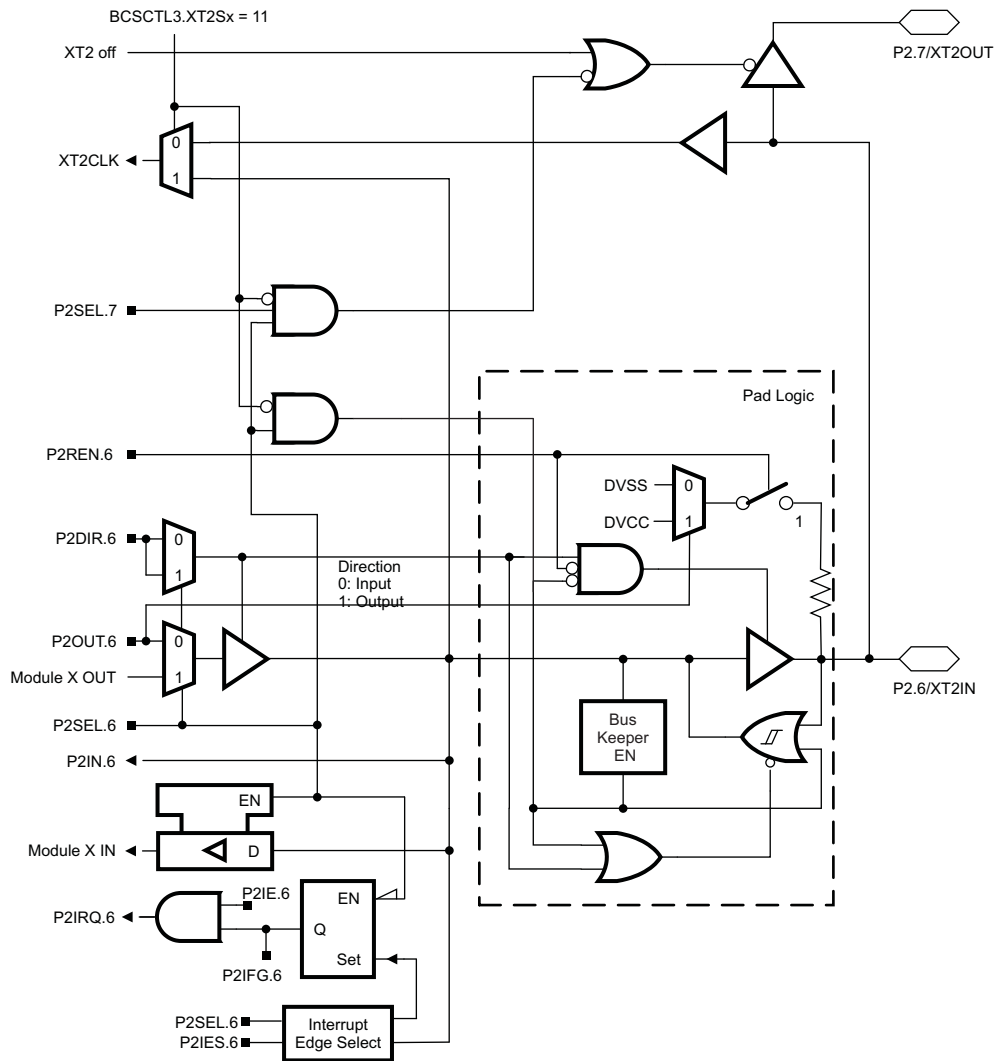


Table 23. 端口 P2 (P2.6) 引脚功能

引脚名称 (P2.x)	x	功能	控制位/信号	
			P2DIR.6	P2SEL.6
P2.6/XT2IN	6	P2.6 (I/O)	I: 0 ; O: 1	0
		XT2IN (default)	0	1

JTAG 熔丝检查模式

在 TEST 端子上带有熔丝的 MSP430 器件有一个熔丝检查模式，此模式在一个加电复位 (POR) 之后首次访问 JTAG 端口时测试熔丝的连续性。当被激活时，一个熔丝检查电流， I_{TF} ，如果熔丝未被烧断的话，3V 时 1mA 电流，5V 时 2.5mA 电流可从 TEST 引脚流到接地。在进行这些操作时必须小心以避免意外地激活熔丝检查模式并且减少总体系统功耗。

当 TEST 引脚在一个测试或者编程会话后重新变为低电平，熔丝检查模式和电流感测被终止。

熔丝检查模式在加电后 TMS 引脚上的第一个负边沿或者 TMS 在加电期间被保持在低电平时激活。TMS 引脚上的第二个正边沿使熔丝检查模式无效。被置成无效后，在另外一个 POR 发生之前，熔丝检查模式保持非激活。在每个 POR 之后，熔丝检查模式具有将被激活的点。

只有当熔丝检查模式激活并且 TMS 引脚处于低电平状态时，熔丝检查电流流动（请见 Figure 17）。因此，将 TMS 引脚保持在高点平（缺省条件）可防止额外的电流。

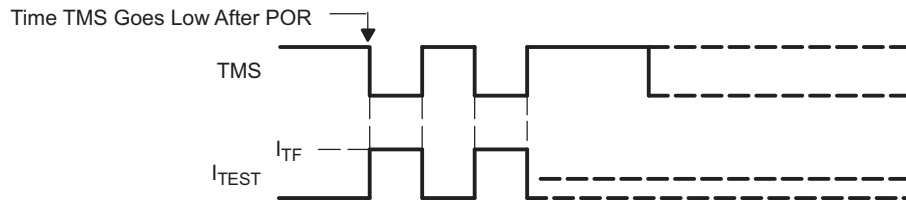


Figure 17. 熔丝检查模式电流

NOTE

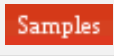
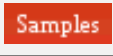
如果 JTAG 熔丝被熔断，确保 CODE 和 RAM 数据受到保护。

修订历史记录

修订	备注
SLAS701	产品预览发布
SLAS701A	生产数据发布

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP4301103IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE253	Samples
MSP430AFE221IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE221	Samples
MSP430AFE221IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE221	Samples
MSP430AFE222IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE222	Samples
MSP430AFE222IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE222	Samples
MSP430AFE223IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE223	Samples
MSP430AFE223IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE223	Samples
MSP430AFE231IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE231	Samples
MSP430AFE231IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE231	Samples
MSP430AFE232IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE232	Samples
MSP430AFE232IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE232	Samples
MSP430AFE233IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE233	Samples
MSP430AFE233IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE233	Samples
MSP430AFE251IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE251	Samples
MSP430AFE251IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE251	Samples
MSP430AFE252IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE252	Samples
MSP430AFE252IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE252	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430AFE253IPW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE253	
MSP430AFE253IPWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 85	430AFE253	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

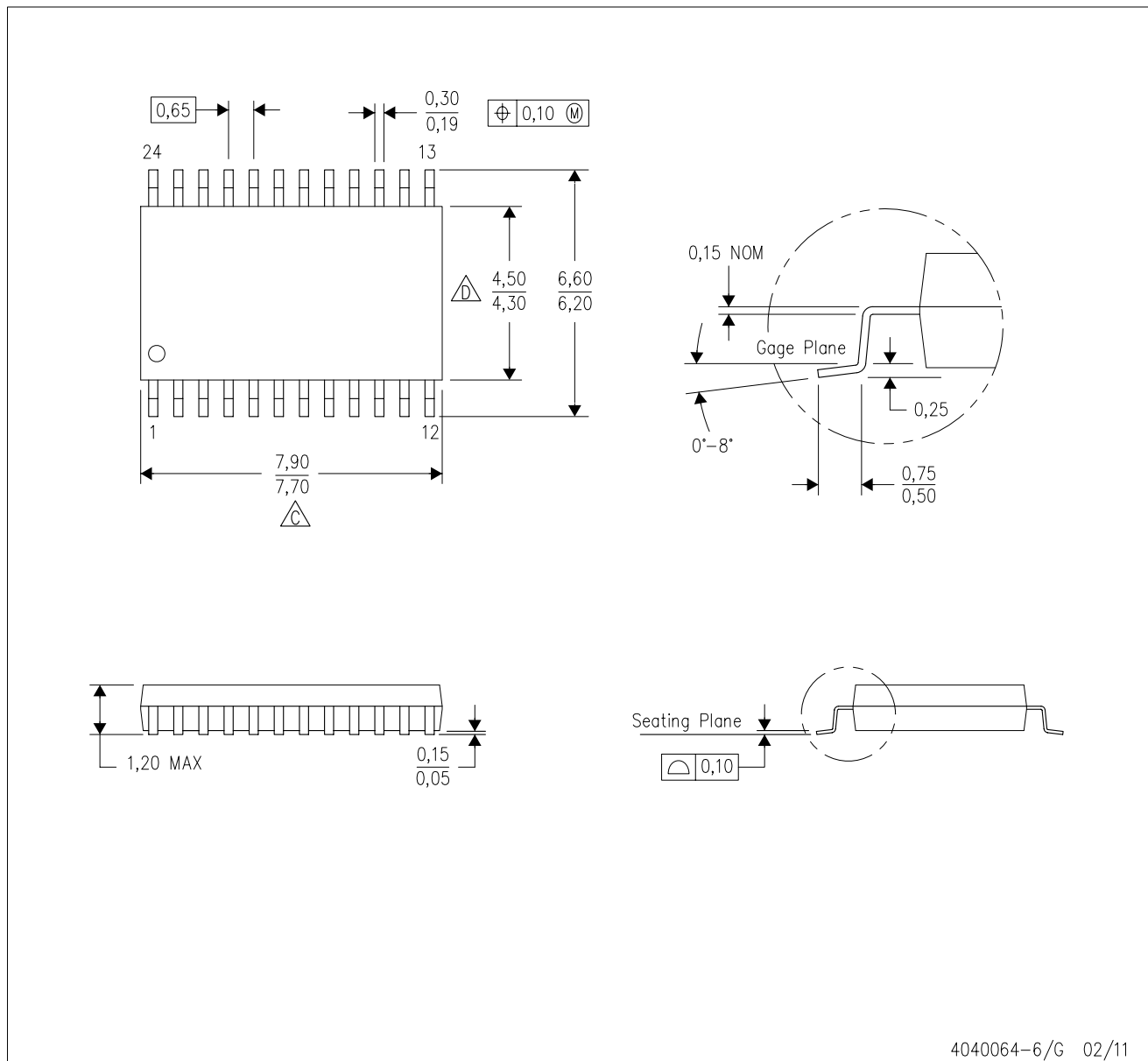
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



MECHANICAL DATA

PW (R-PDSO-G24)

PLASTIC SMALL OUTLINE



4040064-6/G 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G24)

PLASTIC SMALL OUTLINE



4211284-4/G 08/15

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate design.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用中所用 TI 产品的功能。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或默示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与美国 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默示的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司