

# TLVx333 $2\mu\text{V } V_{\text{OS}}$ 、 $0.02\mu\text{V}/^\circ\text{C}$ 、 $17\mu\text{A}$ 、CMOS 运算放大器 零漂移系列

## 1 特性

- 非常出色的性价比
- 低失调电压:  $2\mu\text{V}$
- 零点漂移:  $0.02\mu\text{V}/^\circ\text{C}$
- 低噪声:  $1.1\mu\text{V}_{\text{PP}}$ , 0.1Hz 至 10Hz
- 静态电流:  $17\mu\text{A}$
- 电源电压: 1.8V 至 5.5V
- 轨到轨输入/输出
- 内部电磁干扰 (EMI) 滤波功能
- 微型封装: SOT23、SC70

## 2 应用

- 电池供电仪器
- 温度测量
- 传感器应用
- 电子称
- 医疗仪表
- 手持测试设备
- 电流检测

## 3 说明

TLVx333 系列 CMOS 运算放大器不但具备精密的性能, 而且价格极具竞争力。这些器件属于采用专有自动校准技术的零漂移系列放大器, 在整个时间和温度范围内的失调电压非常低 (最大  $15\mu\text{V}$ ) 且几乎零漂移, 并且静态电流只有  $28\mu\text{A}$ 。TLVx333 系列具有轨至轨输入和输出以及几乎不变的  $1/f$  噪声特性, 因此, 这款放大器是众多应用的理想之选, 而且更易于系统设计。这些器件经过优化, 适合在 1.8V ( $\pm 0.9\text{V}$ ) 至 5.5V ( $\pm 2.75\text{V}$ ) 的低压状态下工作。

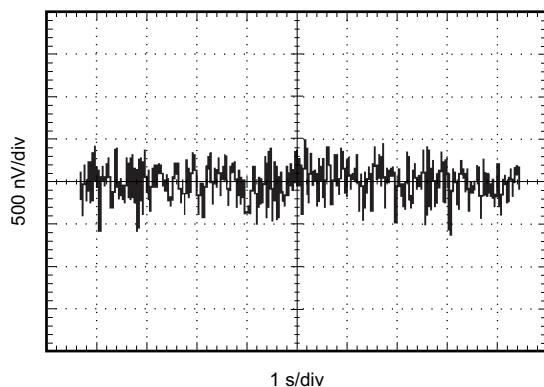
TLV333 (单通道版本) 提供 SC70-5、SOT23-5 和 SOIC-8 三种封装。TLV2333 (双通道版本) 提供 VSSOP-8 和 SOIC-8 两种封装。TLV4333 提供标准 SOIC-14 和 TSSOP-14 两种封装。所有器件版本的额定工作温度范围均为  $-40^\circ\text{C}$  至  $+125^\circ\text{C}$ 。

器件信息<sup>(1)</sup>

器件型号	封装	封装尺寸 (标称值)
TLV333	SOIC (8)	4.90mm x 3.91mm
	SOT-23 (5)	2.90mm x 1.60mm
	SC70 (5)	2.00mm x 1.25mm
TLV2333	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
TLV4333	SOIC (14)	8.65mm x 3.91mm
	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 如需了解所有可用封装, 请参阅产品说明书末尾的可订购产品附录。

0.1Hz 至 10Hz 噪声



## 目录

<b>1</b>	特性 .....	<b>1</b>	8.3	特性说明 .....	<b>12</b>
<b>2</b>	应用 .....	<b>1</b>	8.4	器件功能模式 .....	<b>14</b>
<b>3</b>	说明 .....	<b>1</b>	<b>9</b>	应用和实现 .....	<b>15</b>
<b>4</b>	修订历史记录 .....	<b>2</b>	9.1	系统示例 .....	<b>15</b>
<b>5</b>	器件比较表 .....	<b>3</b>	<b>10</b>	电源相关建议 .....	<b>16</b>
<b>6</b>	引脚配置和功能 .....	<b>3</b>	<b>11</b>	布局 .....	<b>16</b>
<b>7</b>	技术规格 .....	<b>6</b>	11.1	布局准则 .....	<b>16</b>
7.1	绝对最大额定值 .....	<b>6</b>	11.2	布局示例 .....	<b>16</b>
7.2	ESD 额定值 .....	<b>6</b>	<b>12</b>	器件和文档支持 .....	<b>17</b>
7.3	建议的工作条件 .....	<b>6</b>	12.1	器件支持 .....	<b>17</b>
7.4	热性能信息: TLV333 .....	<b>7</b>	12.2	文档支持 .....	<b>17</b>
7.5	热性能信息: TLV2333 .....	<b>7</b>	12.3	相关链接 .....	<b>17</b>
7.6	热性能信息: TLV4333 .....	<b>7</b>	12.4	社区资源 .....	<b>17</b>
7.7	电气特性: $V_S = 1.8V$ 至 $5.5V$ .....	<b>8</b>	12.5	商标 .....	<b>17</b>
7.8	典型特性 .....	<b>9</b>	12.6	静电放电警告 .....	<b>17</b>
<b>8</b>	详细 说明 .....	<b>12</b>	12.7	Glossary .....	<b>17</b>
8.1	概述 .....	<b>12</b>	<b>13</b>	机械、封装和可订购信息 .....	<b>18</b>
8.2	功能框图 .....	<b>12</b>			

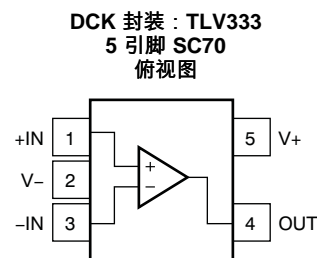
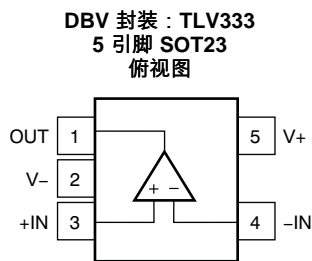
## 4 修订历史记录

日期	修订版本	注意
2015 年 12 月	*	初始发行版。

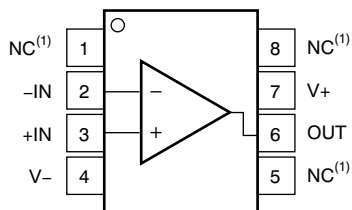
## 5 器件比较表

器件	通道数	封装-引线				
		SOIC	SOT23	SC70	VSSOP	TSSOP
TLV333	1	8	5	5	—	—
TLV2333	2	8	—	—	8	—
TLV4333	4	14	—	—	—	14

## 6 引脚配置和功能



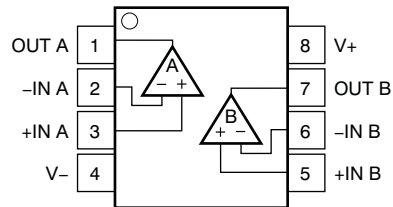
**D 封装 : TLV333**  
8 引脚小外形尺寸集成电路 (SOIC) 封装  
俯视图



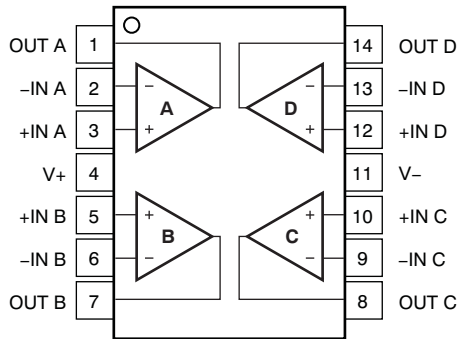
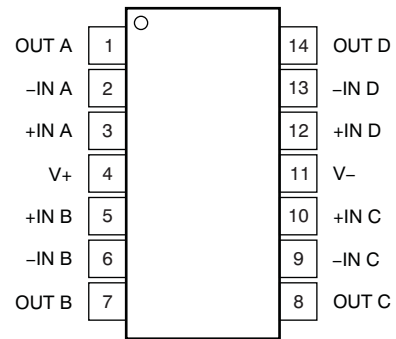
(1) NC 表示无内部连接。

### 引脚功能 : TLV333

名称	引脚			I/O	说明
	DBV (SOT23)	DCK (SC70)	D (SOIC)		
-IN	4	3	2	I	反相输入
+IN	3	1	3	I	同相输入
NC	—	—	1、5、8	—	无内部连接 (可以悬空)
OUT	1	4	6	O	输出
V-	2	2	4	—	负电源 (最低)
V+	5	5	7	—	正电源 (最高)

**D 封装 : TLV2333  
8 引脚 SOIC、VSSOP  
俯视图**

**引脚功能 : TLV2333**

引脚		I/O	说明
名称	编号		
	D (SOIC、VSSOP)		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
V-	4	—	负电源 (最低)
V+	8	—	正电源 (最高)

**D 封装 : TLV4333**  
**14 引脚 SOIC**  
 俯视图

**PW 封装 : TLV4333**  
**14 引脚 TSSOP**  
 俯视图

**引脚功能 : TLV4333**

名称	引脚		I/O	说明
	编号			
	D (SOIC)	PW (TSSOP)		
-IN A	2	2	I	反相输入, 通道 A
+IN A	3	3	I	同相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
+IN B	5	5	I	同相输入, 通道 B
-IN C	9	9	I	反相输入, 通道 C
+IN C	10	10	I	同相输入, 通道 C
-IN D	13	13	I	反相输入, 通道 D
+IN D	12	12	I	同相输入, 通道 D
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
OUT C	8	8	O	输出, 通道 C
OUT D	14	14	O	输出, 通道 D
V-	11	11	—	负电源 (最低)
V+	4	4	—	正电源 (最高)

## 7 技术规格

### 7.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) <sup>(1)</sup>

		最小值	最大值	单位
电源电压	$V_S = (V+) - (V-)$	7		V
信号输入引脚 <sup>(2)</sup>	电压	$(V-) - 0.3$	$(V+) + 0.3$	V
	电流	-10	10	mA
输出短路 <sup>(3)</sup>		连续		
温度	工作温度	-40	150	°C
	结温	150		
	贮存温度, $T_{stg}$	-65	150	

- (1) 超出绝对最大额定值下列值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的操作条件下的任何其它操作，在此并未说明。在绝对最大额定值条件下长时间运行会影响器件可靠性。
- (2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.3V 的输入信号，必须将其电流限定为不超过 10mA 或者更低。
- (3) 对地短路，每个封装对应一个放大器。

### 7.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±4000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	±1000	

- (1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

### 7.3 建议的工作条件

在自然通风温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
$V_S$	电源电压	1.8		5.5	V
	额定温度范围	-40		125	°C

**7.4 热性能信息：TLV333**

热指标 <sup>(1)</sup>	TLV333			单位
	D (SOIC)	DBV (SOT23)	DCK (SC70)	
	8 引脚	5 引脚	5 引脚	
R <sub>θJA</sub> 结至环境热阻	140.1	220.8	298.4	°C/W
R <sub>θJC(top)</sub> 结至外壳 (顶部) 热阻	89.8	97.5	65.4	°C/W
R <sub>θJB</sub> 结至电路板热阻	80.6	61.7	97.1	°C/W
Ψ <sub>JT</sub> 结至顶部的特征参数	28.7	7.6	0.8	°C/W
Ψ <sub>JB</sub> 结至电路板的特征参数	80.1	61.1	95.5	°C/W
R <sub>θJC(bot)</sub> 结至外壳 (底部) 热阻	不適用	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告，[SPRA953](#)。

**7.5 热性能信息：TLV2333**

热指标 <sup>(1)</sup>	TLV2333		单位
	D (SOIC)	DGK (VSSOP)	
	8 引脚	8 引脚	
R <sub>θJA</sub> 结至环境热阻	124.0	180.3	°C/W
R <sub>θJC(top)</sub> 结至外壳 (顶部) 热阻	73.7	48.1	°C/W
R <sub>θJB</sub> 结至电路板热阻	64.4	100.9	°C/W
Ψ <sub>JT</sub> 结至顶部的特征参数	18.0	2.4	°C/W
Ψ <sub>JB</sub> 结至电路板的特征参数	63.9	99.3	°C/W
R <sub>θJC(bot)</sub> 结至外壳 (底部) 热阻	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告，[SPRA953](#)。

**7.6 热性能信息：TLV4333**

热指标 <sup>(1)</sup>	TLV4333		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
R <sub>θJA</sub> 结至环境热阻	83.8	120.8	°C/W
R <sub>θJC(top)</sub> 结至外壳 (顶部) 热阻	70.7	34.3	°C/W
R <sub>θJB</sub> 结至电路板热阻	59.5	62.8	°C/W
Ψ <sub>JT</sub> 结至顶部的特征参数	11.6	1.0	°C/W
Ψ <sub>JB</sub> 结至电路板的特征参数	37.7	56.5	°C/W
R <sub>θJC(bot)</sub> 结至外壳 (底部) 热阻	不適用	不適用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告，[SPRA953](#)。

## 7.7 电气特性：V<sub>S</sub> = 1.8V 至 5.5V

在 T<sub>A</sub> = 25°C，R<sub>L</sub> = 10kΩ 且连接至 1/2 V<sub>S</sub>，V<sub>CM</sub> = V<sub>OUT</sub> = 1/2 V<sub>S</sub> 的条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
<b>失调电压</b>					
V <sub>OS</sub>	输入失调电压 <sup>(1)</sup>	V <sub>S</sub> = 5V	2	15	μV
dV <sub>OS</sub> /dT	V <sub>OS</sub> 温漂	T <sub>A</sub> = -40°C 至 +125°C	0.02		μV/°C
PSRR	电源抑制比	V <sub>S</sub> = 1.8V 至 5.5V	1	8	μV/V
	长期稳定性 <sup>(2)</sup>		1 <sup>(2)</sup>		μV
	通道分离，直流		0.1		μV/V
<b>输入偏置电流</b>					
I <sub>B</sub>	输入偏置电流		±70		pA
	全温度范围内输入偏置电流	T <sub>A</sub> = -40°C 至 +125°C	±150		pA
I <sub>OS</sub>	输入失调电流		±140		pA
<b>噪声</b>					
e <sub>n</sub>	输入电压噪声密度	f = 1kHz	55		nV/√Hz
	输入电压噪声	f = 0.01Hz 至 1Hz	0.3		μV <sub>PP</sub>
		f = 0.1Hz 至 10Hz	1.1		
i <sub>n</sub>	输入电流噪声密度	f = 10Hz	100		fA/√Hz
<b>输入电压范围</b>					
V <sub>CM</sub>	共模电压范围		(V-) - 0.1	(V+) + 0.1	V
CMRR	共模抑制比	(V-) - 0.1V < V <sub>CM</sub> < (V+) + 0.1V	102	115	dB
<b>输入电容</b>					
	差模		2		pF
	共模		4		
<b>开环增益</b>					
A <sub>OL</sub>	开环电压增益	(V-) + 0.1V < V <sub>O</sub> < (V+) - 0.1V	102	130	dB
<b>频率响应</b>					
GBW	增益带宽积	C <sub>L</sub> = 100pF	350		kHz
SR	压摆率	G = 1	0.16		V/μs
<b>输出</b>					
	相对于电源轨的电源轨的电压输出摆幅	T <sub>A</sub> = -40°C 至 +125°C	30	70	mV
I <sub>SC</sub>	短路电流		±5		mA
C <sub>L</sub>	容性负载驱动		请参阅 <a href="#">典型特性</a>		
Z <sub>O</sub>	开环输出阻抗	f = 350kHz，I <sub>O</sub> = 0mA	2		kΩ
<b>电源</b>					
V <sub>S</sub>	额定电压范围		1.8	5.5	V
I <sub>Q</sub>	静态电流（每个放大器）	I <sub>O</sub> = 0mA，T <sub>A</sub> = -40°C 至 +125°C	17	28	μA
	开通时间	V <sub>S</sub> = 5V	100		μs
<b>温度范围</b>					
	额定温度范围		-40	125	°C
	工作范围		-40	150	°C
	储存温度		-65	150	°C

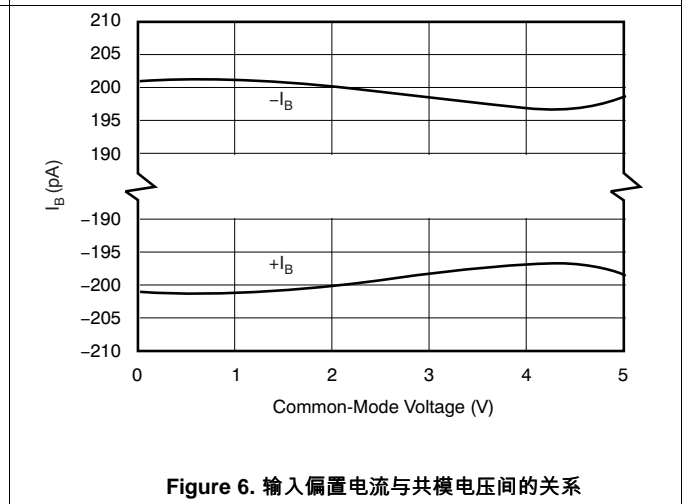
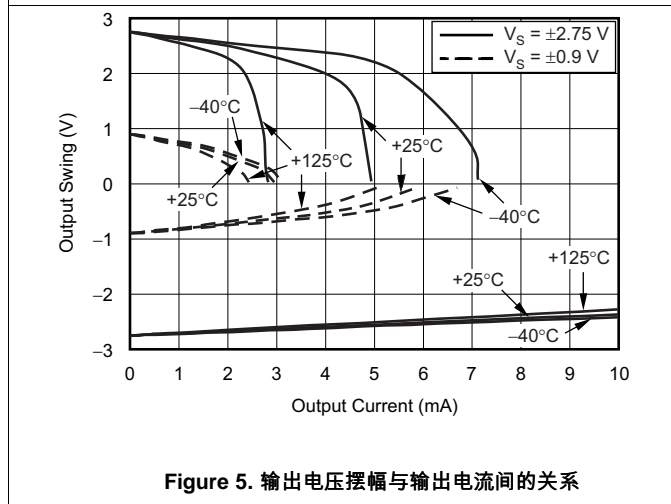
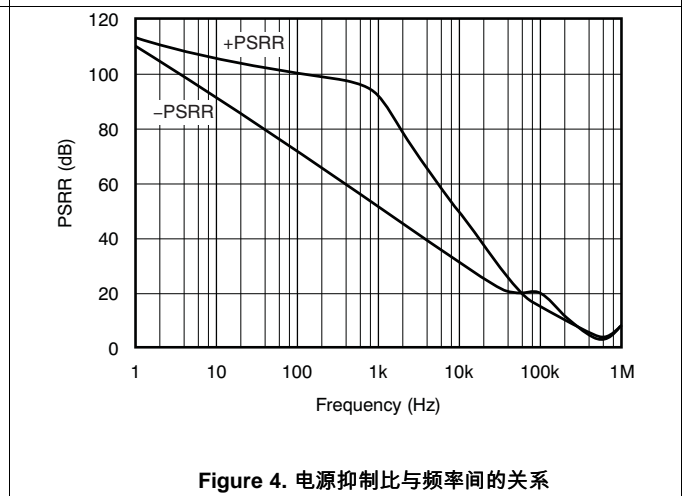
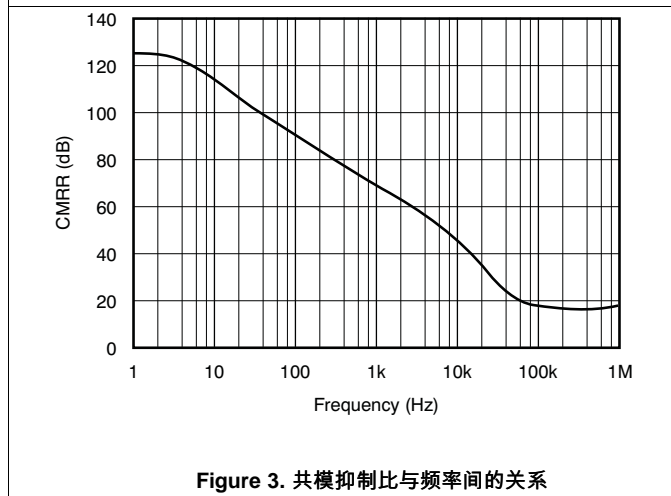
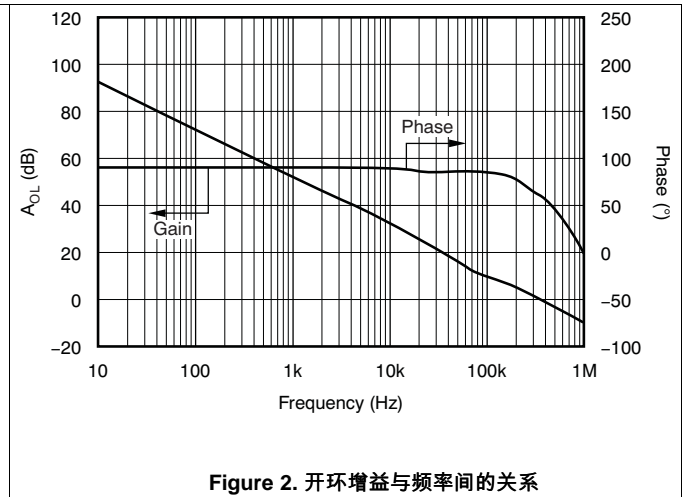
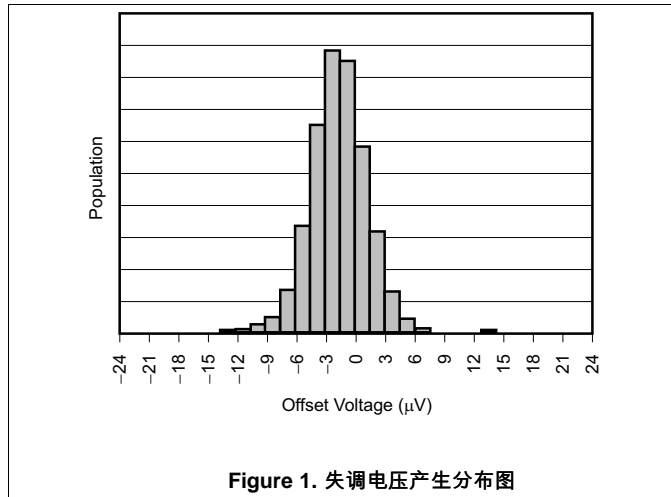
(1) 取决于具体的设计和特性。所有放大器均在 25°C 下经过了生产筛查，从而减少了缺陷单元的数量。

(2) 在 150°C 下 300 小时的使用寿命试验表明，随机分布变化值约为 1μV。



### 7.8 典型特性

在  $T_A = 25^\circ\text{C}$ ,  $C_L = 0\text{pF}$ ,  $R_L = 10\text{k}\Omega$  且连接至  $1/2 V_S$ ,  $V_{CM} = V_{OUT} = 1/2 V_S$  的条件下测得 (除非另有说明)



典型特性 (continued)

在  $T_A = 25^\circ\text{C}$ ,  $C_L = 0\text{pF}$ ,  $R_L = 10\text{k}\Omega$  且连接至  $1/2 V_S$ ,  $V_{CM} = V_{OUT} = 1/2 V_S$  的条件下测得 (除非另有说明)

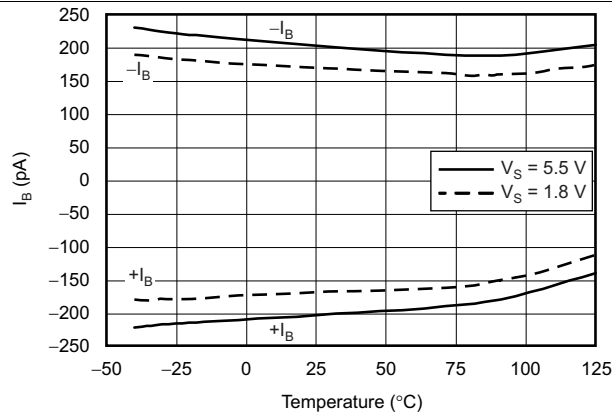


Figure 7. 全温度范围内输入偏置电流

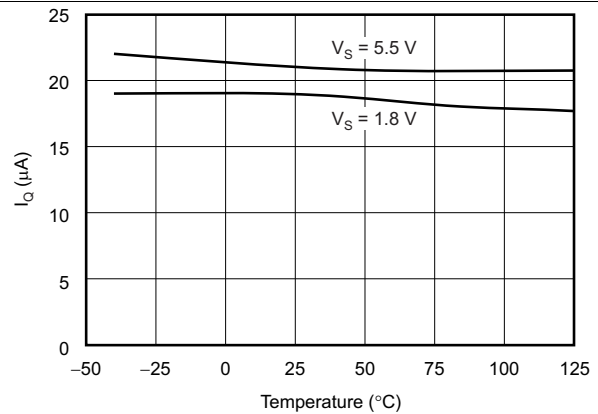


Figure 8. 静态电流与温度间的关系

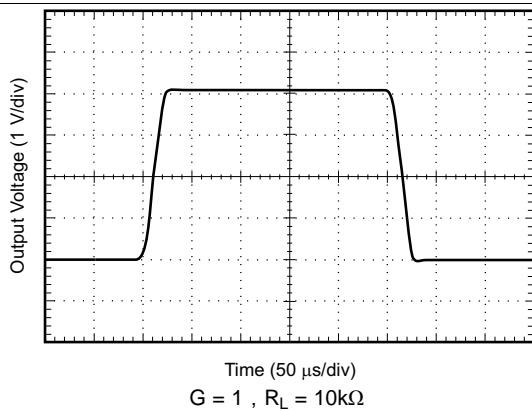


Figure 9. 大信号阶跃响应

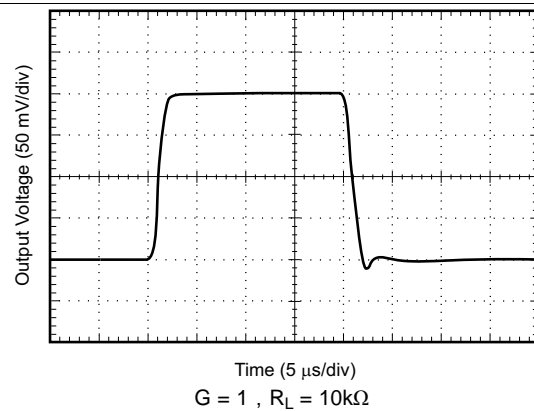


Figure 10. 小信号阶跃响应

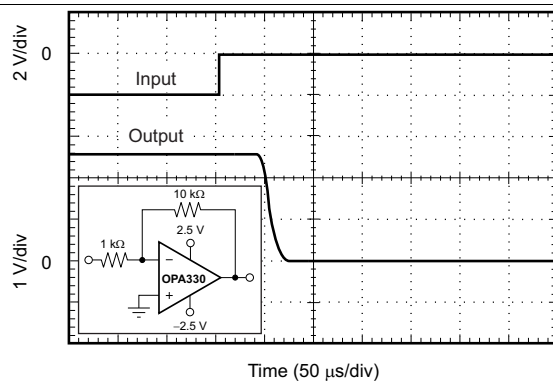


Figure 11. 正过压恢复

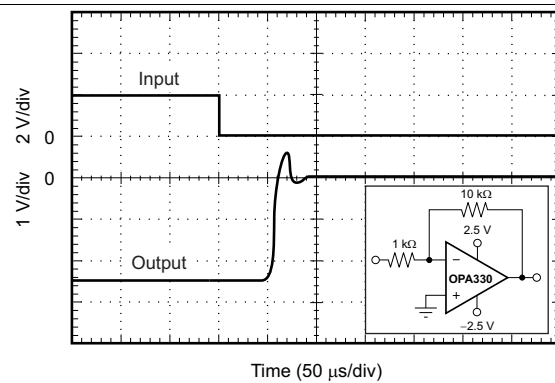


Figure 12. 负过压恢复

典型特性 (continued)

在  $T_A = 25^\circ\text{C}$ ,  $C_L = 0\text{pF}$ ,  $R_L = 10\text{k}\Omega$  且连接至  $1/2 V_s$ ,  $V_{CM} = V_{OUT} = 1/2 V_s$  的条件下测得 (除非另有说明)

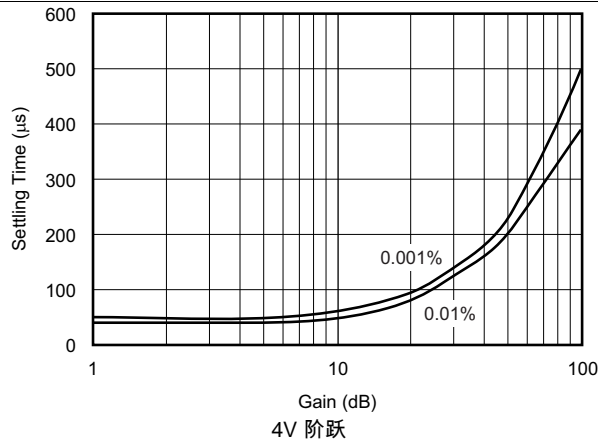


Figure 13. 稳定时间与闭环增益间的关系

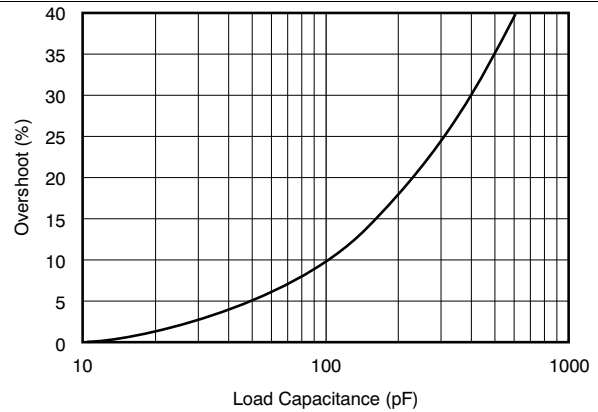


Figure 14. 小信号过冲与负载电容间的关系

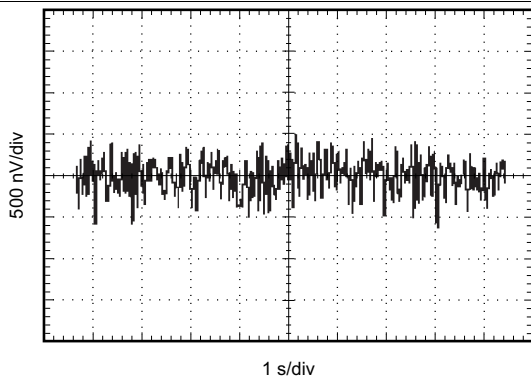


Figure 15. 0.1Hz 至 10Hz 噪声

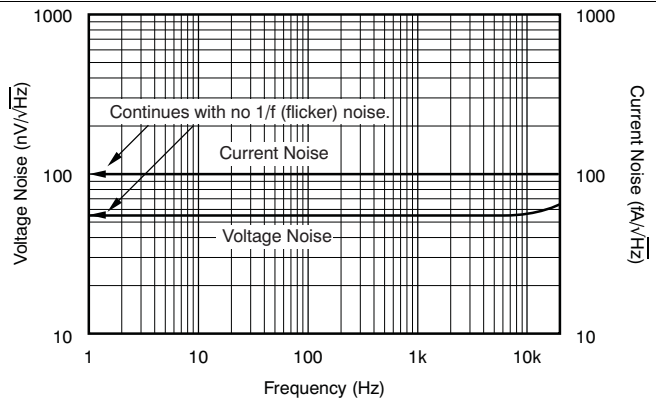


Figure 16. 电流和电压噪声频谱密度与频率间的关系

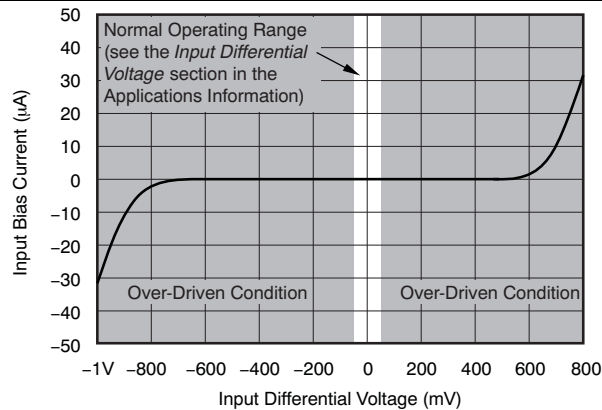


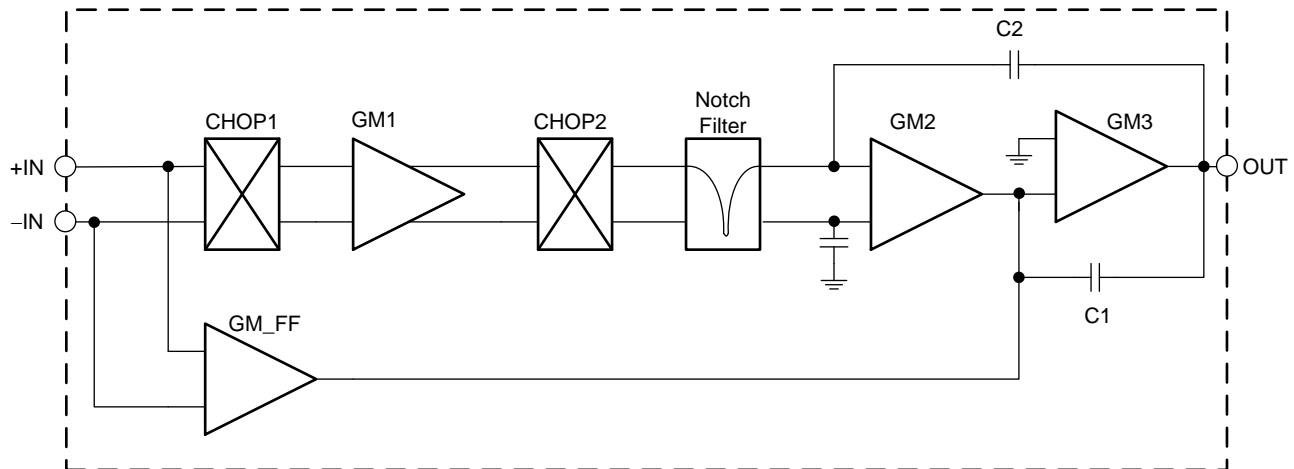
Figure 17. 输入偏置电流与输入差分电压间的关系

## 8 详细 说明

### 8.1 概述

TLVx333 系列运算放大器成本低，单位增益稳定，并且不会出现意外输出相位反转。这些器件采用专有自动校准技术，随着时间推移和温度的变化可以提供低失调电压和极低漂移。此外，TLVx333 系列还提供轨至轨输入和输出以及几乎不变的  $1/f$  噪声特性。得益于这些特性，该系列的运算放大器是众多应用的理想之选，而且更容易涉及到各类系统之中。

### 8.2 功能框图



### 8.3 特性 说明

TLV333、TLV2333 和 TLV4333 系列精密运算放大器单位增益稳定，并且不会出现意外输出相位反转。采用了专有零漂移电路，可随时间推移和温度变化实现低输入失调电压，并降低  $1/f$  噪声分量。凭借高 PSRR，这些器件能够在直接依靠电池电源运行的应用中正常运行，而无需调节。TLV333 系列针对低电压、单通道电源操作进行了优化。在正常测试条件下，这些高精度、低静态电流微型放大器可提供高阻抗输入（共模范围在电源基础上向外扩展了 100mV）和轨至轨输出（摆幅在电源上下 100mV 以内）。TLV333 系列高精度运算放大器适用于低成本的应用中。

#### 8.3.1 工作电压

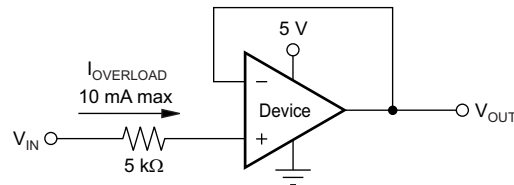
TLV333 系列运算放大器可使用单通道电源或双通道电源，工作范围为  $V_S = 1.8V (\pm 0.9V)$  至  $5.5V (\pm 2.75V)$ 。电源电压大于 7V 可能会对器件造成永久损坏（请参阅绝对最大额定值表）。典型特性部分列出了随电源电压或温度范围而变化的主要参数。

## 特性说明 (continued)

### 8.3.2 输入电压

TLV333、TLV2333 和 TLV4333 系列的输入共模电压范围在电源轨基础上向外扩展了 0.1V。TLV333 专为支持全范围而设计，而且不设麻烦的转换区域，这往往是许多其他轨至轨放大器的通病。

通常，输入偏置电流约为 200pA；但是，超出电源电压的输入电压可能导致过多电流流入或流出输入引脚。如果输入电流不超过 10mA，则系统可以承受超过电源电压的瞬时电压。可通过输入电阻器轻松实现此限制，如 Figure 18 中所示。



NOTE: 如果输入电压超过电源轨 0.3V 或更高，则需要限流电阻器。

Figure 18. 输入电流保护

### 8.3.3 内部失调校正

TLV333、TLV2333 和 TLV4333 运算放大器将自动校准技术与信号路径中的连续时域 125kHz 运算放大器结合使用。此类放大器每 8μs 通过专有技术进行一次零点校正。启动后，放大器需要约 100μs 来达到额定的  $V_{OS}$  精度。此设计没有混叠或闪烁噪声。

### 8.3.4 实现到运算放大器负轨的输出摆幅

有些应用要求输出电压摆幅的范围介于 0V 和正满量程电压（如 2.5V）之间，而且需要出色的精度。对于大多数单通道电源运算放大器来说，如果输出信号接近 0V（接近单通道电源运算放大器的输出摆幅下限），就会出现这个问题。出色的单通道电源运算放大器可以摆动到非常接近于单通道电源的地，但不会等于地电平。在单通道电源运行的情况下，TLV333、TLV2333 和 TLV4333 的输出能够摆动到接地或稍微低于地面。摆动到接地需要使用另一个电阻器和另一个比运算放大器负电源负性更大的电源。在输出和另一个负电源之间连接一个下拉电阻器，以将输出下拉至低于输出可以达到的值，如 Figure 19 中所示。

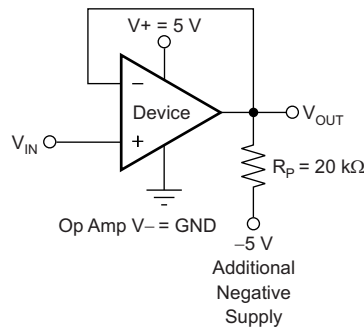


Figure 19.  $V_{OUT}$  接地范围

## 特性说明 (continued)

借助前述技术，TLV333、TLV2333 和 TLV4333 拥有的输出级允许输出电压被拉低至负电源轨或稍低的位置。该技术仅适用于某些类型的输出级。TLV333、TLV2333 和 TLV4333 非常适合结合该技术使用；推荐的电阻值约为 20kΩ。请注意，此配置会使电流的消耗增加数百微安。精度在电压降至 0V 甚至低至 -2mV 时非常出色。低于 -2mV 即会出现限制和非线性，但当输出再次驱动到 -2mV 以上之后便会恢复出色的精度。降低下拉电阻器的电阻让运算放大器能够摆动到低于负轨。使用低至 10kΩ 的电阻可以在低至 -10mV 时实现出色的精度。

### 8.3.5 输入差分电压

TLV333 在正常运行期间的典型输入偏置电流约为 200pA。在过载情况下，偏置电流会大幅增加（请参阅 Figure 17）。当运算放大器超出线性运行范围时，最有可能出现过载。当运算放大器的输出被驱动至其中一个电源轨时，将无法反馈环路的要求，然后各输入引脚会出现差分输入电压。此差分输入电压会激活前端输入切断开关内的寄生二极管，该器件可与 10kΩ 电磁干扰 (EMI) 滤波器电阻结合形成的等效电路，如 Figure 20 所示。请注意，输入偏置电流仍保持在线性区域的规格范围内。

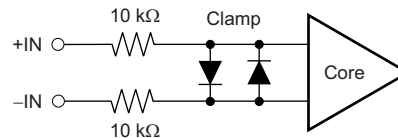


Figure 20. 等效输入电路

### 8.3.6 EMI 敏感性和输入滤波

不同的运算放大器对于 EMI 的敏感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流失调值在出现 EMI 时可能偏离其标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是输入引脚可能是最易受影响的。TLV333 运算放大器系列内部包含了输入低通滤波器，该滤波器可减少放大器对 EMI 的影响。此输入滤波器提供共模和差模滤波。此滤波器截止频率 8M (-3dB)，具有 20 dB 每 10 倍频程的下降率。

## 8.4 器件功能模式

TLV333 器件拥有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就会启动。

## 9 应用和实现

### NOTE

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

### 9.1 系统示例

Figure 21 给出了桥式放大器的基本配置。

Figure 22 显示了低侧电流分流监控器。

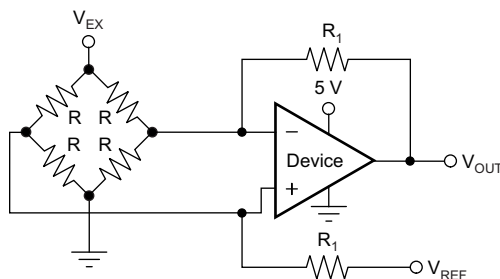
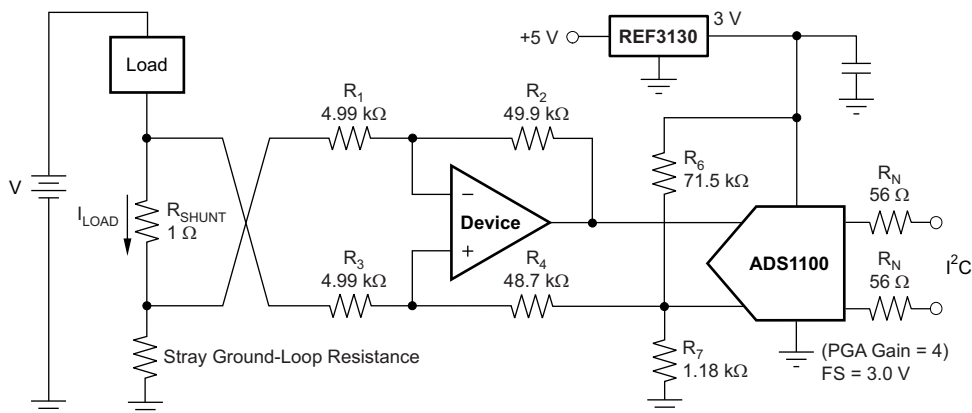


Figure 21. 单路运算放大器桥式放大器



Copyright © 2016, Texas Instruments Incorporated

NOTE: 1% 电阻器可在存在较小的接地回路误差时提供充足的共模抑制。

Figure 22. 低侧电流监控器

$R_N$  是运算电阻器，用于将 ADS1100 与数字 I<sup>2</sup>C 总线的噪声隔离。由于 ADS1100 是 16 位转换器，基准源的精度对于实现最大精度至关重要。如果不需要绝对精度，则 5V 电源就足够稳定，因此可省去 REF3130。

Figure 23 显示了典型热敏电阻电路中的 TLV333。

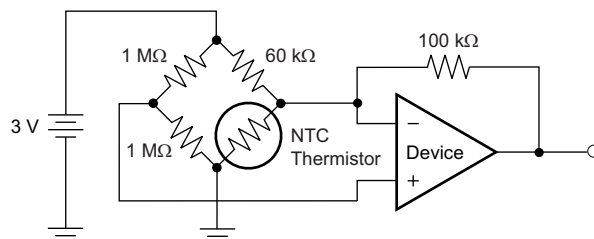


Figure 23. 热敏电阻测量

## 10 电源相关建议

TLV333 的额定工作电压范围是 1.8V 至 5.5V ( ±0.9V 至 ±2.75V )；多种技术规格适用于 -40°C 至 +125°C 的温度范围。[典型特性](#) 部分提供的参数可能随工作电压或温度出现显著变化。

**CAUTION**

电源电压大于 7V 可能对器件造成永久损坏 ( 请参阅 [绝对最大额定值](#) 表 )。

将 0.1μF 旁路电容器置于电源引脚附近，提供低阻态回路降低电源从噪声源等耦合来的噪声。有关旁路电容位置的详细信息，请参阅 [布局](#) 部分。

## 11 布局

### 11.1 布局准则

#### 11.1.1 通用布局准则

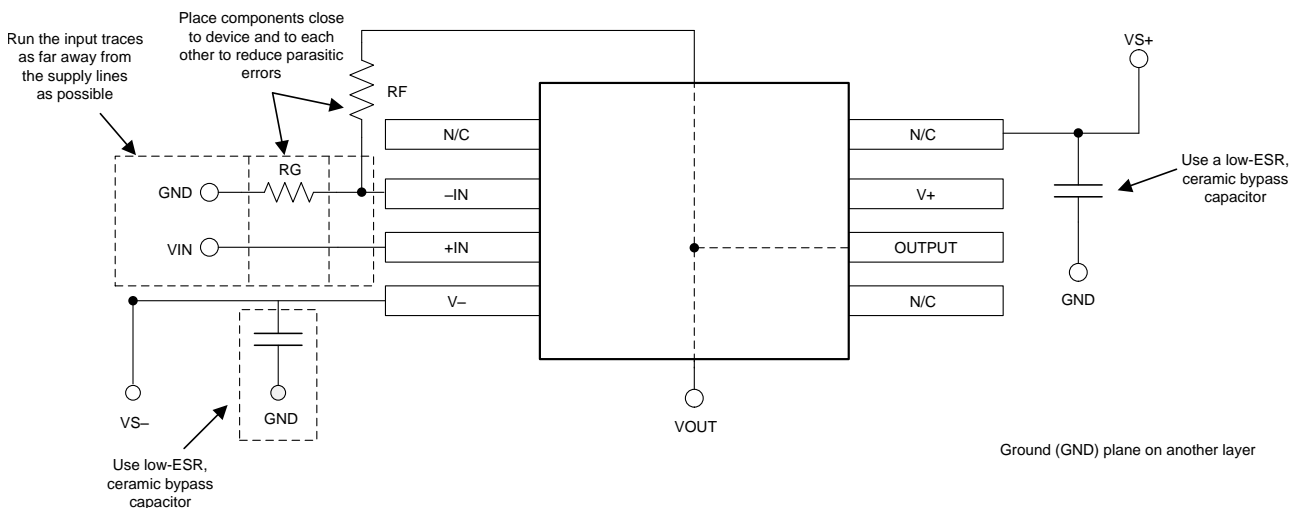
强烈建议您采用优秀的布局规范。尽量缩短走线；如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将 0.1μF 电容器放置在尽可能靠近电源引脚的位置。在整个模拟电路中贯彻应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 敏感性。

如要获得最低的失调电压和精度性能，必须优化电路布局和机械条件。避免在因连接不均质导体形成的热电偶结中产生热电 ( 塞贝克 ) 效应的温度梯度。通过确保两个输入端子的电势等效，可以消除这些热电产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件 ( 避免异种金属 )。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流 ( 如冷却风扇气流 ) 隔离。

遵循这些准则会降低在不同温度下产生结的可能性，从而达到 0.1μV/°C 或更高的热电压，具体取决于所使用的材料。

### 11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

Figure 24. 布局示例



## 12 器件和文档支持

### 12.1 器件支持

#### 12.1.1 开发支持

关于此产品的开发支持，请参阅以下内容：

- 高侧 V-I 转换器，0V 至 2V，0mA 至 100mA，1% 满量程误差，[TIPD102](#)
- 低电平 V-I 转换器参考设计，0V 至 5V 输入，0 $\mu$ A 至 5 $\mu$ A 输出，[TIPD107](#)
- 18位、1MSPS、串行接口、低功耗、真正差动输入 SAR ADC，[ADS8881](#)
- 超低功耗、高速、轨到轨输入/输出、电压反馈运算放大器，[THS4281](#)
- 优化为最低失真、最低噪声、18 位、1MSPS 的数据采集参考设计，[TIPD115](#)
- 自校准 16 位模数转换器，[ADS1100](#)
- 最高 20ppm/ $^{\circ}$ C、100 $\mu$ A、SOT23-3 系列电压基准，[REF3130](#)

### 12.2 文档支持

#### 12.2.1 相关文档

相关文档如下：

- 《QFN/SON PCB 连接》，[SLUA271](#)
- 《四方扁平无引线逻辑器件封装》，[SCBA017](#)

### 12.3 相关链接

**表 1** 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

**表 1. 相关链接**

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV333	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>
TLV2333	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>
TLV4333	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>	<a href="#">请单击此处</a>

### 12.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

**TI E2E™ 在线社区** *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 [e2e.ti.com](http://e2e.ti.com) 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

**设计支持** *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

### 12.5 商标

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

### 12.6 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

### 12.7 Glossary

**SLYZ022** — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

### 13 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV2333IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	12Z6	<a href="#">Samples</a>
TLV2333IDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	12Z6	<a href="#">Samples</a>
TLV2333IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV233	<a href="#">Samples</a>
TLV3331DBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	12YD	<a href="#">Samples</a>
TLV3331DBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	12YD	<a href="#">Samples</a>
TLV3331DCKR	ACTIVE	SC70	DCK	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	12B	<a href="#">Samples</a>
TLV3331DCKT	ACTIVE	SC70	DCK	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	12B	<a href="#">Samples</a>
TLV3331DR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV333	<a href="#">Samples</a>
TLV4333IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4333	<a href="#">Samples</a>
TLV4333IPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV4333	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

**TBD:** The Pb-Free/Green conversion plan has not been defined.

**Pb-Free (RoHS):** TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

**Pb-Free (RoHS Exempt):** This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

**Green (RoHS & no Sb/Br):** TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

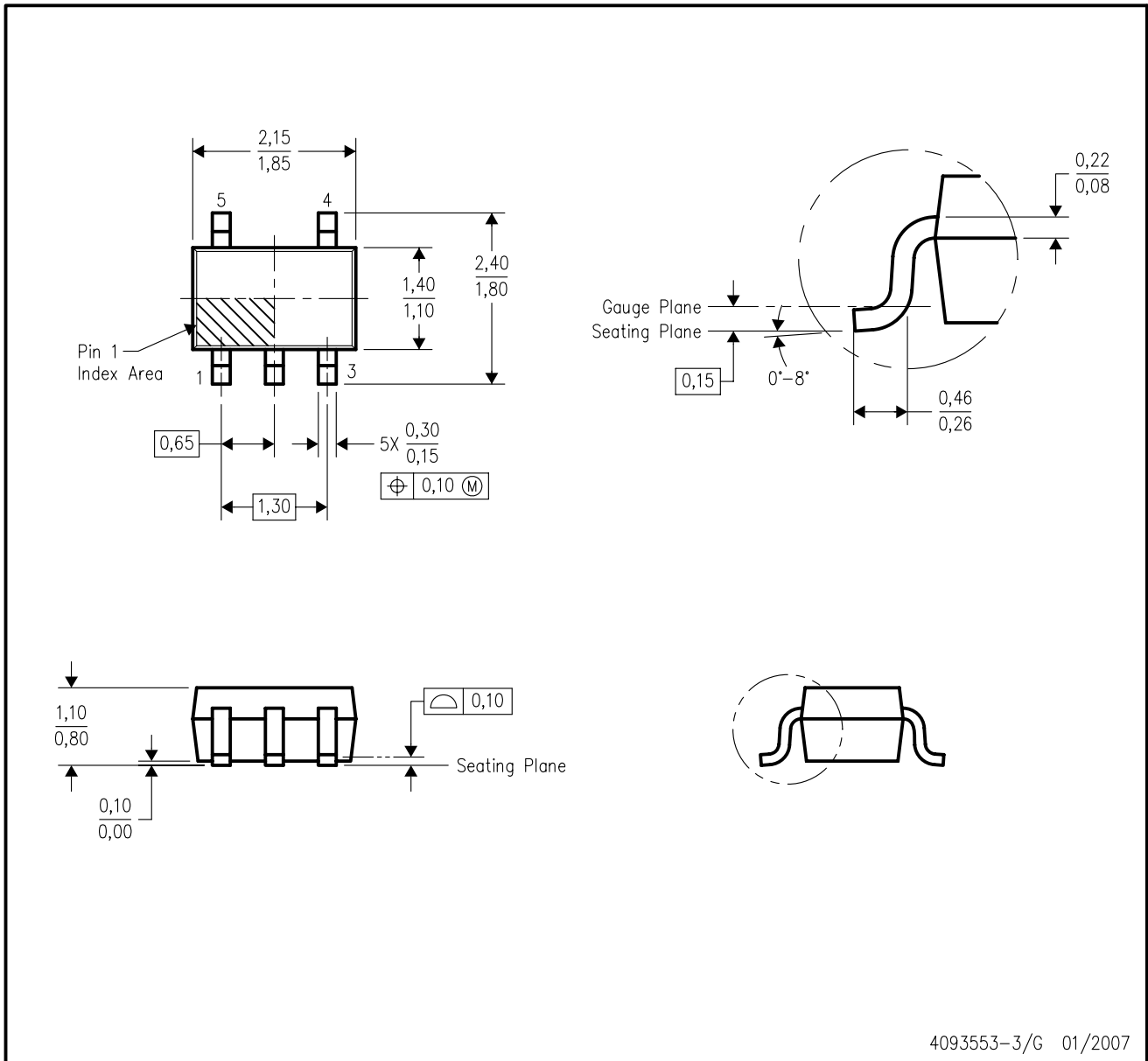
- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DCK (R-PDSO-G5)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
  - D. Falls within JEDEC MO-203 variation AA.

DCK (R-PDSO-G5)

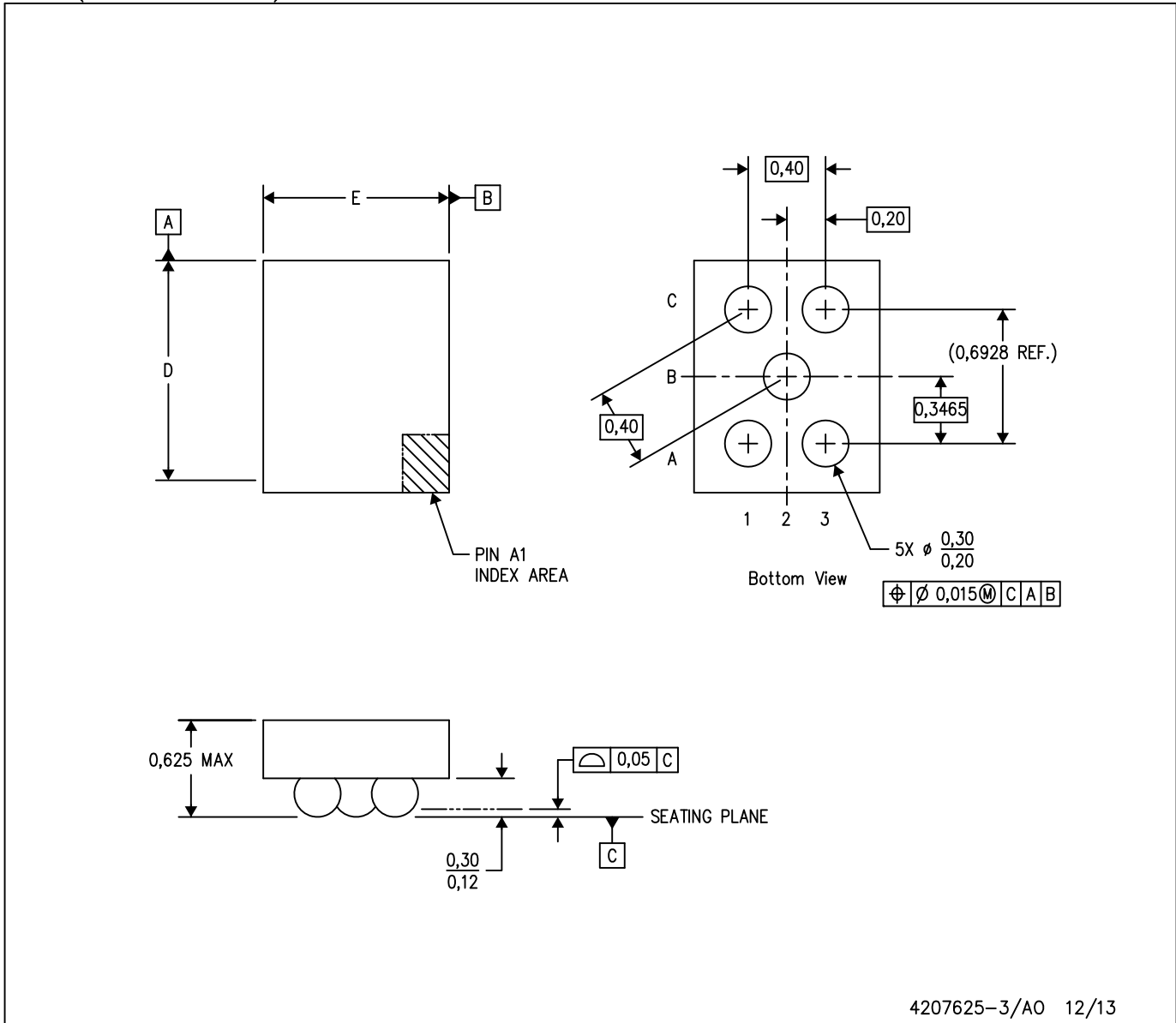
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
  - D. Publication IPC-7351 is recommended for alternate designs.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

YFF (S-XBGA-N5)

DIE-SIZE BALL GRID ARRAY




- NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.  
 B. This drawing is subject to change without notice.  
 C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD

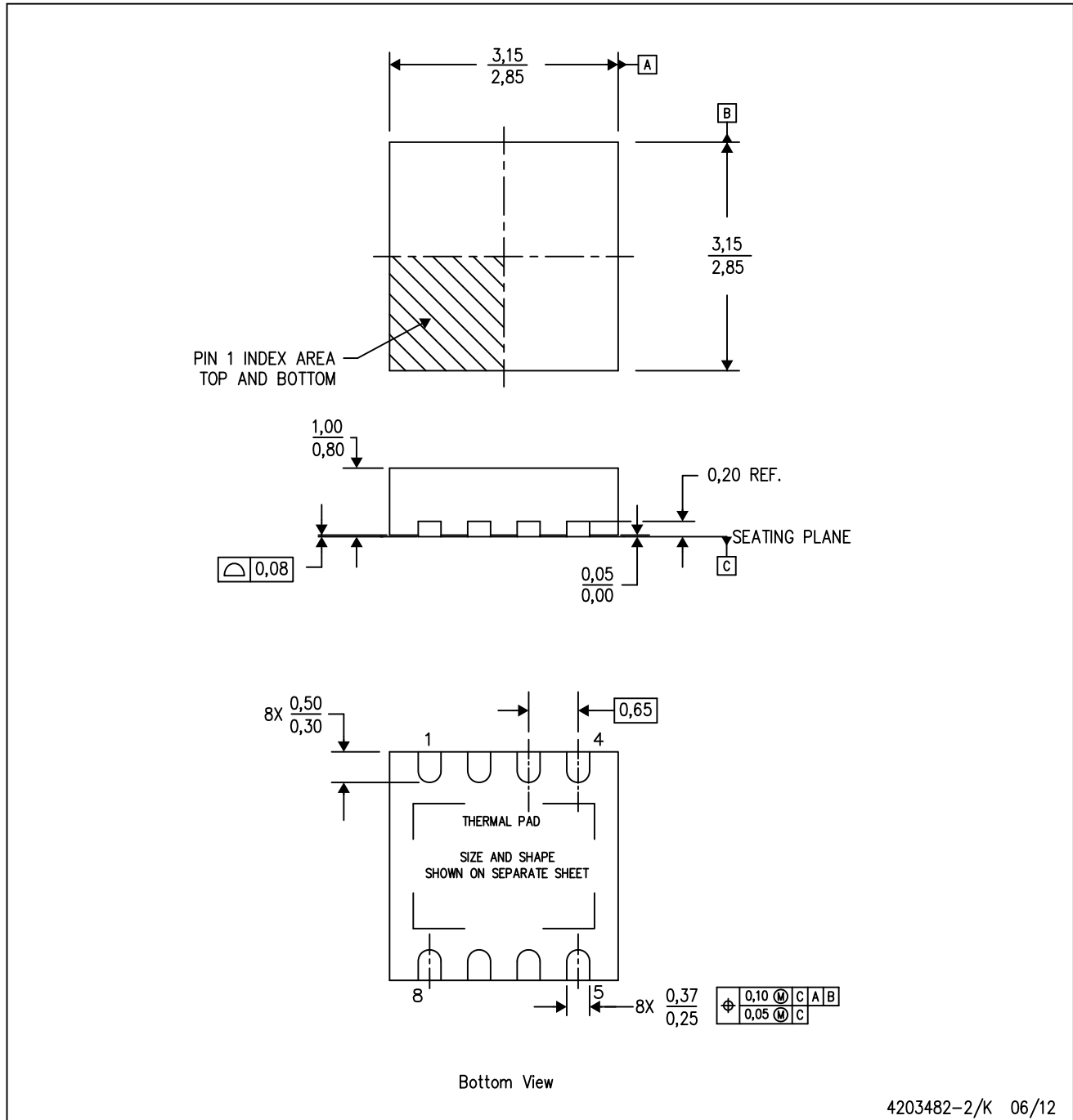


- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. QFN (Quad Flatpack No-Lead) package configuration.
  - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
  -  Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
  - G. Package complies to JEDEC MO-241 variation BA.



DRB (S-PVSON-N8)

PLASTIC SMALL OUTLINE NO-LEAD

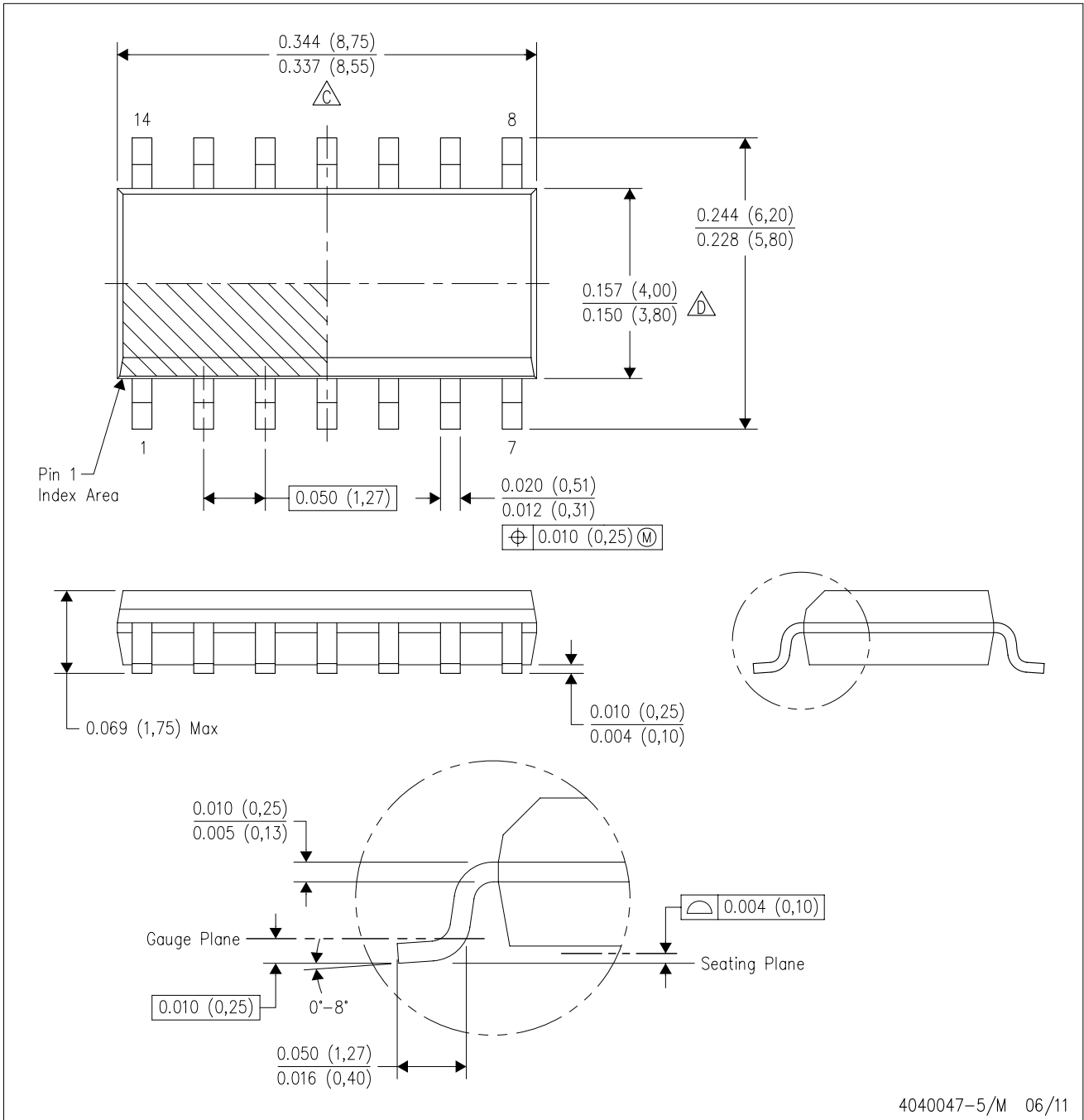


4203482-2/K 06/12

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - This drawing is subject to change without notice.
  - Small Outline No-Lead (SON) package configuration.
  - The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
  - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
  - E. Falls within JEDEC MO-153

PW (R-PDSO-G14)

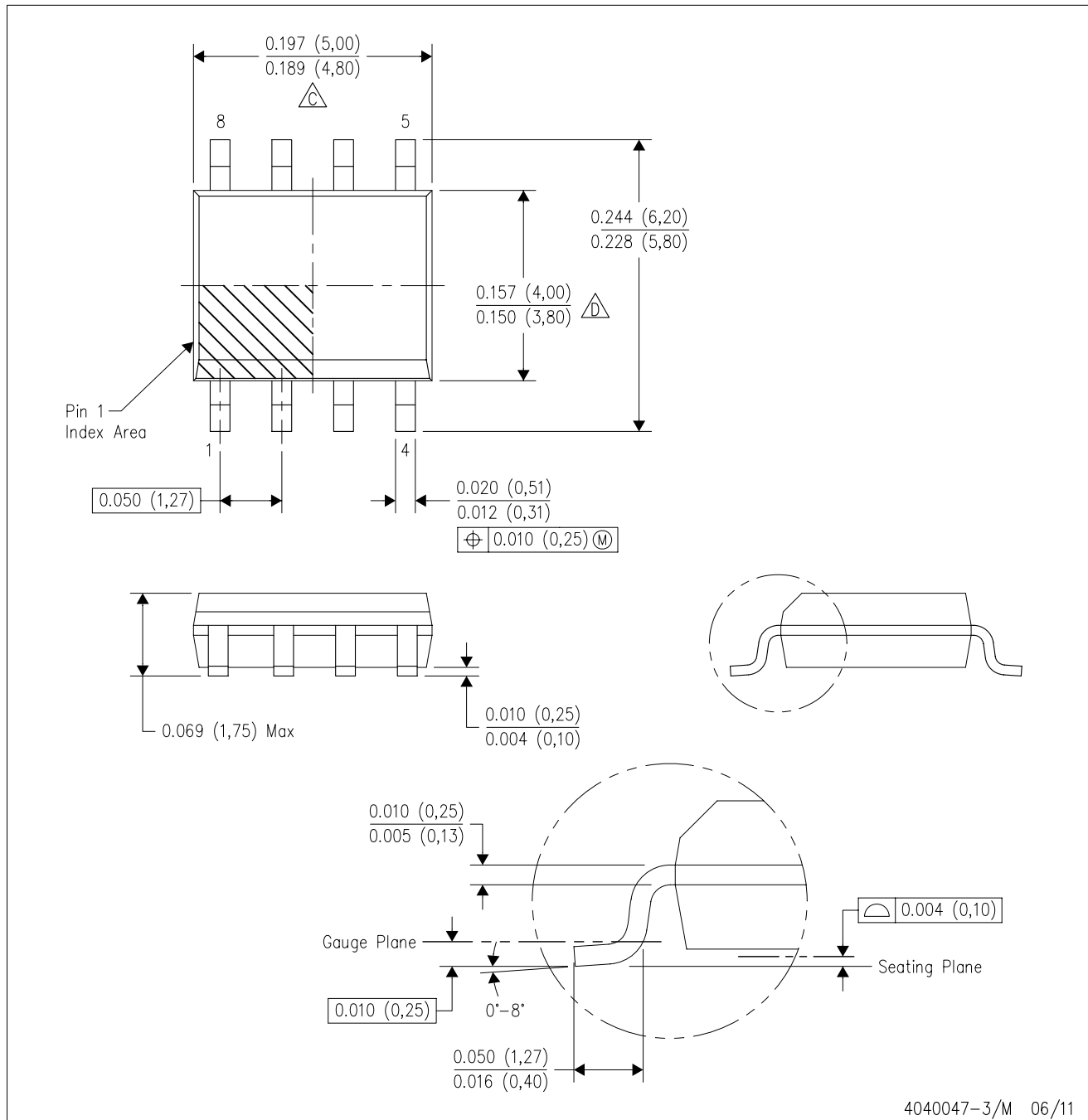
PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  - Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AA.

D (R-PDSO-G8)

PLASTIC SMALL OUTLINE

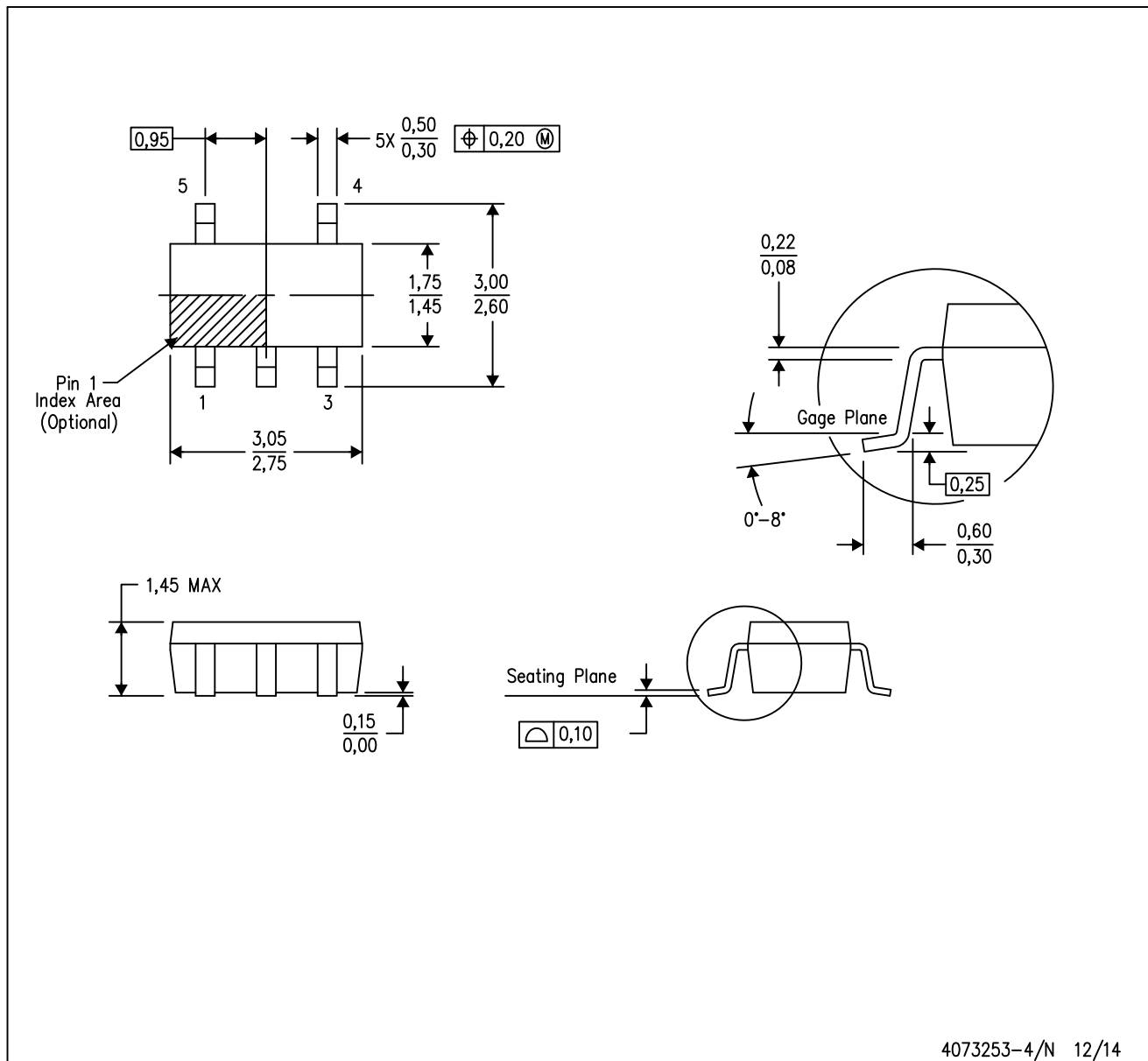


4211283-2/E 08/12

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

DBV (R-PDSO-G5)

PLASTIC SMALL-OUTLINE PACKAGE



4073253-4/N 12/14

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
  - D. Falls within JEDEC MO-178 Variation AA.



DBV (R-PDSO-G5)

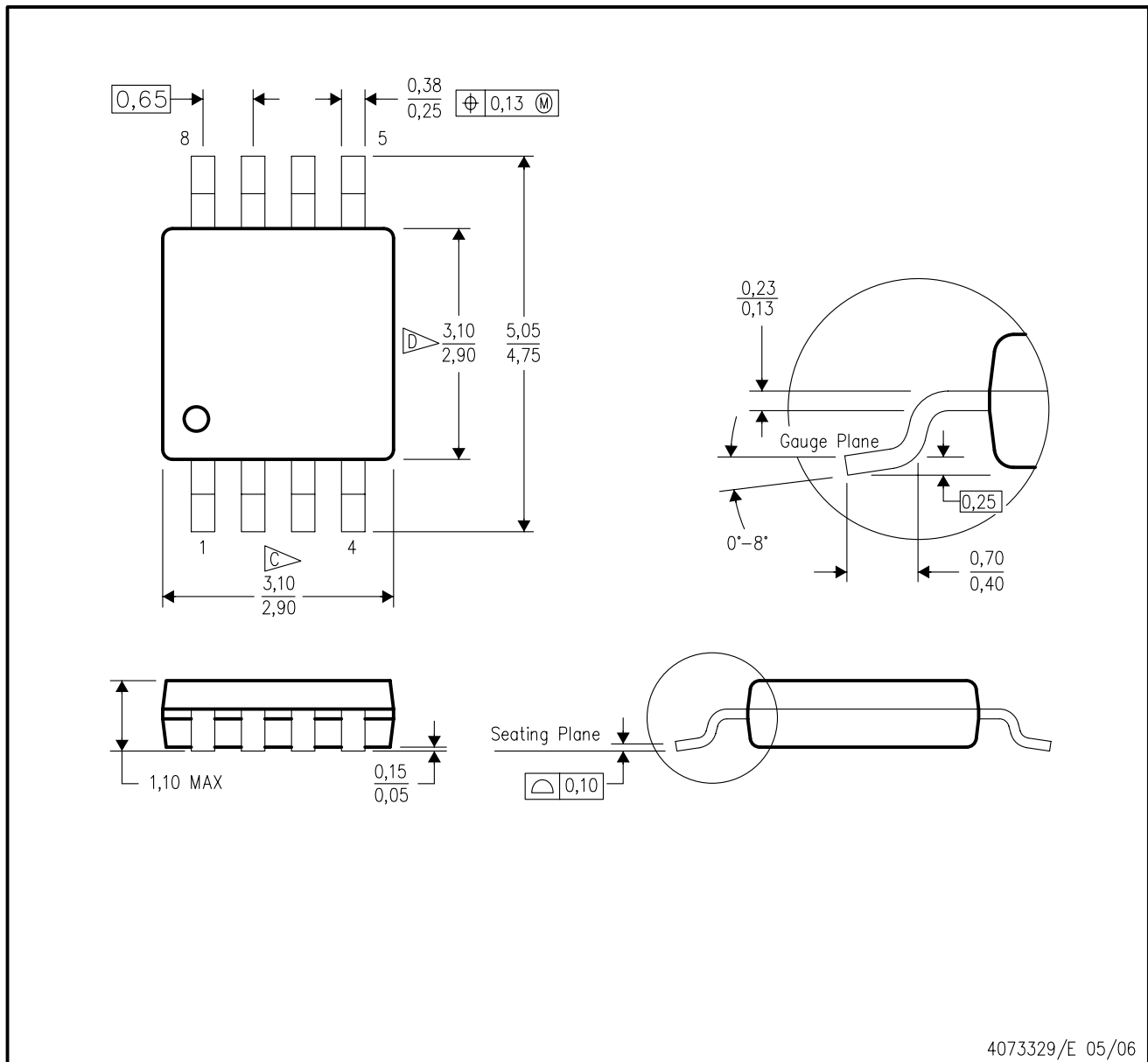
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
  - D. Publication IPC-7351 is recommended for alternate designs.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
  - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
  - E. Falls within JEDEC MO-187 variation AA, except interlead flash.



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

## 重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用中所用 TI 产品的功能。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或暗示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与美国 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默认为的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122  
Copyright © 2017 德州仪器半导体技术（上海）有限公司