

# LT8920

## 2.4G 可变数据率射频芯片

### 芯片特点

- 包括射频前端和数字基带的单芯片解决方案。
- 支持跳频
- 支持 SPI 和 I2C 接口
- 内置 auto\_ack 功能
- 数据率 1Mbps, 250Kbps, 125Kbps, 62.5Kbps
- 1Mbps 时同步位为 64bits, 48bits, 32bits, 16bits; 250Kbps, 125Kbps, 62.5Kbps 时同步位为 32bits, 16bits。推荐使用 32bits, 容错 1bits。
- 极低功耗
- 支持信号能量检测
- 单芯片传输距离 200 米
- 支持 SOP16 和 TSSOP16 的封装



### 典型应用

- 遥控
- 无线键盘鼠标
- 无线组网
- 智能家居
- 工业和商用近距离通信
- IP 电话, 无绳电话
- 机器间相互通信

### 芯片简介

LT8920 是一款低成本, 高集成度的 2.4GHZ 的无线收发芯片, 片上集成发射机, 接收机, 频率综合器, GFSK 调制解调器。发射机支持功率可调, 接收机采用数字扩展通信机制, 在复杂环境和强干扰条件下, 可以达到优良的收发性能。外围电路简单, 只需搭配 MCU 以及少数外围被动器件。LT8920 传输 GFSK 信号, 发射功率最大可以到 6dBm。接收机采用低中频结构, 接收灵敏度可以达到-96dBm@62.5Kbps。数字信道能量检测可以随时监控信道质量。

片上的发射接收 FIFO 寄存器可以和 MCU 进行通信, 存储数据, 然后在空中传输。它内置了 CRC, FEC, auto-ack 和重传机制, 可以大大简化系统设计并优化性能。

数字基带支持 4 线 SPI 和 2 线 I2C 接口, 此外还有 Reset, Pkt\_flag, Fifo\_flag 三个数字接口。

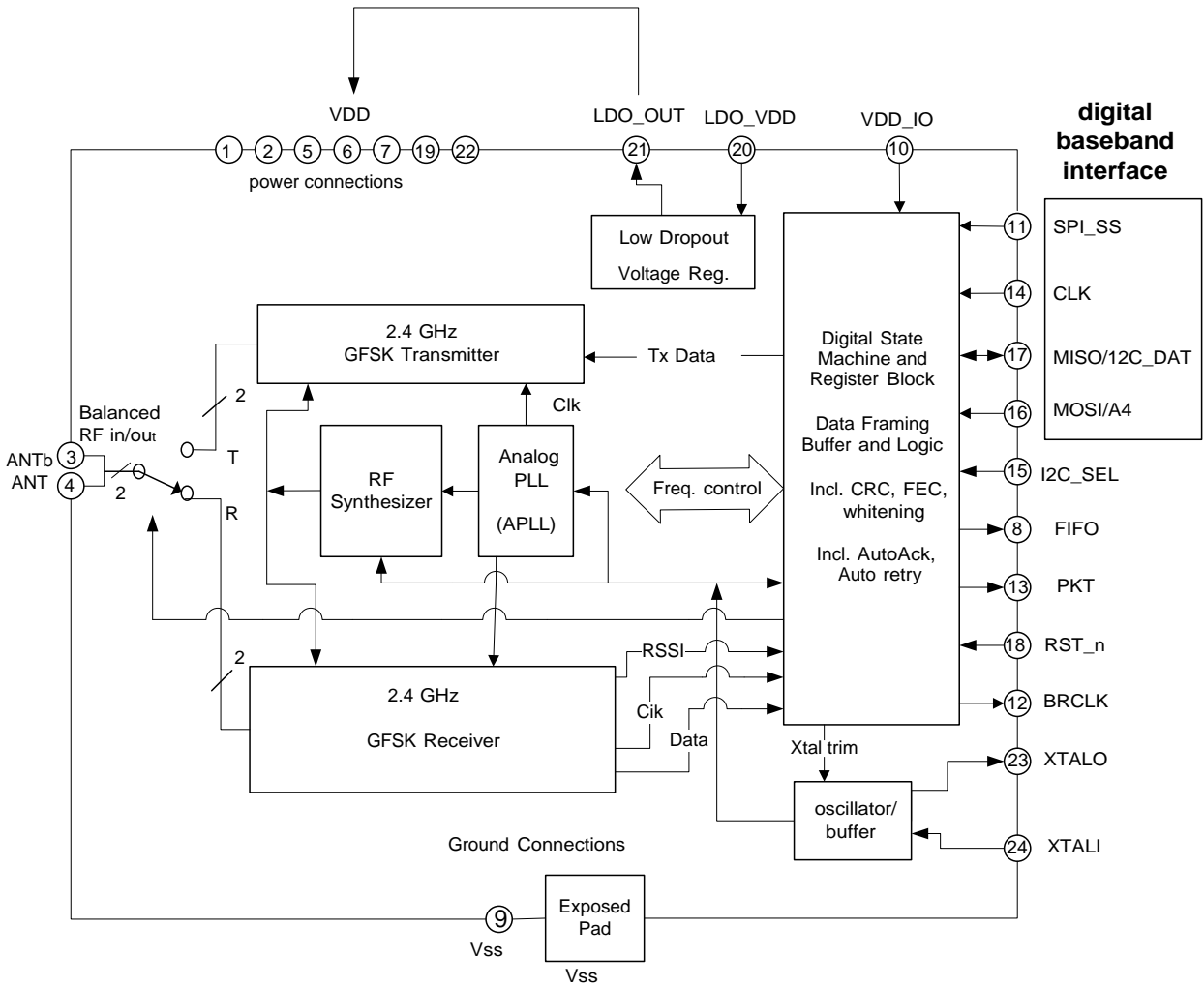
为了提高电池使用寿命, 芯片在各个环节都降低功耗, 芯片最低工作电压可以到 1.9V, 在保持寄存器值条件下, 最低电流为 1uA。

芯片采用 TSSOP16 和 SOP16 封装, 符合 RoHS 标准。

1.	模块方框图.....	4
2.	极限值.....	5
3.	电气特性.....	6
4.	典型应用.....	9
5.	管脚描述.....	10
6.	SPI 接口.....	12
6.1.	SPI 默认格式.....	12
6.2.	SPI Optional Format.....	12
6.3.	SPI 时序要求.....	12
7.	IIC 接口.....	14
7.1.	I2C 命令格式.....	14
7.2.	I2C 特性.....	14
7.3.	I2C 器件地址.....	15
8.	状态机框图.....	16
9.	寄存器信息.....	17
9.1.	Register 3 - Read only.....	17
9.2.	Register 6 - Read only.....	17
9.3.	Register 7.....	17
9.4.	Register 9.....	18
9.5.	Register 10.....	18
9.6.	Register 11.....	18
9.7.	Register 23.....	18
9.8.	Register 27.....	19
9.9.	Register 29 - Read only.....	19
9.10.	Register 30 - Read only.....	19
9.11.	Register 31 - Read only.....	19
9.12.	Register 32.....	20
9.13.	Register 33.....	22
9.14.	Register 34.....	22
9.15.	Register 35.....	22
9.16.	Register 36.....	23
9.17.	Register 37.....	23
9.18.	Register 38.....	24
9.19.	Register 39.....	24
9.20.	Register 40.....	24
9.21.	Register 41.....	24

9.22.	Register 42.....	25
9.23.	Register 43.....	25
9.24.	Register 48 - Read only.....	26
9.25.	Register 50.....	26
9.26.	Register 52.....	26
10.	寄存器推荐值.....	28
11.	注意事项.....	29
11.1.	上电和寄存器初始化数据.....	29
11.2.	进入 sleep mode 和唤醒.....	30
11.3.	数据包格式.....	30
11.4.	清空 FIFO 指针.....	30
11.5.	Packet Payload Length.....	30
11.6.	状态机决定包长度.....	32
11.6.1.	发射时序.....	32
11.7.	接收时序.....	34
11.8.	MCU/应用决定包长度.....	35
11.8.1.	FW_TERM_TX= 1.....	36
11.8.2.	FW_TERM_TX= 0 (发射状态).....	38
11.8.3.	FW_TERM_TX= 0 (RX).....	40
11.9.	晶体振荡器.....	42
11.9.1.	Quartz crystal application.....	42
11.9.2.	外部时钟输入.....	42
11.9.3.	减小管脚数.....	43
11.9.4.	CKPHA.....	43
12.	封装形式.....	44
	.....	45
13.	IR Reflow Standard.....	46
14.	文档更新历史.....	错误! 未定义书签。

# 1. 模块方框图



PRELIMINARY

## 2. 极限值

**Table 1. 极限值**

Parameter	Symbol	MIN	TYP	MAX	Unit
工作温度.	$T_{OP}$	-40		+85	°C
存储温度.	$T_{STORAGE}$	-55		+125	°C
工作电压	$V_{IN\_MAX}$			+3.7	VDC
1.8V 电压	$V_{DD\_MAX}$			+2.5	
I/O 电压	$V_{OTHER}$	-0.3		+3.7	VDC
输入射频信号强度	$P_{IN}$			+10	dBm

**Notes:**

1. 极限值表示芯片在超出此条件工作时，可能会损坏。芯片在建议工作值范围内功能正常。
2. 芯片对静电比较敏感，在运输和存储时，最好使用防静电设备，用机器或手工焊接时要有良好的接地。

### 3. 电气特性

**Table 2. 电气特性**

 下面的电气特性都是在  $T_A = 25\text{ C}$ ,  $LDO\_VDD = VDD\_IO = 3.3\text{ VDC}$  条件下得到的。

Parameter	Symbol	MIN	TYP	MAX	Units	Test Condition and Notes
工作电压						
直流工作电压		2.2		3.6	VDC`	Input to VDD_IO and LDO_VDD pins.
工作电流						
TX 工作电流	IDD_TXH		24		mA	POUT = 2dBm
	IDD_TXL		15		mA	POUT = low power setting
RX 工作电流	IDD_RX		18		mA	
Idle mode 工作电流	IDD_IDLE1		1.4		mA	Configured for BRCLK output running.
	IDD_IDLE2		1.1		mA	Configured for BRCLK output OFF.
Sleep mode 工作电流	IDD_SLP		6		uA	
数字输入						
高电平电压	VIH	0.8		1.2	V	
		VDD_IN		VDD_IN		
低电平电压	VIL	0		0.8	V	
输入电容	C_IN			10	pF	
输入漏电	I_LEAK_IN			10	uA	
数字输出						
高电平电压	VOH	0.8		VDD_IN	V	
		VDD_IN		VDD_IN		
低电平电压	VOL			0.4	V	
输出电容	C_OUT			10	pF	
输出漏电	I_LEAK_OUT			10	uA	
SPI 电平边沿时间	T_RISE_OUT			5	nS	
时钟信号						
SPI 时钟沿上升下降时间	Tr_spi			25	nS	Requirement for error-free register reading, writing.
SPI 时钟速度	FSPI	0	12		MHz	
收发器特性						
工作频率	F_OP	2400		2482	MHz	
天线端口差异 (Z0=50Ω)	VSWR_I		<2:1		VSWR	Receive mode.
	VSWR_O		<2:1		VSWR	Transmit mode.

**PRELIMINARY**

Parameter	Symbol	MIN	TYP	MAX	Unis	Test Condition and Notes
<b>Receive Section</b>						Measured using 50 Ohm balun. For BER ≤ 0.1%:
接收灵敏度			-87		dBm	1Mbps
			-90		dBm	250Kbps
			-93		dBm	125Kbps
			-96		dBm	62.5Kbps
最大输入功率		-20	1		dBm	
数据率	Ts		1		us	
抗干扰特性						For BER ≤ 0.1%
同频干扰	CI_cochanne l		+9		dB	-60 dBm desired signal.
	1MHz 相邻信号干扰	CI_1		+6	dB	-60 dBm desired signal.
	2MHz 相邻信号干扰	CI_2		-12	dB	-60 dBm desired signal.
	3MHz 相邻信号干扰	CI_3		-24	dB	-67 dBm desired signal.
带外干扰	OBB_1	-10			dBm	30 MHz to 2000 MHz
	OBB_2	-27			dBm	2000 MHz to 2400 MHz
	OBB_3	-27			dBm	2500 MHz to 3000 MHz
	OBB_4	-10			dBm	3000 MHz to 12.75 GHz
						Meas. with ACX BF2520 ceramic filter 2 on ant. pin . Desired sig. -67 dBm, BER ≤ 0.1%.
<b>Transmit Section</b>						Measured using 50 Ohm balun3:
发射功率	PAV			6	dBm	POUT= maximum output power Reg09=0x4800
			2			POUT = nominal output power, Reg09=0x1840
		-17				POUT=minimum output power,Reg09=1FC0
二次谐波			-50		dBm	Conducted to ANT pin.
三次谐波			-50		dBm	Conducted to ANT pin.
调制特性						
最大频偏	00001111 pattern	Δf1avg		280		kHz
	01010101 pattern	Δf2max		225		kHz
带内辐射						
2MHz 频偏	IBS_2			-40		dBm
>3MHz 频偏	IBS_3			-60		dBm
带外辐射	OBS_O_1		< -60	-36		dBm
	OBS_O_2		-45	-30		dBm
	OBS_O_3		< -60	-47		dBm
	OBS_O_4		< -65	-47		dBm
						30 MHz ~ 1 GHz 1 GHz ~ 12.75 GHz, excludes desired signal and harmonics. 1.8 GHz ~ 1.9 GHz 5.15 GHz ~ 5.3 GHz

**Note:**

1. 测试是在 2460MHz 频率下进行, 干扰信号以 1MHz 间隔测试。同时因为干扰信号的谐波会影响性能, 所以要对其进行良好的滤波。
2. 在一些应用中, 天线前端会加上滤波器, 或者受到天线有效带宽的限制。

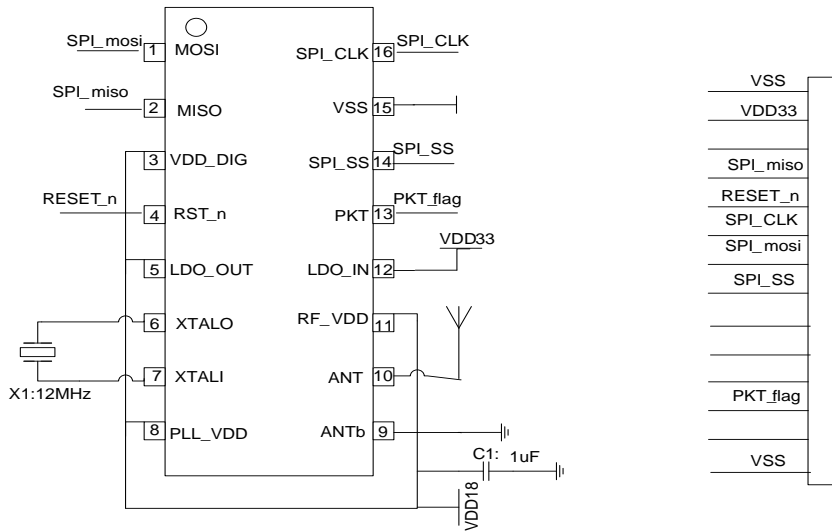
Parameter	Symbol	MIN	TYP	MAX	Unit	Test Condition and Notes	
<b>射频 VCO 和 PLL</b>							
PLL 锁定范围	FLOCK	2366		2516	MHz		
发射接收机频偏			--		ppm	Same as XTAL pins frequency tolerance	
信道宽度			1		MHz		
单边带相位噪声			≤ -95		dBc/Hz	550kHz offset	
			≤ -115		dBc/Hz	2MHz offset	
晶体频率			12.000		MHz	Designed for 12 MHz crystal reference freq.	
芯片内部晶体调节范围			±20		ppm	See Register 27 description. Amount of pull depends on crystal spec. and operating point.	
PLL 稳定时间	THOP		75	150	uS	Settle to within 30 kHz of final value.	
辐射	OBS_1		< -75	-57	dBm	30 MHz ~ 1 GHz	IDLE state, Synthesizer and VCO ON.
	OBS_2		-68	-47	dBm	1 GHz ~ 12.75 GHz	
<b>LDO 电压</b>							
压降范围	Vdo		0.17	0.5	V	Measured during Receive state	



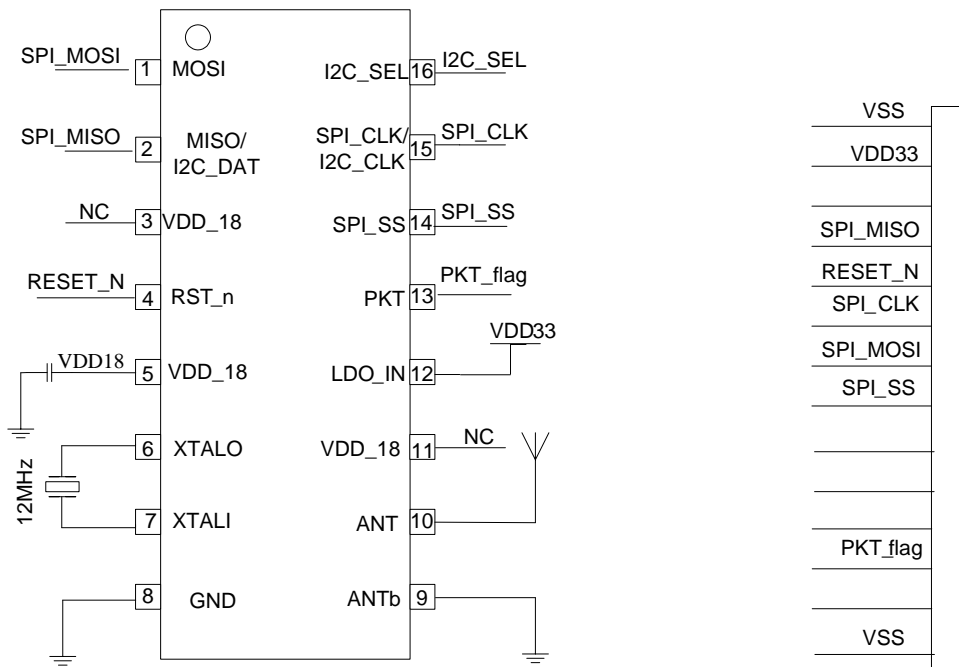
## 4. 典型应用

使用 SPI 接口的无线收发器

Figure 1. LT8920 典型应用电路



LT8920 TSSOP16 电路图



LT8920 SOP16 电路图

注：晶体两端内置了 22pF 的电容，请选用相应的晶体。

## 5. 管脚描述

**Table 3. 管脚描述**
**QFN24**

Pin No.	Pin Name	Type	Description
1, 2, 5, 6, 7, 19, 22	VDD	PWR	电源.
3, 4	ANTb, ANT	Balanced RF	射频输入输出
8	FIFO	O	FIFO 状态标志
9	GND	GND	地
10	VDD_IO	PWR	数字 IO 电源
11	SPI_SS	I	SPI:使能 SPI 信号, 低有效, 也可以使芯片进入 sleep mode I2C: 使芯片进入 sleep mode
12	BRCLK	O	内部时钟输出
13	PKT	O	发射/接收状态支持位
14	SPICLK	I	SPI/I2C 时钟输入脚
15	I2C_SEL	I	模式选择 0: SPI 模式 1: I2C 模式
16	MOSI/A4	I	SPI:SPI data 输入脚 I2C:设置 I2C 地址位 A4.
17	MISO/I2C_DATA	I/O	SPI: SPI data 输出脚 I2C: 数据输出输入脚
18	RST_n	I	当 RST_n 为低时, 将关闭芯片, 电流<1uA, 数字部分的值也会失去。如果想保留数字寄存器的值, 可以进入 sleep 模式。 当 RST_n 为高时, 将开启芯片, 寄存器将回复复位值
20	LDO_VDD	PWR	片上 LDO 输入电压
21	LDO_OUT	PWR	片上 LDO 输出电压, 1.8V 通常会和芯片上其他 VDD 脚连在一起, 提供干净的电源。 不要再接其他负载
23	XTALO	AO	晶体振荡器输出脚
24	XTALI	AI	晶体振荡器输入脚
25 (Exposed pad)	GND	GND	地

PRELIMINARY

**Table 4. 管脚描述**  
**SSOP16**

Pin No.	Pin Name	Type	Description
1	MOSI	Input	SPI:SPI data 输入脚
2	MISO	output	SPI: SPI data 输出脚
3	VDD_DIG	Power	1.8V 电源
4	RST_n	Input	当 RST_n 为低时, 将关闭芯片, 电流<1uA, 数字部分的值也会失去。如果想保留数字寄存器的值, 可以进入 sleep 模式。 当 RST_n 为高时, 将开启芯片, 寄存器将回复复位值
5	LDO_OUT	Power	片上 LDO 输出电压, 1.8V 通常会和芯片上其他 VDD 脚连在一起, 提供干净的电源。 不要再接其他负载
6	XTALO	A O	晶体振荡器输出脚
7	XTALI	A I	晶体振荡器输入脚
8	PLL_VDD	Power	1.8V 电源
9 10	Balanced RF	射频输入输出	Balanced RF
11	RF_VDD	Power	RF 单元供电电源
12	LDO_IN	Power	片上 LDO 输入电压
13	PKT	output	发射/接收状态标志位 可通过设置为高或低有效
14	SPI_SS	input	SPI_SS 为 0, 使能 SPI 信号, 低电平有效, 也可以使芯片进入 sleep mode
15	GND	GND	地
16	SPICLK	Input	SPI/I2C 时钟输入脚

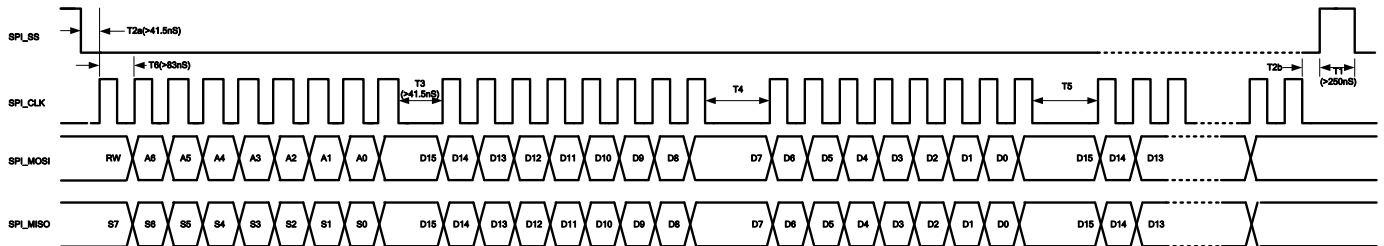
PRELIMINARY

## 6. SPI 接口

### 6.1. SPI 默认格式

Figure 2. 当 CKPHA=1 时, SPI 为下降沿采样

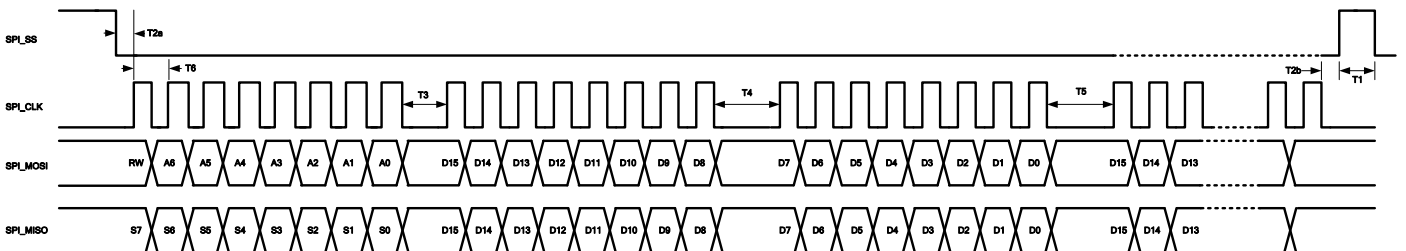
(为封装片的标准格式)



### 6.2. SPI Optional Format

Figure 3. 当 CKPHA=0 时, SPI 为上升沿采样

(在 COB 时可以选择)



#### Notes:

1. SPI 读写位: 写=0, 读=1.
2. 访问 FIFO 寄存器 50 时, 可以一字节一字节读 (8-bits 的整数倍)。访问多个 FIFO 数据时可以用一个 SPI\_SS 周期。
3. 访问除 FIFO 外的其他寄存器时, 一次要读 16-bits。
4. 访问除 FIFO 外的其他多个寄存器时, 可以用一个 SPI\_SS 周期。此时, 地址只要写一次, 然后是 16-bits。当写完一个寄存器值后, LT8920 会自动增加寄存器地址。
5. MISO 输出的 S7: S0 和寄存器 48 是一样的 (包括 CRC 结果, FEC 错误标志和状态机指针)。

### 6.3. SPI 时序要求

**Table 4. SPI 时序要求**

Name	Min	Typ.	Max	Description
T1	250ns			两次 SPI 访问的间隔时间
T2a, T2b	41.5ns			SPI_SS 和 SPI_CLK 的间隔
T3	Note 1			地址和数据间隔时间
T4	Note 1			高位字节和低位字节的时间间隔
T5	Note 2			两个寄存器数据的时间间隔
T6	83ns			SPI_CLK 时钟周期

**Notes:**

1. 在访问寄存器 50 中的 FIFO 数据时，芯片需要 450nS 去找到正确的读 FIFO 读取的指针地址。
2. 当读寄存器 50 中的 FIFO 数据时，至少需要等 450nS

读其他寄存器时,  $T5_{min} = 41.5ns$ .

**PRELIMINARY**

## 7. IIC 接口

### 7.1. I2C 命令格式

Figure 4. I2C 数据传输

**Example I2C Data Transfers:**

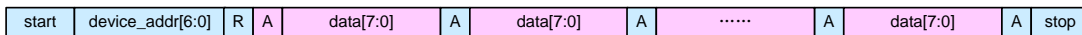
Master write 1 or more data bytes to LT8900 FIFO register:



Master writes 1 byte to LT8900 to specify FIFO register, then reads one or more bytes from LT8900 FIFO:



Master may continue reading LT8900 FIFO:



Sr: Repeated Start  
A: Acknowledge

Master to Slave

Slave to Master

### 7.2. I2C 特性

Table 5. I2C 特性列表

I2C device Slave Mode Optional Feature List	LT8920 Support?
Standard-mode – 100 kbps	Yes
Fast-mode – 400 kbps	Yes
Fast-mode Plus – 1000 kbps	Yes
High-speed mode – 3200 kbps	No
Clock Stretching	No
10-bit slave address	No
general call address	No
software reset	No
device ID	No

**PRELIMINARY**

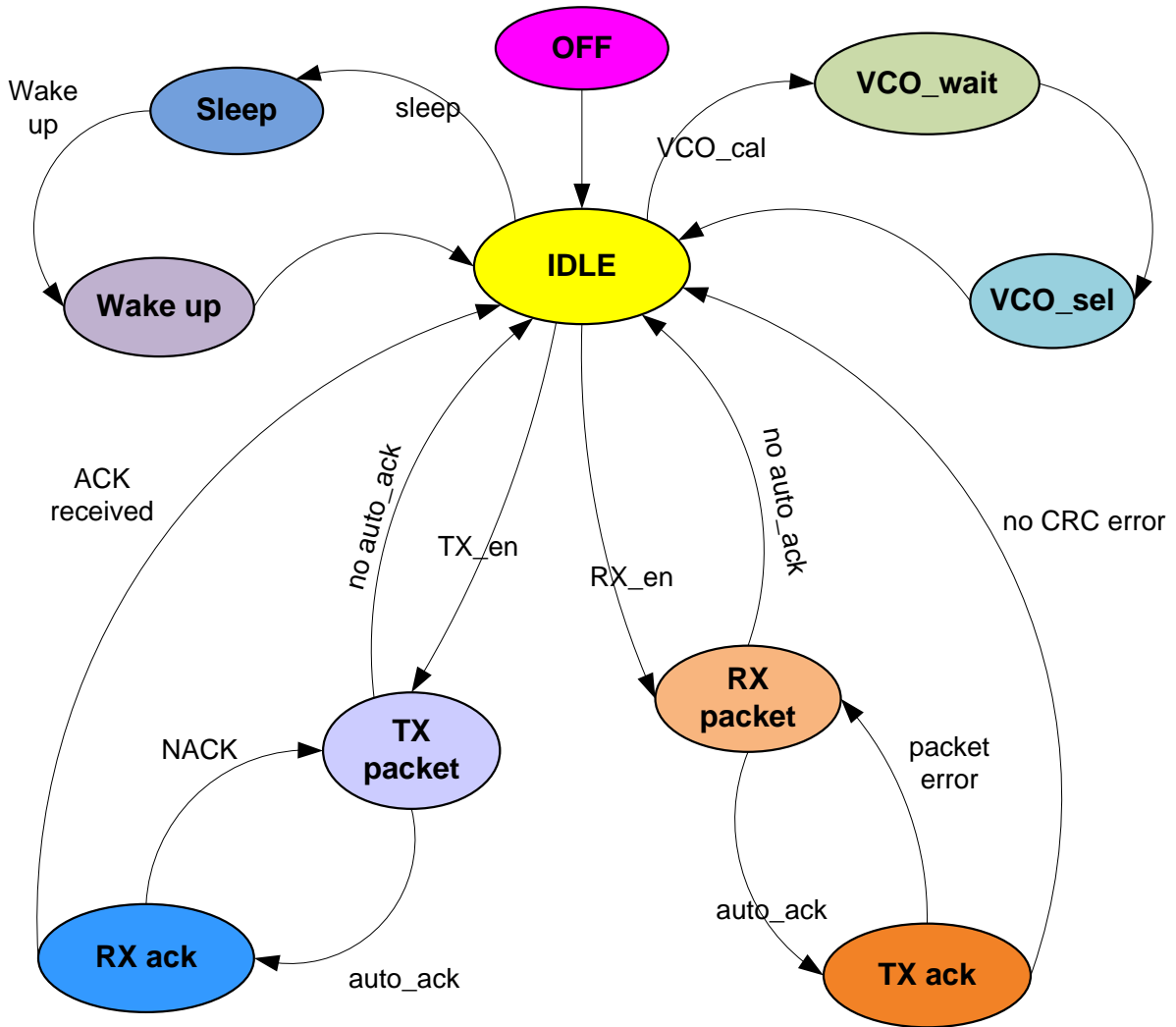
### 7.3. I2C 器件地址

在 I2C 条件下，芯片器件地址如下：

A6	A5	A4	A3	A2	A1	A0	RW
0	1	由 PIN15 MOS/A4 决定	1	0	0	0	Read=1 Write=0

## 8. 状态机框图

PRELIMINARY





## 9. 寄存器信息

下面的寄存器可以通过 SPI 或者 I2C 访问。

有些寄存器是内部调试使用，所以这里没有公开，应保持初始化值。

### 9.1. Register 3 – Read only

Table 6. Register 3 information

Bit No.	Bit Name	Description
15:13	(Reserved)	(Reserved)
12	RF_SYNTH_LOCK	RF 频率综合器锁定标志位 1: 锁定 0: 没锁定
11:0	(Reserved)	(Reserved)

### 9.2. Register 6 – Read only

Table 7. Register 6 information

Bit No.	Bit Name	Description
15:10	RAW_RSSI[5:0]	RSSI 原始数据
9:0	(Reserved)	(Reserved)

### 9.3. Register 7

Table 8. Register 7 information

Bit No.	Bit Name	Description
15:9	(Reserved)	(Reserved)
8	TX_EN	使芯片进入 TX 状态，1 有效 注意：不能使 TX_EN 和 RX_EN 同时为 1，同时为 0 时，芯片为 idle 状态
7	RX_EN	使芯片进入 RX 状态，1 有效 注意：不能使 TX_EN 和 RX_EN 同时为 1，同时为 0 时，芯片为 idle 状态
6:0	RF_PLL_CH_NO [6:0]	设定 RF 频道，空中频率为： $f=2402+ RF\_PLL\_CH\_NO$

## 9.4. Register 9

**Table 9. Register 9 information**

Bit No.	Bit Name	Description
15:12	PA_PWCTR[3:0]	PA 电流控制
11	(Reserved)	(Reserved)
10:7	PA_GN[3:0]	PA 增益控制
6:0	(Reserved)	(Reserved)

## 9.5. Register 10

**Table 10. Register 10 information**

Bit No.	Bit Name	Description
15:1	(Reserved)	(Reserved)
0	XTAL_OSC_EN	1: 开启晶体振荡器. 0: 关闭晶体振荡器

## 9.6. Register 11

**Table 11. Register 11 information**

Bit No.	Bit Name	Description
15:9	(Reserved)	(Reserved)
8	RSSI_PDN	1: 关闭 RSSI 0: 开启 RSSI
7:0	(Reserved)	(Reserved)

## 9.7. Register 23

**Table 12. Register 23 information**

Bit No.	Bit Name	Description
15:3	(Reserved)	(Reserved)
2	TxRx_VCO_CAL_EN	1:在 TX/RX 开启前重新校准 VCO 0:在 TX/RX 开启前不校准 VCO
1:0	(Reserved)	(Reserved)

## 9.8. Register 27

Table 13. Register 27 information

Bit No.	Bit Name	Description
15:0	(Reserved)	(Reserved)

## 9.9. Register 29 – Read only

Table 14. Register 29 information

Bit No.	Bit Name	Description
15:8	(Reserved)	(Reserved)
7:4	RF_VER_ID [3:0]	RF 版本号
3	(Reserved)	(Reserved)
2:0	Digital version	数字版本号

## 9.10. Register 30 – Read only

Table 15. Register 30 information

Bit No.	Bit Name	Description
15:0	(Reserved)	(Reserved)

## 9.11. Register 31 – Read only

Table 16. Register 31 information

Bit No.	Bit Name	Description
15:12	(Reserved)	(Reserved)
11:0	(Reserved)	(Reserved)

## 9.12. Register 32

**Table 17. Register 32 information**

Bit	Name	R/W	Description	default
15:13	PREAMBLE_LEN	R/W	000: 1byte, 001: 2bytes, 010: 3 bytes, ... 111: 8 bytes	010B
12:11	SYNCWORD_LEN	R/W	11: 64 bits {Reg39[15:0],Reg38[15:0],Reg37[15:0],Reg36[15:0]} 10: 48bits, {Reg39[15:0],Reg38[15:0],Reg36[15:0]} 01: 32bits, {Reg39[15:0],Reg36[15:0]} 00: 16 bits,{Reg36[15:0]}	11B
10:8	TRAILER_LEN	R/W	000: 4 bits, 001: 6bits, 010: 8 bits, 011: 10 bits .... 111: 18 bits	000B
7:6	DATA_PACKET_TYPE	R/W	00: NRZ law data 01: Manchester data type 10: 8bit/10bit line code 11: Interleave data type	00B
5:4	(Reserved)	R/W	(Reserved)	00B

PRELIMINARY

Bit	Name	R/W	Description	default
			选择时钟输出频率	
			3'b000: 置低	
			3'b001: 晶体频率输出	
3:1	BRCLK_SEL	R/W	3'b010: 晶体频率除 2	011B
			3'b011: 晶体频率除 4	
			3'b100: 晶体频率除 8	
			3'b101: 1MHz	
			3'b110: APLL_CLK (12MHz)	
			3'b111: 置低	
0	(Reserved)	W/R	(Reserved)	0B

### 9.13. Register 33

**Table 18. Register 33 information**

Bit	Name	R/W	Description	Default
15-8	VCO_ON_DELAY_CNT[7:0]	R/W	在每次进入 RX 或者 TX 后, 等待内部 VCO 稳定的时间, 单位为 1uS。	63H
7-6	TX_PA_OFF_DELAY[1:0]	R/W	PA 关闭的等待时间, 单位是 1uS, 基数是 4uS. 00 表示 4uS。	00B
5:0	TX_PA_ON_DELAY[5:0]	R/W	在 VCO_ON 以后, 等待内部 PA 开启的时间, 单位为 1uS。	07H

### 9.14. Register 34

**Table 19. Register 34 information**

Bit	Name	R/W	Description	Default
15	Bpktctl_direct	R/W	在 direct mode 中, 它控制 TX 的 PA 和 RX 的宽带/窄带模式	0B
14-8	TX_CW_DLY[6:0]	R/W	在发射数据前, 传输 CW 调制信号的时间	03H
7-6	Reserved	R/W		0B
5:0	TX_SW_ON_DELAY[5:0]	R/W	VCO_ON 后, 等待 RF switch 开启的时间, 单位 1uS	0BH

### 9.15. Register 35

**Table 20. Register 35 information**

Bit	Name	R/W	Description	default
15	POWER_DOWN	W	1: 先关闭晶体振荡器, 再关闭 LDO。 (寄存器值将丢失) 0: Leave power on.	0B
14	SLEEP_MODE	W	1: 进入 sleep mode, 晶体关闭, 保持 LDO 工作 (寄存器值将保留) 当 SPI_SS 为低时, 芯片将重新工作 0: idle mode	0B
13	(Reserved)		(Reserved)	
12	BRCLK_ON_SLEEP	R/W	1: 在 sleep mode 开启晶体振荡器 耗电但能快速启动 0: 在 sleep mode 关闭晶体振荡器 省电但启动速度慢	1B
11:8	RE-TRANSMIT_TIMES	R/W	在 auto-ack 功能开启是, 最多的重发次数。设为 3 时, 为重发 2 次	3H
7	MISO_TRI_OPT	R/W	1: 当 SPI_SS=1 时, MISO 保持低阻。 0: 当 SPI_SS=1 时, MISO 保持三态。	0B
6:0	SCRAMBLE_DATA	R/W	Scramble data 的种子, 收发两边必须一致。	00H

## 9.16. Register 36

Table 21. Register 36 information

Bit	Name	R/W	Description	default
15:0	SYNC_WORD[15:0]	R/W	LSB bits of sync word is sent first.	0000H

## 9.17. Register 37

Table 20. Register 37 information

Bit	Name	R/W	Description	default
15:0	SYNC_WORD[31:16]	R/W	LSB bits of sync word is sent first.	0000H

## 9.18. Register 38

**Table 21. Register 38 information**

Bit	Name	R/W	Description	default
15:0	SYNC_WORD[47:32]	R/W	LSB bits of sync word is sent first.	0000H

## 9.19. Register 39

**Table 22. Register 39 information**

Bit	Name	R/W	Description	default
15:0	SYNC_WORD[63:48]	R/W	LSB bits of sync word is sent first.	0000H

## 9.20. Register 40

**Table 23. Register 40 information**

Bit	Name	R/W	Description	default
14:1	FIFO_EMPTY_THRESHOLD	R/W	认为 FIFO 为空的阈值	0100B
9:6	FIFO_FULL_THRESHOLD	R/W	认为 FIFO 为满的阈值	0100B
5:0	SYNCWORD_THRESHOLD	R/W	认为 SYNCWORD 为正确的阈值 07 表示可以错 6bits, 01 表示 0bit 可以错 0bits	07H

## 9.21. Register 41

**Table 24. Register 41 information**

Bit	Name	R/W	Description	default
15	CRC_ON	R/W	1: 开启 CRC 0: 关闭 CRC	1B
14	(Reserved)	R/W	(Reserved)	0B
13	PACK_LENGTH_EN	R/W	1: 第一字节表示 payload 的长度 如要写 8 个 byte 有效字节, 那第一个字节应写 8, 总长 9	1B



Bit	Name	R/W	Description	default
12	FW_TERM_TX	R/W	1: 当 FIFO 的读指针和写指针相等时, LT8920 将关闭发射。 0: 由 MCU 确定长度并关闭发射。	1B
11	AUTO_ACK	R/W	1: 当接收到数据, 自动回 ACK 或者 NACK 0: 接收数据后, 不回 ACK, 直接进 IDLE	1B
10	PKT_FIFO_POLARITY	R/W	1: PKT flag, FIFO flag 低有效. 0: 高有效	0B
9:8	(Reserved)	R/W	(Reserved)	00B
7:0	CRC_INITIAL_DATA	R/W	CRC 计算初始值。	00H

## 9.22. Register 42

Table 25. Register 42 information

Bit	Name	R/W	Description	default
15:1 0	SCAN_RSSI_CH_NO	R/W	RSSI 扫描的信道数量, RSSI 值将保留到 FIFO 中	00H
9:8	(Reserved)	R/W	(Reserved)	01B
7:0	Rx_ACK_TIME[7:0]	R/W	等待 RX_ACK 的时间, 1 表示 1uS	6BH

## 9.23. Register 43

Table 26. Register 43 information

Bit	Name	R/W	Description	default
15	SCAN_RSSI_EN	R/W	1: 开始扫描 RSSI	0B
14:8	SCAN_STRT_CH_OFFST[6:0]	R/W	通常 RSSI 从 2402MHz 开始扫描 (0 信道)。 这里可以开始的信道数 如设为 10, 将从 2412MHz 开始扫描	01B
7:0	WAIT_RSSI_SCAN_TIM[7:0]	R/W	设置在扫描不同信道 RSSI 时, VCO&SYN 稳定时间	6BH

## 9.24. Register 44

**Table 27. Register 43 information**

Bit	Name	R/W	Description	default
			01: 1Mbps	
15:8	DATARATE[7:0]	R./W	04: 250Kbps 08: 125Kbps 10: 62.5Kbps	0B
7:0	Reserved	R./W	Reserved	00H

## 9.25. Register 48 – Read only

**Table 28. Register 48 information**

Bit	Name	R/W	Description	default
15	CRC_ERROR	R	CRC 错误标志位, 1 表示错误, 0 表示正确	
14	FEC23_ERROR	R	FEC23 错误标志位, 1 表示错误, 0 表示正确	
13:8	FRAMER_ST	R	Framer 状态	
7	SYNCWORD_RECV	R	1: 表示收到 syncword, 只在接收时有效。 跳出接收状态时, 为 0	
6	PKT_FLAG	R	PKT flag 标志	
5	FIFO_FLAG	R	FIFO flag 标志	
4:0	(Reserved)	R	(Reserved)	

## 9.26. Register 50

**Table 30. Register 50 information**

Bit	Name	R/W	Description	default
15:0	TXRX_FIFO_REG	R/W	MCU 读取 FIFO 数据的接口。	00H

## 9.27. Register 52

**Table 31. Register 51 information**

Bit	Name	R/W	Description	default
15	CLR_W_PTR	W	1: 清空 TX FIFO 指针为 0, 但不清空 TX FIFO 中的数据	0B
14	(Reserved)	W		
13:8	FIFO_WR_PTR	R	FIFO 写指针	
7	CLR_R_PTR	W	1: 清空 RX FIFO 指针为 0..但不清空 RX FIFO 中的数据	0B
6	(Reserved)			
5:0	FIFO_RD_PTR	R	FIFO 读指针 当使用 auto-ack 功能时, 此位可以做为标志位。 当 PKT 拉高后, 读此寄存器, 如果为 0, 即收到 ack。 如果不为 0, 而是发射总 byte 数+1, 即没收到 ack。	

PRELIMINARY

## 10. 寄存器推荐值

下面的寄存器值是推荐值

Table 32. 寄存器推荐值

Register number	Power-up reset value (hex)	Recommended value for many applications (hex)	Notes
0	6fef	6fe0	
1	5681	5681	
2	6619	6617	
4	5447	9cc9	
5	f000	6637	
7	0030	0030	Use for setting RF frequency, and to start/stop Tx/Rx packets.
8	71af	6c90	
9	3000	1840	Sets Tx power level
10	7ffd	7ffd	Crystal osc. enabled.
11	4008	0008	RSSI enabled.
12	0000	0000	
13	4855	48bd	
22	c0ff	00ff	
23	8005	8005	Calibrate VCO before each and every Tx/Rx.
24	307b	0067	
25	1659	1659	
26	1833	19e0	
27	9100	1300	No crystal trim.
28	1800	1800	
29	00x0	read-only	Stores p/n, version information.
30	f413	read-only	Stores p/n, version information.
31	1002	read-only	Stores p/n, version information.
32	1806	4800	Packet data type: NRZ, no FEC, BRCLK=12 div. by 4= 3MHz
33	6307	3fc7	Configures packet sequencing.
34	030b	2000	Configures packet sequencing.
35	1300	0300	AutoAck max Tx retries = 3
36	0000	Choose unique sync words for each over-the-air network.	Similar to a MAC address.
37	0000		
38	0000		
39	0000		
40	2107	2102	Configure FIFO flag, sync threshold. CRC on. SCRAMBLE off.
41	b800	b000	1st byte is packet length.
42	fd6b	fdb0	
43	000f	000f	Configure scan_rssi.
44	0100	1000	Configure data rate
45	0080	0552	

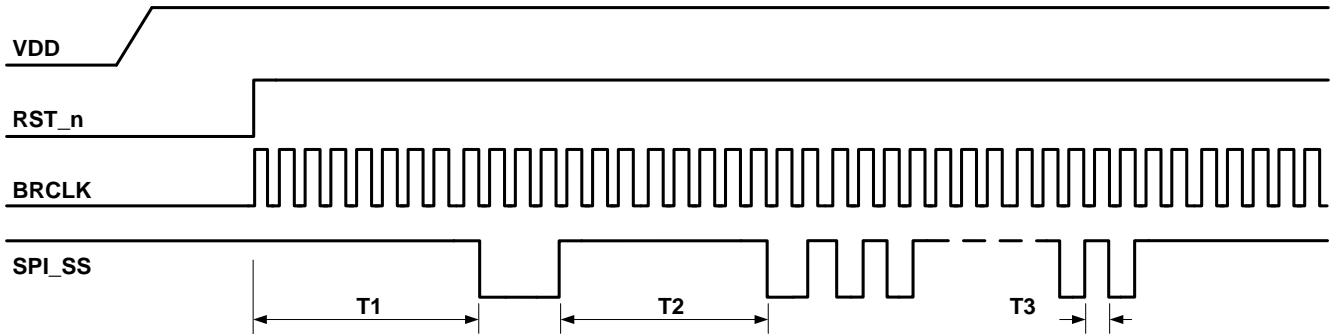
PRELIMINARY

## 11. 注意事项

LT8920 可以给很多现有的应用添加无线功能.下面主要回答了在使用过程中遇到的问题。

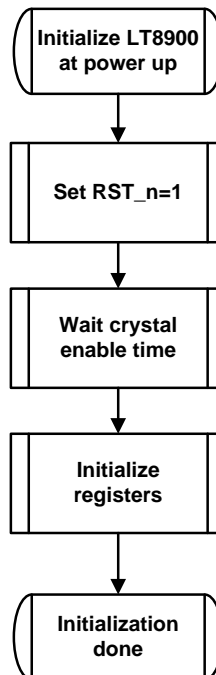
### 11.1. 上电和寄存器初始化数据

Figure 5. 上电和寄存器初始化顺序



1. 当 VDD 稳定后，确保在 RST\_n 脚上有 reset 信号。
2. 当 RST\_n =1, BRCLK 输出 12MHz 时钟
3. 等待 T1 (1 到 5ms)，使晶体稳定，然后由 MCU 初始化寄存器。
4. 寄存器初始化完成后，LT8920 可以开始发射或者接收。

Figure 6.初始化流程图

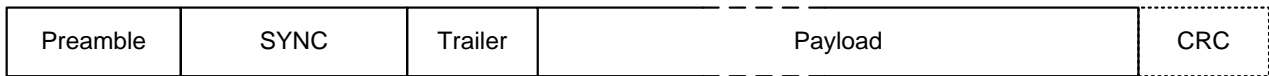


## 11.2. 进入 sleep mode 和唤醒

当 MCU 写寄存器并且拉高 SPI\_SS 后, LT8920 进入 sleep mode, 此时功耗很低, 电流为 1uA. 当 SPI\_SS 拉低后, LT8920 自动唤醒. MCU 要拉低 SPI\_SS 一段时间 (等待晶体稳定) 1~2mS, 再写 SPI 数据。

## 11.3. 数据包格式

空中数据包格式



- Preamble: 1~8 bytes, programmable.
- SYNC: 16/32/48/64 bits, programmable as device syncword.
- Trailer: 4~18 bits, programmable.
- Payload: TX/RX data. There are 4 data types:
  - Raw data
  - 8 bit / 10 bit line code
  - Manchester
  - Interleave with FEC option
- CRC: 16-bit CRC is optional.

## 11.4. 清空 FIFO 指针

在发射前, 要将 FIFO 写指针清空. 这可以通过在寄存器 52<15>写入 0 来实现。

当接收到数据包, 读指针将指示 FIFO 中有多少 bytes 数据。

当接收器收到 SYNC 时, FIFO 写指针会自动清 0.

当接收器收到 SYNC 或发射器发送完 SYNC 后, FIFO 读指针会自动清 0.

## 11.5. 。 Packet Payload Length

LT8920 提供两种方式去确定 TX/RX 包长度. 当寄存器 41[13]=1 时, 内部状态机会根据 payload 第一个 byte 数据来检测包长度. 如要发 8 个 byte, 第一个 byte 应写 8, 总字长为 9 个 byte. 当寄存器 41[13]=0, 第一个 byte 数据没什么特殊意义. 数据包长度将由 TX FIFO 何时为空或者何时清空 TX\_EN 来决定, 见下表。

**Table 33. 数据包长度**

Register 41[13] PACK_LENGTH_EN	Register 41[12] FW_TERM_TX	
0 (MCU/application handles packet length)	0	当 TX_EN=0 时，终止发射。 当 RX_EN=0 时，终止接收。
	1	当 FIFO 为空时，自动终止发射。 当 RX_EN=0 时，终止接收。
1 (LT8920 framer handles packet length)	X (don't care)	Payload 第一个字节表示包长度，0 到 255bytes。 当发完 0 到 255bytes 后，发射自动终止。

下面显示具体时序图。

PRELIMINARY

## 11.6. 状态机决定包长度

当寄存器 41[13]=1 时, payload 的第一个 byte 表示包长度, 最大长度是 255 bytes。

### 11.6.1. 发射时序

下面显示 TX 时序. 当 MCU 将寄存器 7[8]写为 1 后, 同时设定好发射信道, 芯片将自动根据 payload 来产生包。MCU 需要在发射 trailer 前写入发射数据。

如果包长度超过 FIFO 长度, MCU 需要多次写 FIFO 数据。FIFO flag 表示 FIFO 是不是为空。

Figure 7. TX 时序图

PKT 和 FIFO flags 高有效

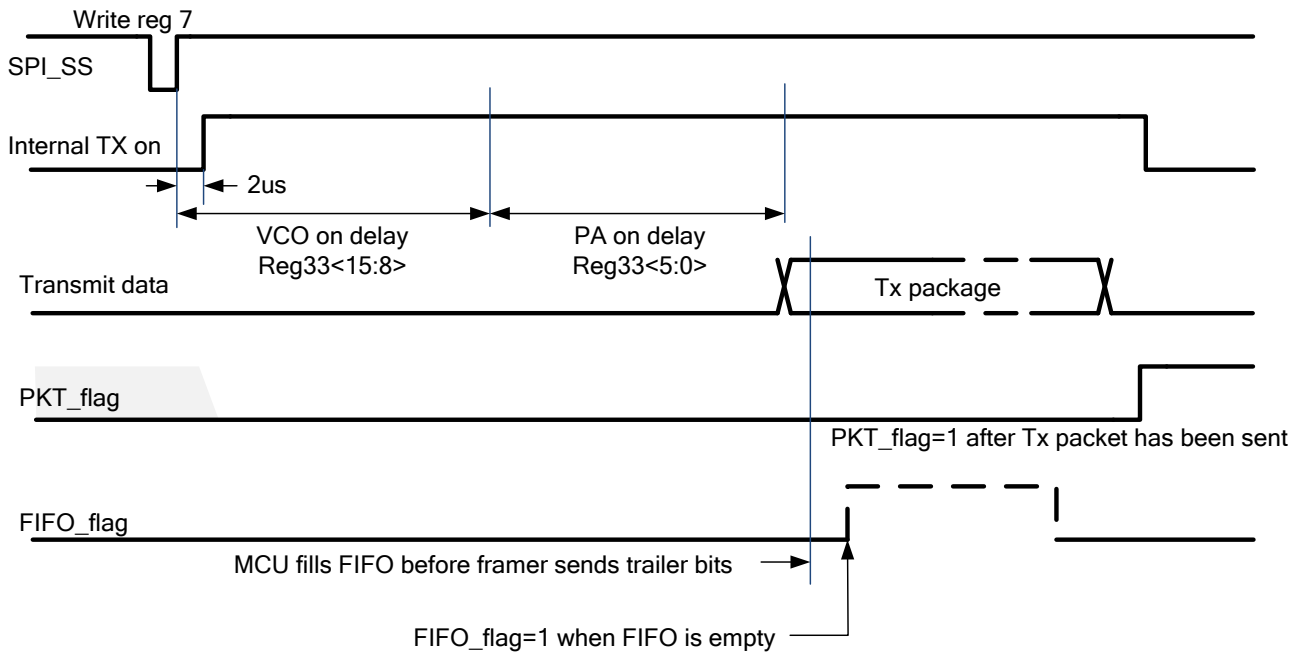
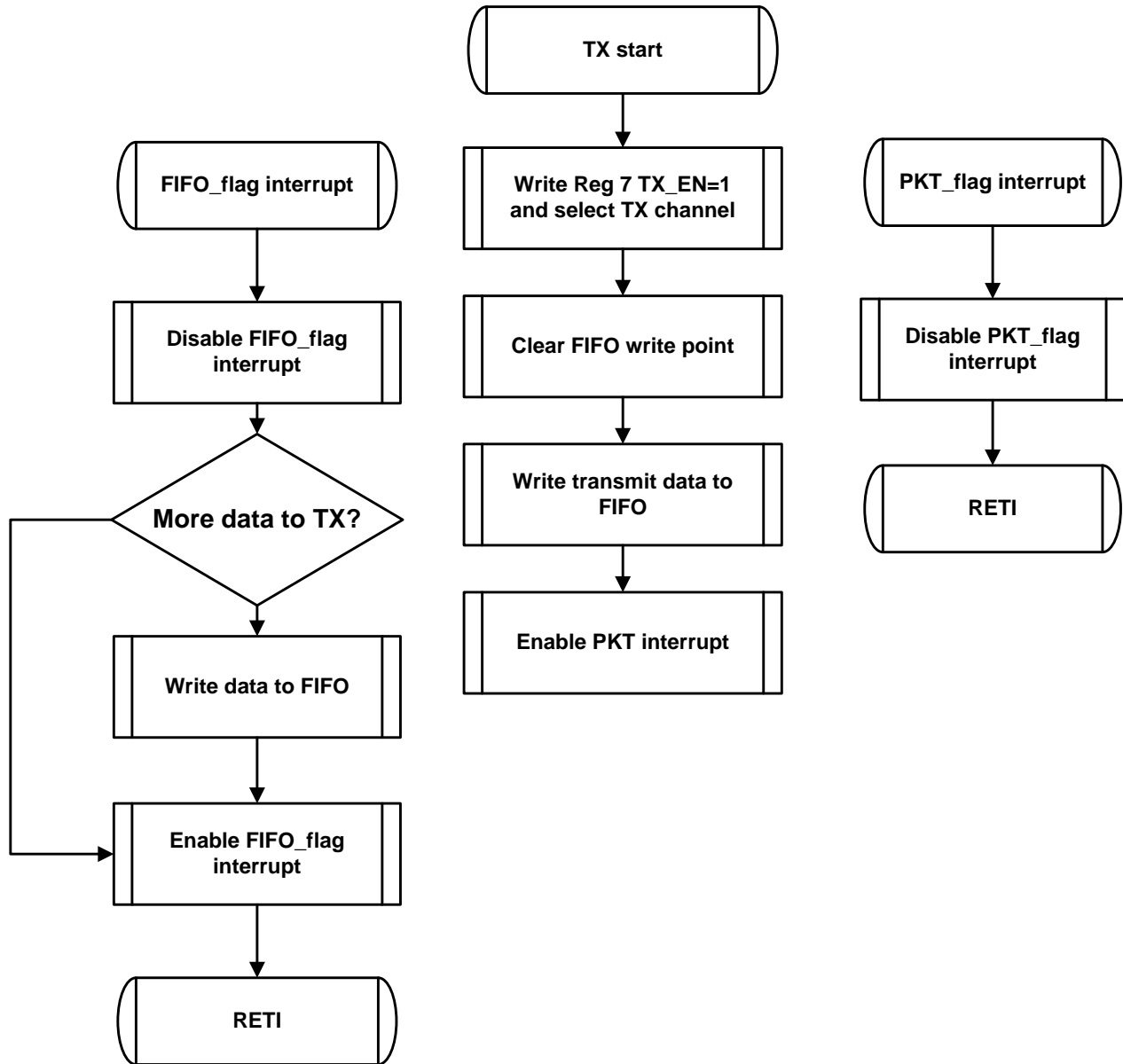




Figure 8. TX 发包流程图

where FIFO and PKT flags are interrupt signals to MCU.



PRELIMINARY

## 11.7. 接收时序

下面显示 RX 接收时序。当 MCU 将寄存器 7[7] 写为 1 并且选择好接收器信道，LT8920 将打开 RX 并等待正确的 syncword。

当收到正确的 syncword，LT8920 将自动开始处理数据包。当数据包处理完毕，LT8920 状态机将进入 IDLE。

当接收到的数据包长度长于 63 bytes，FIFO flag 将起作用，意味着 MCU 必须从 FIFO 中读取数据。

在弱信号，多径和远距离时，不一定能收到正确的 syncword。为了避免出现死机情况，MCU 需要做一个定时器。在大多数应用中，数据包是在一定时间窗口内可以收到的，如果没收到，系统要有定时器恢复到正常模式。

Figure 9. RX 时序图

PKT and FIFO flags 高有效

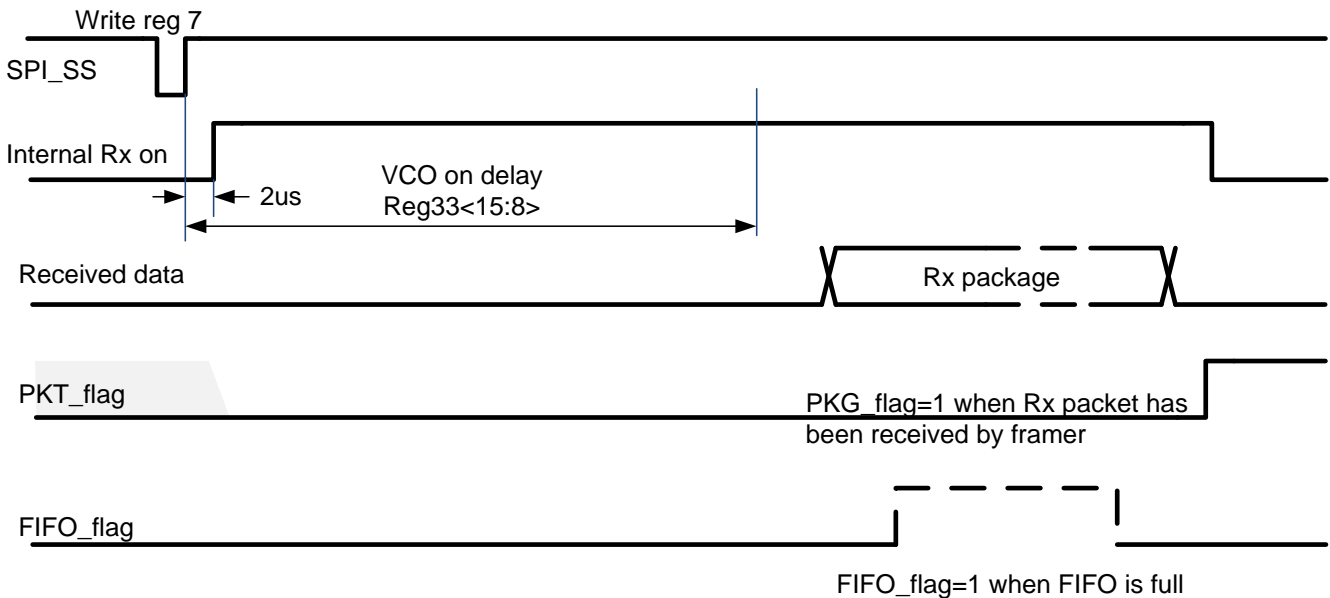
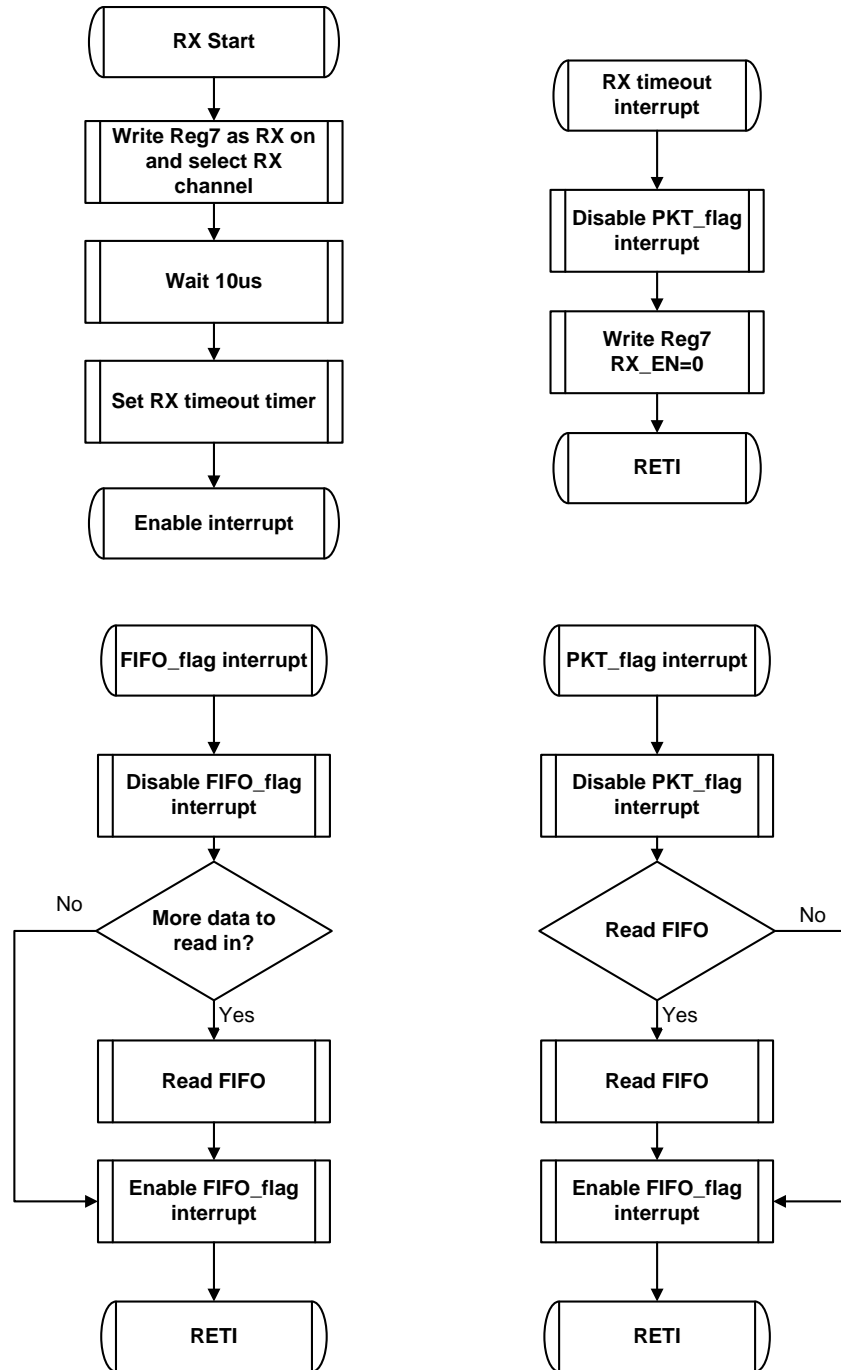


Figure 10. RX 流程图

where FIFO and PKT flag signals interrupt MCU.



### 11.8. MCU/应用决定包长度

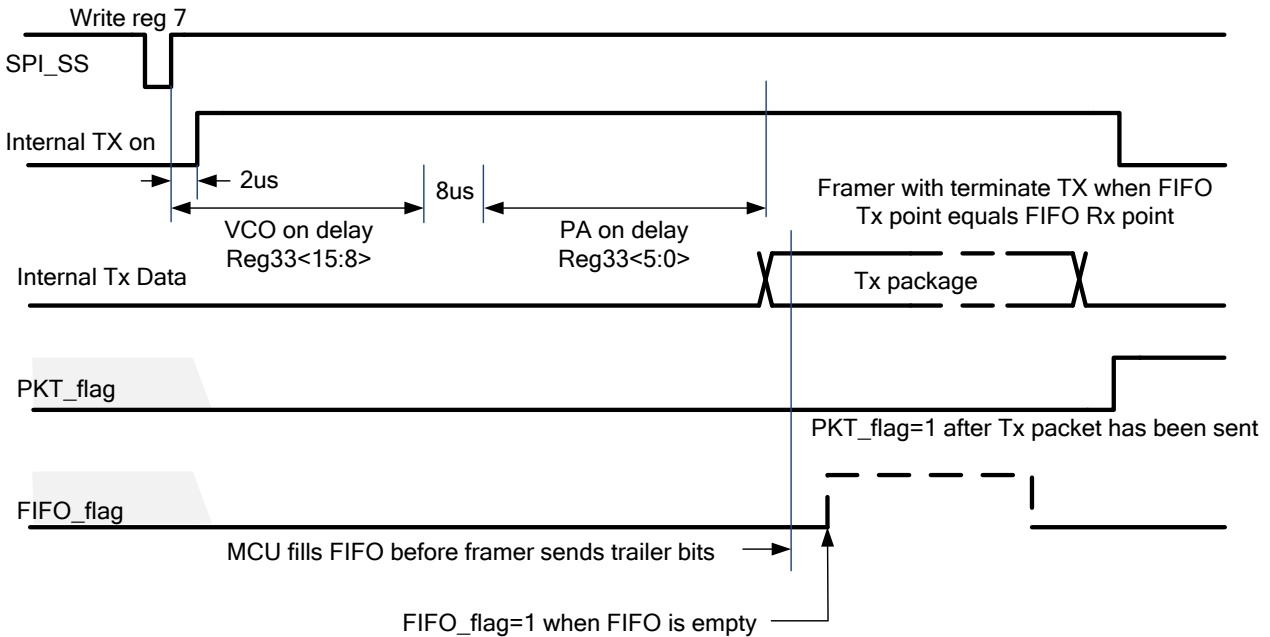
当寄存器 41[13]=0 时, payload 第一个 byte 没有特殊意义。此时, 包长度由寄存器 41[12]决定。

## 11.8.1. FW\_TERM\_TX= 1

当寄存器 41[12]=1, 在发射数据时, LT8920 将比较 FIFO 的写指针和读指针, 如果 MCU 停止朝 FIFO 写数据, 芯片将会最终探测到 FIFO 何时为空, LT8920 将会自动退出发射状态。时序图如下。

Figure 11. TX 时序图 (Register 41[13:12]= 'b01) .

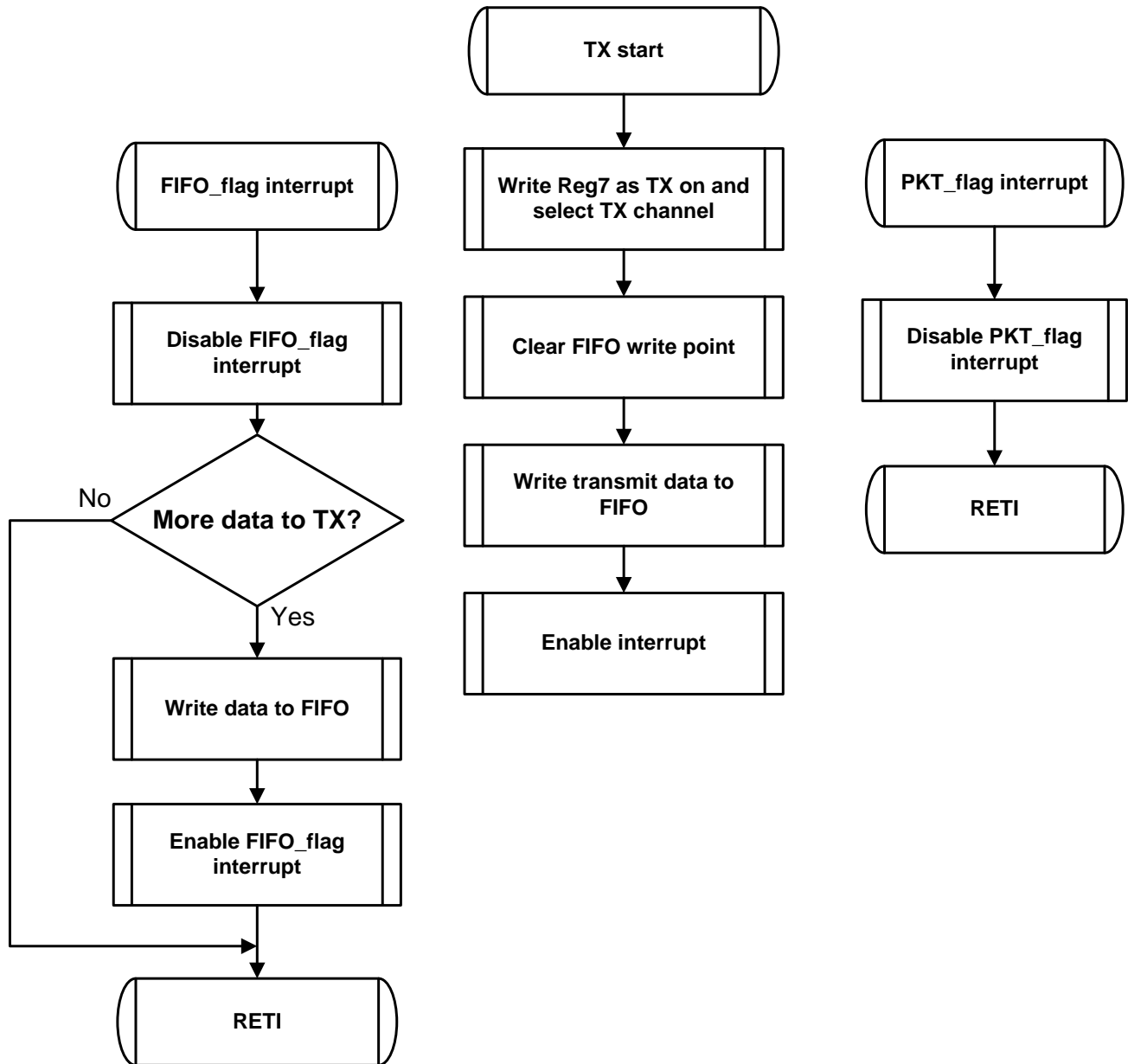
PKT 和 FIFO flags 高有效.



Note: 当寄存器 41[13]=0, 不要让 FIFO 过空或过满。FIFO full/empty 阈值可以通过寄存器 40 FIFO full/empty threshold 来设置。最优值是由 SPI 速度和 MCU 读写 FIFO 速度决定。.

Figure 12. 寄存器 41[13:12]=`b01 时发射的流程图

using interrupts for PKT and FIFO flags.



PRELIMINARY

### 11.8.2. FW\_TERM\_TX= 0 (发射状态)

当 Reg41[13:12] = 'b00, LT8920 只会在 Reg7[8] TX\_EN=0 时停止发射。

Figure 13. 当 Reg41[13:12]= 'b00 时, TX 时序图

PKT and FIFO flags are shown high active.

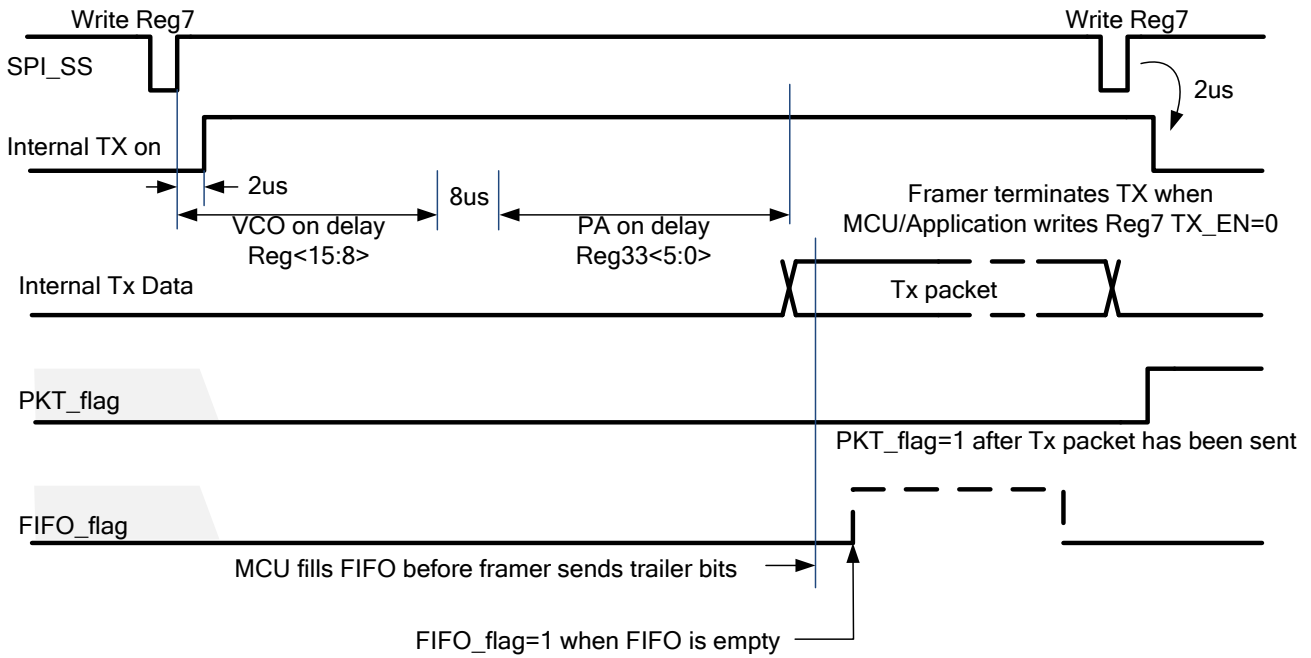
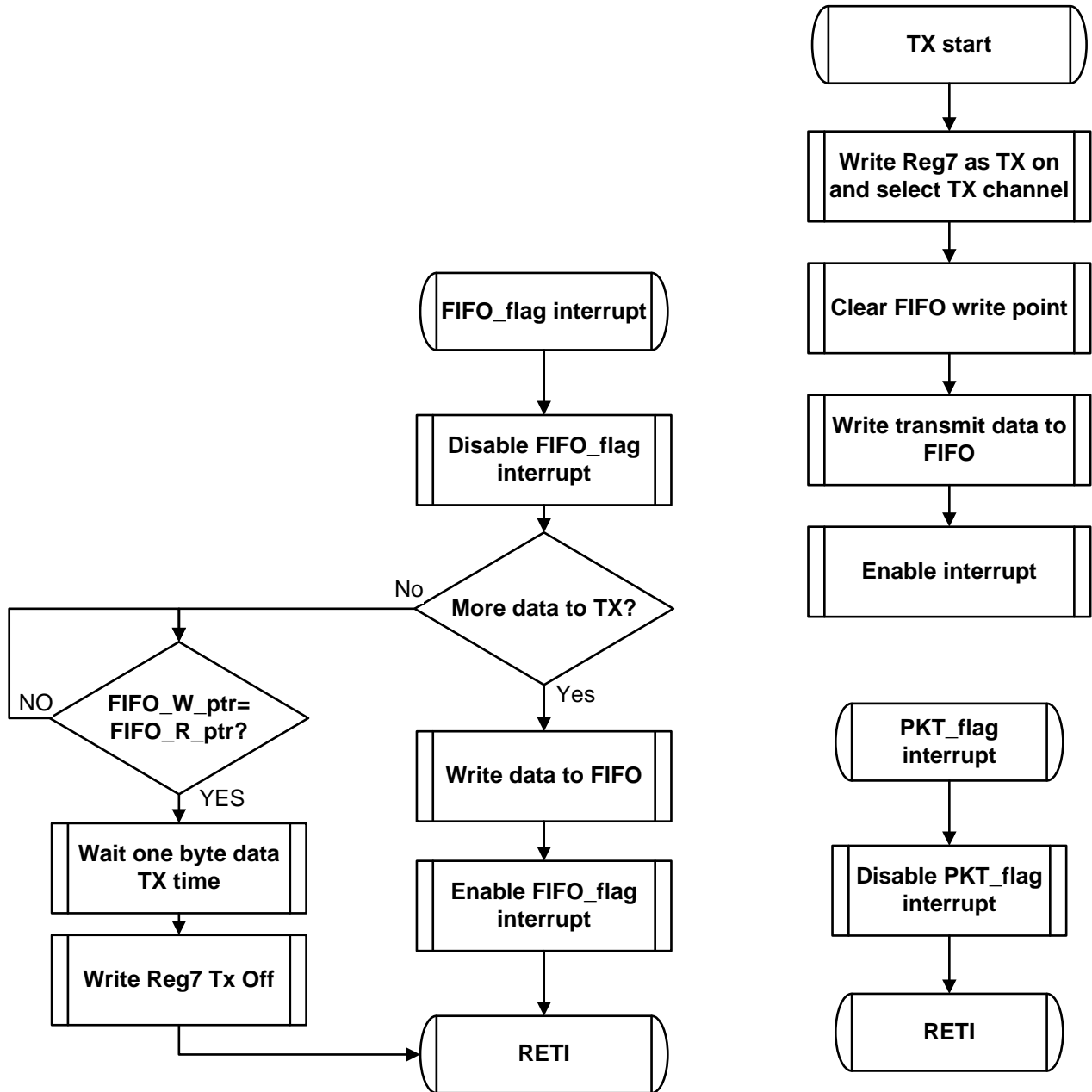


Figure 14. 当 Reg41[13:12]='b00 是 TX 流程图  
using interrupts for PKT and FIFO flags.

PRELIMINARY



### 11.8.3. FW\_TERM\_TX= 0 (RX)

当 Reg41[13]=0 时，芯片将会在 Reg7[7] RX\_EN=1 时开始接收包，此时，芯片将会自动将 RX 设定到固定的频道接收。在等待一定时间使内部时钟和 RX 电路稳定后，LT8920 开始在收到的信号中寻找 syncword。一旦找到，它将拉高 PKT flag，并向 FIFO 里写收到的数据。PKT flag 将一直为高，直到 MCU 将 FIFO 中的数据读完。当 MCU 把数据读完后，PKT flag 将拉低直到下个 TX/RX 周期。

当 Reg41[13:12]= 'b00 or 'b01 时，必须由 MCU 将 Reg7[7] 写为 0 才能退出 RX 状态。

Figure 15. 当 Reg41[13:12] = 'b00 or 'b01 时，RX 时序图。

PKT\_flag 和 FIFO\_flag 高有效。

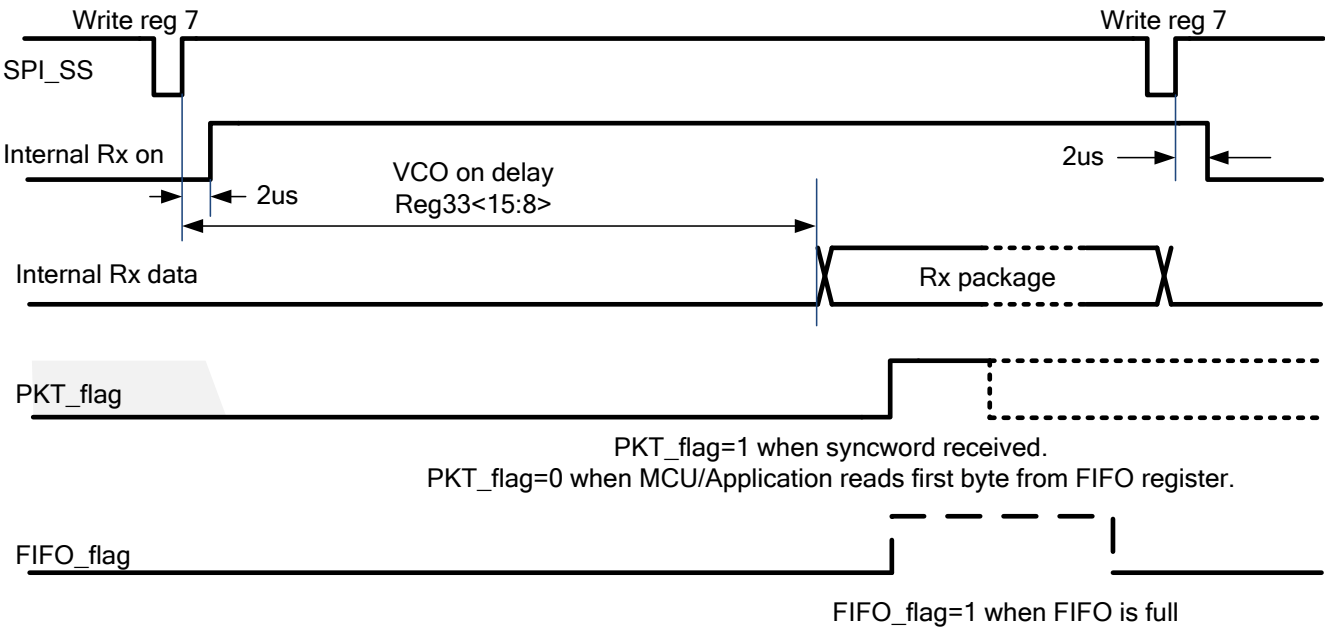
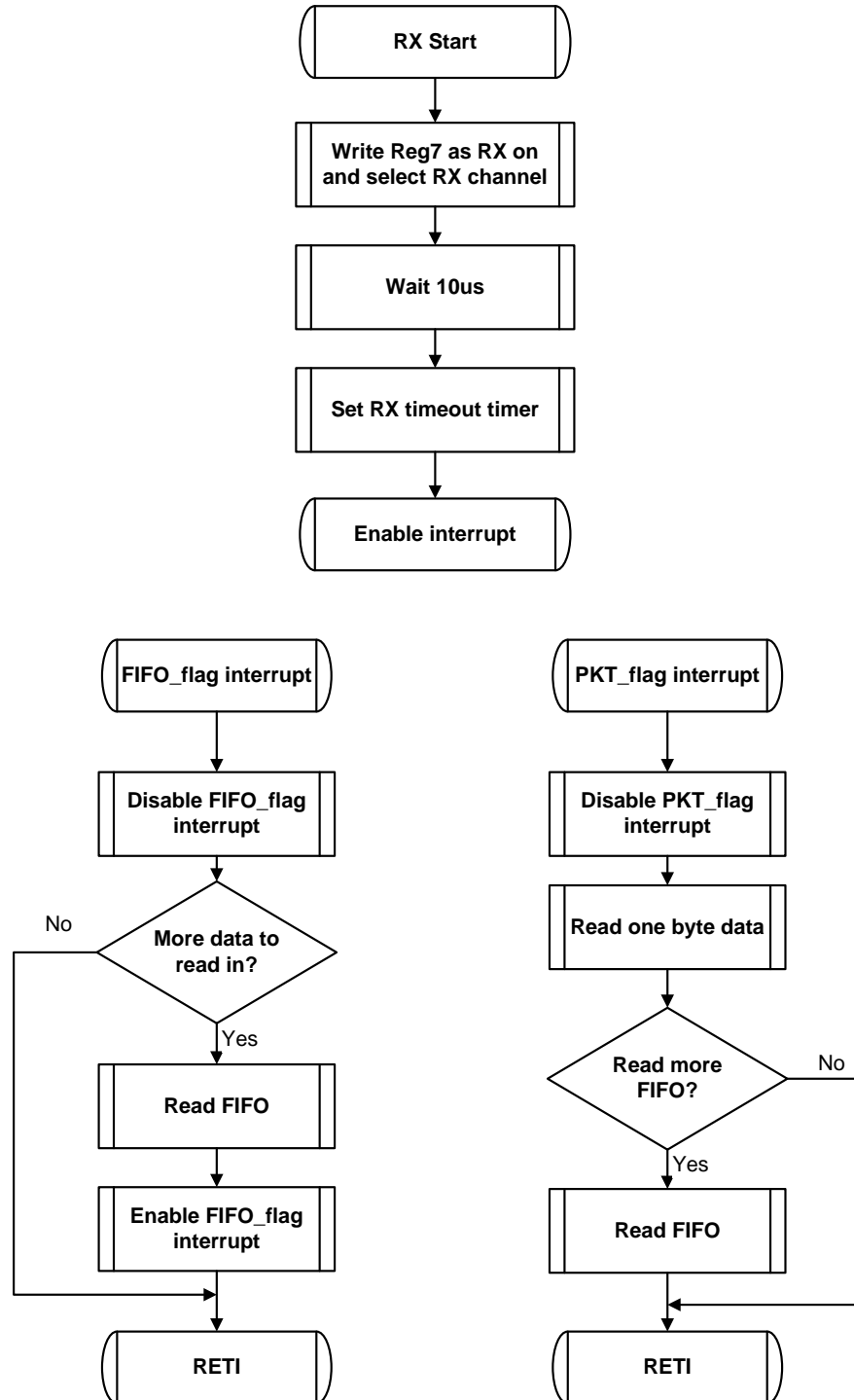




Figure 16. 当 Reg41[13:12]= 'b00 or 'b01 时, RX 流程图  
using interrupts for PKT and FIFO flags.



PRELIMINARY

## 11.9. 晶体振荡器

LT8920 支持外接晶体或者外部时钟输入。

### 11.9.1. Quartz crystal application

串联电阻  $R_2$  限制了晶体振荡的能量，并且为起振提供了相位余度。晶体的负载电容  $C_1$  和  $C_2$  应与晶体的定义相符。这些电容值可以微调，从而保证振荡频率的准确性。自偏置电阻  $R_1$ ，为片上的增益级提供偏置，从而达到最大增益。

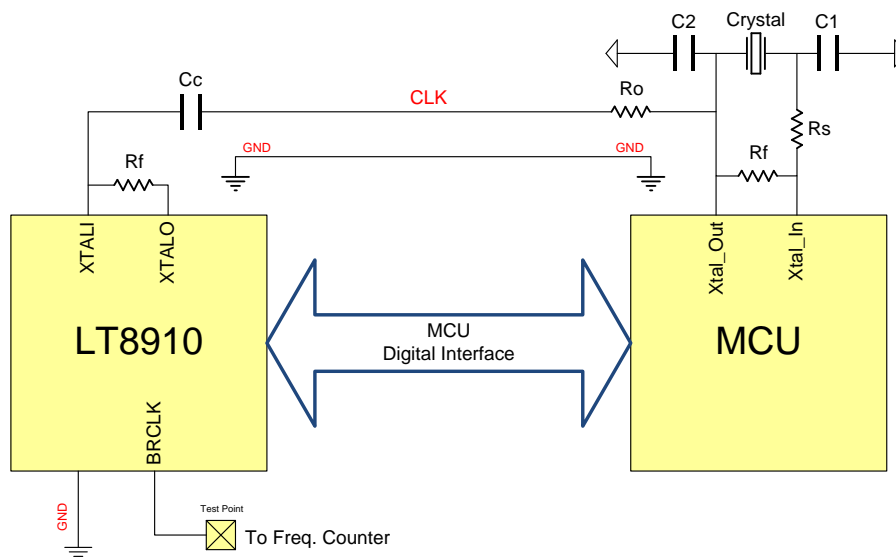
### 11.9.2. 外部时钟输入

自偏置电阻  $R_1$  还是需要的，但外部时钟需要通过一个隔直电容从 XTALI 来输入。如下图所示。

输出电阻  $R_0$  用来对现有振荡器进行采样。 $R_0$  的具体值需要根据实验来决定， $3K$  是个合适的参考值。

在 PCB layout 时，CLK 线需要尽量短和直，并且远离干扰。LT8920 接收的时钟信号是以地为参考的，所以也要保持有一个干净的地。

Figure 17.外部时钟输入应用图



注意事项:

1. 时钟占空比最好是 50%。
2. 如果 BER 过高，可能是时钟驱动不够造成的。
3. 当参考时钟相位噪声很高的时候，也会造成 BER 变高。

### 11.9.3. 减小管脚数

当用低成本的 MCU 来驱动 LT8920 时，MCU 的管脚有限。可以通过以下的办法来节省管脚数：

- FIFO: 只有当包长度超过 63bytes 时，才需要。
- PKT: 当收发包时，给 MCU 一个硬件中断。这个数据也可以通过 Reg48 来读取，这样 PKT\_flag 就不需要了。
- SPI lines: 这 4 个接口是需要的。
- RST\_n: 这个接口可以用 RC 来做上电复位电路，从而省掉一个 MCU 管脚。
- I2C lines: 相比 SPI，可减少管脚数。

### 11.9.4. CKPHA

在 LT8920 中，有个 CKPHA 管脚，在 QFN 和 SSOP 的封装中，这个管脚通常是拉高的，SPI 为下降沿采样。

在 SSOP 封装中，不支持 I2C。

如果有特殊要求，CKPHA 也可接 0

## 12. 封装形式

QFN 24 Lead Exposed Pad Package, 4x4 mm, 0.5mm pitch. Dimensions in mm.

**PRELIMINARY**

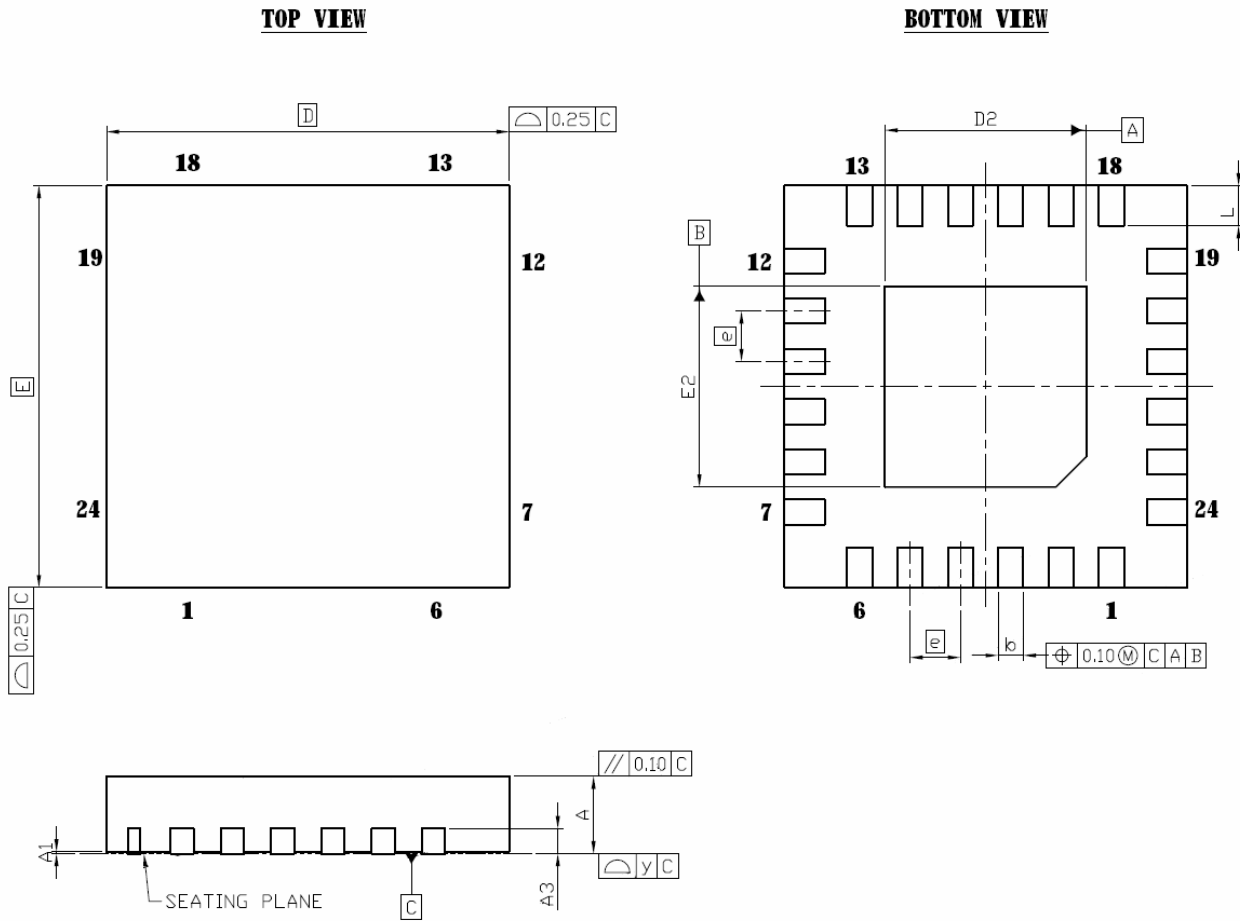
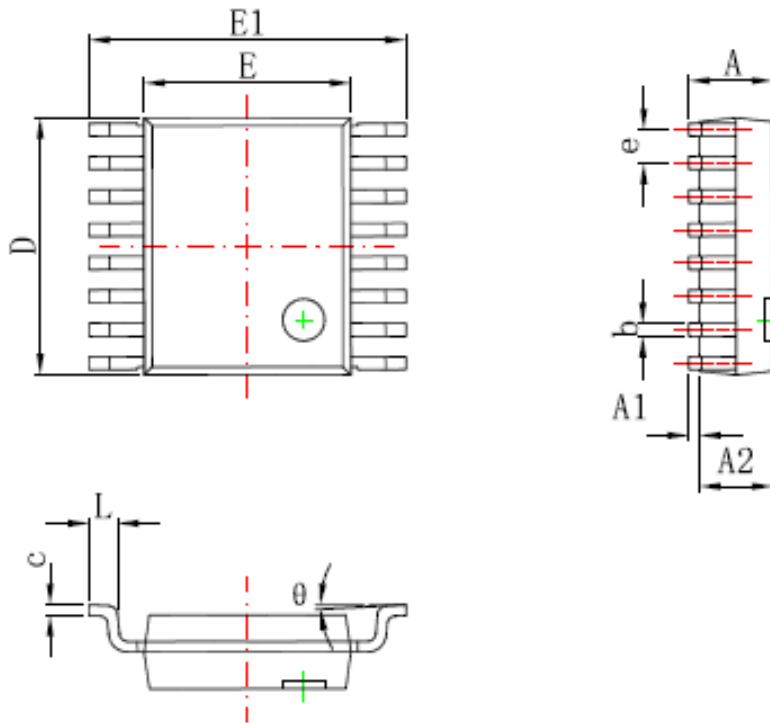


Table 29. Package Outline Dimension

Dim.	Min.	Nom.	Max.	Dim.	Min.	Nom.	Max.
A	0.70	0.75	0.80	L	0.30	0.40	0.50
A1	0	0.02	0.05	y	0.08		
A3	0.203	REF					
B	0.18	0.25	0.30				
D/E	3.90	4.00	4.10				
D2/E2	1.90	2.00	2.10				
E	0.50	BSC					

**SSOP16 PACKAGE OUTLINE DIMENSIONS**
**PRELIMINARY**


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.200	0.300	0.008	0.012
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	0.635 (BSC)		0.025 (BSC)	
L	0.400	1.270	0.016	0.050
$\theta$	0°	8°	0°	8°

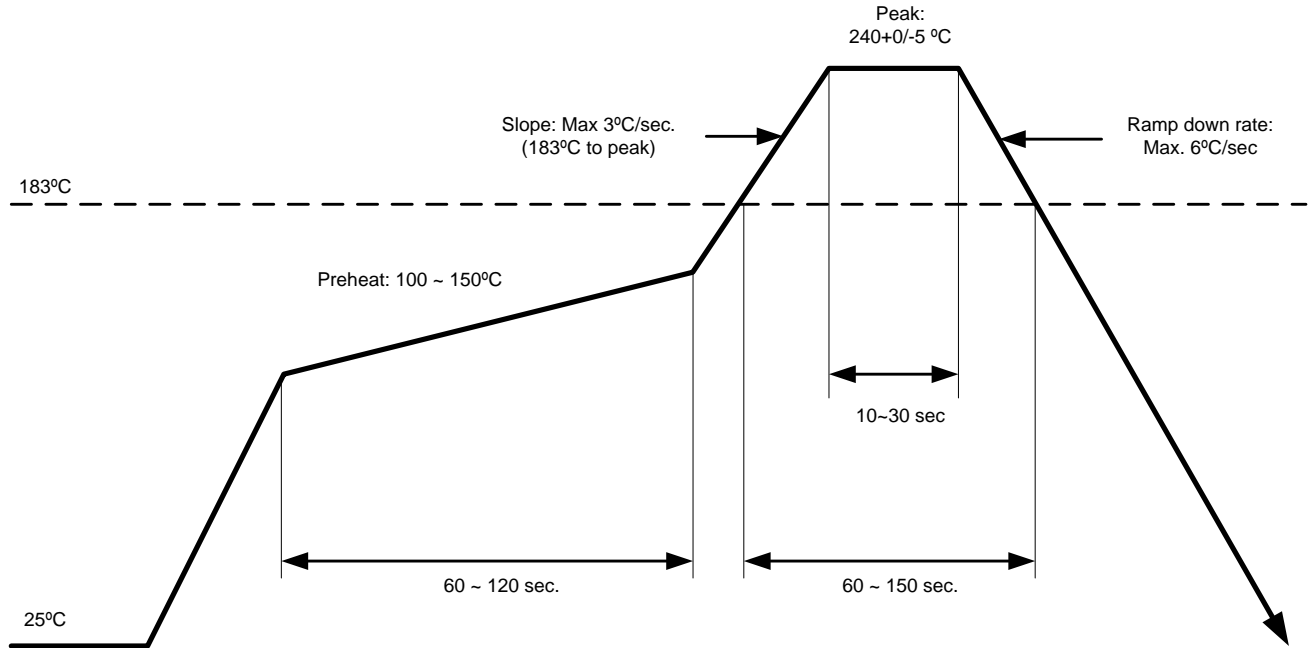
## 13. IR Reflow Standard

Follow : IPC/JEDEC J-STD-020 B

Condition :

- Average ramp-up rate (183°C to peak): 3 °C/sec. max.
- Preheat: 100~150°C 60~120sec
- Temperature maintained above 183°C: 60~150 seconds
- Time within 5°C of actual peak temperature: 10 ~ 30 sec.
- Peak temperature: 240+0/-5 °C
- Ramp-down rate: 6 °C/sec. max.
- Time 25°C to peak temperature: 6 minutes max.
- Cycle interval: 5 minutes

Figure 18. IR Reflow Diagram



**PRELIMINARY**