
EM78P372K

8位
微控制器

产品规格书

版本1.4


义隆电子股份有限公司
2016.04



商标告知:

IBM 为一个注册商标, PS/2 是 IBM 的商标之一。

Windows 是微软公司的商标。

ELAN 和 ELAN 标志  是义隆电子股份有限公司的商标。

版权所有 © 2016 义隆电子股份有限公司

所有权利保留

台湾印制

本使用说明文件内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性, 义隆电子股份有限公司不承担任何责任。义隆电子股份有限公司不承诺对本使用说明文件之内容及信息有更新及校正之义务。本规格书的内容及信息将为符合确认之指示而变更。

在任何情况下, 义隆电子股份有限公司对本使用说明文件中的信息或内容的错误、遗漏, 或者其它不准确性不承担任何责任。由于使用本使用说明文件中的信息或内容而导致的直接, 间接, 特别附随的或结果的损害, 义隆电子股份有限公司没有义务负责。

本规格书中提到的软件 (如果有), 都是依据授权或保密合约所合法提供的, 并且只能在这些合约的许可条件下使用或者复制。

义隆电子股份有限公司的产品不是专门设计来应用于生命维持的用具, 装置或者系统。义隆电子股份有限公司的产品不支持而且禁止在这些方面的应用。

未经义隆电子股份有限公司书面同意, 任何个人或公司不得以任何形式或方式对本使用说明文件的内容之任一部分进行复制或传输。



义隆电子股份有限公司

总公司:

地址: 台湾新竹科学园区
创新一路 12 号
电话:+886 3 563-9977
传真:+886 3 563-9966
webmaster@emc.com.tw
<http://www.emc.com.tw>

香港分公司:

义隆电子 (香港) 有限公司
九龙观塘巧明街 95 号世达中心
19 楼 A 室
电话: +852 2723-3376
传真: +852 2723-7780
elanhk@emc.com.hk

USA:

Elan Information
Technology Group (USA)
P.O. Box 601
Cupertino, CA 95015
USA
Tel: +1 408 366-8225
Fax:+1 408 366-8225

深圳分公司:

义隆电子 (深圳) 有限公司
深圳市南山区高新技术产业园南
区高新南六道迈科龙大厦 8A
邮编: 518057
电话: +86 755 2601-0565
传真: +86 755 2601-0500
elan-sz@elanic.com.cn

上海分公司:

义隆电子 (上海) 有限公司
地址: 上海市浦东新区张江高
科碧波路 5 号科苑大楼 6 楼
邮编: 201203
电话: +86 21 5080-3866
传真: +86 21 5080-0273
elan-sh@elanic.com.cn

目录

1 综述	1
2 特性	1
3 应用	2
4 引脚配置 (封装).....	2
5 功能结构图.....	4
6 引脚描述	5
7 功能描述	7
7.1 操作寄存器	7
7.1.1 R0 (间接寻址寄存器).....	7
7.1.2 R1 (定时时钟/计数器).....	7
7.1.3 R2(程序计数器) 和堆栈	7
7.1.4 R3 (状态寄存器)	10
7.1.5 R4 (RAM 选择寄存器).....	10
7.1.6 Bank 0 R5~R7 (Ports 5~7 I/O 数据寄存器).....	10
7.1.7 Bank 0 R8 (ADC 输入选择寄存器)	11
7.1.8 Bank 0 R9 (ADC 控制寄存器)	12
7.1.9 Bank 0 RA (ADC 补偿校准寄存器).....	14
7.1.10 Bank 0 RB (ADC AD11~AD4 的转换结果)	15
7.1.11 Bank 0 RC (ADC AD11~AD8 的转换结果)	15
7.1.12 Bank 0 RD (ADC AD7~AD0 的转换结果).....	15
7.1.13 Bank 0 RE (中断状态 2 和唤醒控制寄存器 1)	15
7.1.14 Bank 0 RF (中断状态寄存器 1).....	16
7.1.15 Bank 1 R5 (TBHP: 表指针寄存器).....	17
7.1.16 Bank 1 R6 (TBLP: 表指针寄存器)	17
7.1.17 Bank 1 R7 (PWMCON: PWM 控制寄存器)	18
7.1.18 Bank 1 R8 (TMRCON: 定时器控制寄存器).....	18
7.1.19 Bank 1 R9 (PRD1: PWM1 时间周期)	19
7.1.20 Bank 1 RA (PRD2: PWM2 时间周期)	19
7.1.21 Bank 1 RB (DT1: PWM1 占空比周期)	19
7.1.22 Bank 1 RC (DT2: PWM2 占空比周期).....	19
7.1.23 Bank 1 RE (LVD 控制与唤醒控制寄存器 2).....	20
7.1.24 Bank 1 RF (模式选择和 IRC 转换寄存器).....	20
7.1.25 R10~R1F	22
7.2 特殊功能寄存器	23
7.2.1 A (累加器).....	23
7.2.2 CONT (控制寄存器).....	23

7.2.3	IOC50 ~ IOC70 (I/O 端口控制寄存器).....	24
7.2.4	IOC80 (比较器控制寄存器)	24
7.2.5	IOC90 (TMR1: PWM1 定时器).....	24
7.2.6	IOCA0 (TMR2: PWM2 定时器)	24
7.2.7	IOCB0 (下拉控制寄存器).....	24
7.2.8	IOCC0 (漏极开路控制寄存器)	25
7.2.9	IOCD0 (上拉控制寄存器)	25
7.2.10	IOCE0 (WDT 控制寄存器和中断屏蔽寄存器 2).....	26
7.2.11	IOCF0 (中断屏蔽寄存器 1).....	27
7.2.12	IOC51 (HSCR1: 高灌电流控制寄存器 1).....	28
7.2.13	IOC61 (HSCR2: 高灌电流控制寄存器 2).....	28
7.2.14	IOC71 (HDCR1: 高驱动电流控制寄存器 1).....	29
7.2.15	IOC81 (HDCR2: 高驱动电流控制寄存器 2).....	29
7.2.16	IOC91 (DeadTCR: 停滞时间控制寄存器).....	30
7.2.17	IOCA1 (DeadTR: 停滞时间寄存器)	31
7.2.18	IOCF1 (上拉控制寄存器).....	31
7.3	TCC/WDT & 预分频器.....	32
7.4	I/O 端口.....	33
7.4.1	使用 Port5 输入状态改变唤醒/中断功能	35
7.5	复位和唤醒	36
7.5.1	复位和唤醒操作	36
7.5.2	唤醒和中断模式操作概述	39
7.5.3	复位后寄存器的初始值	41
7.5.4	复位控制器结构图	47
7.5.5	状态寄存器的 T 和 P 状态	47
7.6	中断.....	48
7.7	模数转换器(ADC)	50
7.7.1	ADC 控制寄存器 (AISR/R8, ADCON/R9, ADOC/RA)	50
7.7.1.1	R8 (AISR: ADC 输入选择寄存器).....	50
7.7.1.2	R9 (ADCON: ADC 控制寄存器)	51
7.7.1.3	RA (ADOC: AD 补偿校准寄存器).....	52
7.7.1.4	Bank 1 RF (IRC 切换寄存器).....	53
7.7.2	ADC 数据寄存器 (ADDATA/RB, ADDATA1H/RC, ADDATA1L/RD)	54
7.7.3	ADC 采样时间	54
7.7.4	AD 转换时间	54
7.7.5	休眠期间的 ADC 操作.....	55
7.7.6	编程步骤/考虑的事项.....	55
7.7.6.1	编程步骤	55
7.7.6.2	范例	56

7.8 对偶 PWM (脉宽调制器).....	58
7.8.1 概述.....	58
7.8.1.1 对偶 PWM 功能.....	60
7.8.2 递增定时计数器(TMRX: TMR1 或 TMR2).....	63
7.8.3 PWM 周期(TMRX: TMR1 或 TMR2).....	63
7.8.4 PWM 占空比(DTX: DT1 或 DT2; DLX: DL1 或 DL2).....	64
7.8.5 比较器 X.....	64
7.8.6 PWM 编程步骤.....	64
7.9 定时器.....	65
7.9.1 概述.....	65
7.9.2 功能描述.....	65
7.9.3 编程相关寄存器.....	66
7.9.4 定时器编程步骤.....	66
7.9.5 PWM 联级模式.....	66
7.10 比较器.....	67
7.10.1 外部参考信号.....	67
7.10.2 比较器输出.....	67
7.10.3 比较器作为运算放大器使用.....	68
7.10.4 比较器中断.....	68
7.10.5 从休眠模式唤醒.....	68
7.11 振荡器.....	69
7.11.1 振荡器模式.....	69
7.11.2 晶体振荡器/陶瓷谐振器 (晶振).....	70
7.11.3 外部 RC 振荡器模式.....	73
7.11.4 内部 RC 振荡模式.....	74
7.12 上电讨论.....	75
7.12.1 可编程 WDT 溢出周期.....	75
7.12.2 外部上电复位电路.....	75
7.12.3 残留电压保护.....	75
7.13 代码选项.....	77
7.13.1 代码选项寄存器(Word 0).....	77
7.13.2 代码选项寄存器(Word 1).....	78
7.13.3 代码选项寄存器(Word 2).....	79
7.13.4 代码选项寄存器(Word 3).....	80
7.13.5 客户 ID 寄存器(Word 0x10).....	80
7.13.6 客户 ID 寄存器(Word 0x11).....	81
7.14 低电压侦测/低电压复位.....	82
7.14.1 低电压复位.....	82
7.14.2 低电压侦测.....	82
7.14.2.1 Bank 1 RE (中断状态 2 和唤醒控制寄存器).....	82

7.14.2.2 Bank 0 RE (中断状态 2 和唤醒控制寄存器)	83
7.14.3 编程过程	83
7.15 指令集	85
8 绝对最大值	87
9 DC 电气特性	87
9.1 AD 转换器特性	89
9.2 比较器特性	90
9.3 OP 特性	90
9.4 Vref 2V/2.5V/3V/4V 特性	91
10 AC 电气特性	92
11 时序图	93

附录

A 编码与制造信息	94
B 封装类型	95
C 封装结构	96
C.1 EM78P372KD14	96
C.2 EM78P372KSO14	97
C.3 EM78P372KSO16A	98
C.4 EM78P372KD18	99
C.5 EM78P372KSO18	100
C.6 EM78P372KD20	101
C.7 EM78P372KSO20	102
C.8 EM78P372KSS20	103
C.9 EM78P372KMS10	104
C.10 EM78P372KQN16	105
D 品质保证和可靠性	106
D.1 地址缺陷检测	106

规格修订历史

版本	版本描述	日期
0.1	初版	2014/06/11
1.0	首次发行版本	2014/09/30
1.1	<ol style="list-style-type: none">1. 修改引脚描述2. 修改 7.1.3 节的程序计数器组织图和描述3. 删除 7.1.9 节的 ADC 结构图4. 修改关于 Bank R6 控制寄存器的描述	2015/02/09
1.2	<ol style="list-style-type: none">1. 修改 P51 的引脚描述2. 修改停滞时间寄存器和 PWM 功能的注意事项	2016/01/05
1.3	<ol style="list-style-type: none">1. 修改第二章的封装类型2. 增加用户应用注意事项3. 修改附件 A 编码与制造信息4. 修改 7.8.2 节递增定时器计数器	2016/03/10
1.4	<ol style="list-style-type: none">1. 修改用户应用注意事项	2016/04/19

用户应用注意事项

(使用此芯片前, 请仔细阅读下面的注意事项, 其包含重要信息)

1. **我们强烈推荐**, 无论P51引脚功能为何, 你需要放置外部下拉或上拉电阻(0Ω/1kΩ/10kΩ/100kΩ)。目的是防止P51引脚悬空。
2. **我们强烈推荐**, 无论P50引脚功能为何, 你需要放置外部下拉或上拉电阻(0Ω/1kΩ/10kΩ/100kΩ)。目的是防止P50引脚悬浮。
3. 为了避免PWM输出出现不期待的值, 停滞时间寄存器的值必须小于占空比周期寄存器的值。
4. 如果占空比周期为“0”, PWM输出将不被置位。
5. 当休眠模式时, 内部TCC将停止运行。然而, 在AD转换期间, 当TCC设置为“SLEP”指令, 如果RE寄存器的ADWE位为使能, TCC将保持继续运行。
6. DC转换期间, 为确保其准确, 所有的引脚将不执行输出指令。为了获取准确的结果, AD转换期间, 有必要避免所有I/O引脚的数据转换。
7. 当使用运算放大器时:
 - (1)CMP1E (IOCE0.4), CMPWE (RE.2), CMP1F (RE.4)位为无效
 - (2)比较器中断为无效
 - (3)比较器唤醒为无效
8. 在LXT2和休眠模式, 噪声抑制功能关闭。
9. 低电压复位(LVR)设计用于不稳定的电压状况。如果EM78P372K目标是工作在8 MHz, 工作电压必须要避免掉到2.5V以下。当工作电压在2.5V和POR之间, LVR则不会工作在此情况。

1 综述

EM78P372K是采用低功耗高速CMOS工艺设计开发的8位微控制器。该控制器有片内2Kx13位一次性编程ROM(OTP-ROM)。它提供一个保护位用以保护用户在OTP存储器内的程序不被读取，三个代码选项以满足用户的需要。

基于增强的OTP-ROM特性，EM78P372K可方便地开发和校验用户代码，另外，使用开发与编程工具，使此OTP代码更新更加简单和有效，用户可利用义隆烧录器很容易地烧录其开发代码。

2 特性

- CPU配置
 - 2Kx13位片内 ROM
 - 80x8位片内寄存器(SRAM)
 - 8级堆栈用于子程序嵌套
 - 4级可编程电压检测器 (LVD) : 4.5V, 4.0V, 3.3V, 2.2V
 - 3级可编程电压复位 (LVR) : 4.0V, 3.5V, 2.7V
 - 5V/4 MHz条件下耗电电流小于1.5 mA
 - 3V/32kHz条件下耗电电流典型值15 μ A
 - 休眠模式下耗电电流典型值为 2 μ A
- I/O端口配置
 - 三组双向I/O端口: P5, P6, P7
 - 18 I/O引脚
 - 唤醒端口: P5, P70, P71
 - 8个可编程下拉I/O引脚
 - 16个可编程上拉I/O引脚
 - 8个可编程漏极开路I/O引脚
 - 14个可编程高驱动I/O引脚
 - 14个可编程高灌I/O引脚
 - 外部中断: P60
- 工作电压范围:
 - 2.1V~5.5V at 0°C~70°C (商规)
 - 2.3V~5.5V at -40°C~85°C(工规)
- 工作频率范围(基于2个时钟周期):
 - 晶振模式: DC ~ 16 MHz, 3.0V;
DC ~ 8 MHz, 2.5V; DC ~ 4 MHz, 2.1V
 - ERC模式: DC ~ 2 MHz, 2.1V;
 - IRC 模式
振荡模式: 4 MHz, 16 MHz, 8 MHz, 1 MHz
- 外部配置
 - 8位实时时钟/计数器 (TCC)，其时钟源、边沿触发和溢出中断可选
 - 8通道解析度为12位的模数转换器
 - 两个脉宽调制器 (PWM)，8位分辨率
 - 一对比较器或OP(偏移电压: 小于10mV)
- 10个可用中断
 - TCC 溢出中断
 - 输入端口状态改变中断(可唤醒休眠模式)
 - 外部中断
 - ADC 转换完成中断
 - 比较器状态改变中断
 - 低电压检测(LVD) 中断
 - PWM 周期匹配中断
 - PWM 占空比匹配中断
- 特性:
 - 可编程的自由运行看门狗定时器 (4.5ms, 18ms)
 - 休眠省电模式
 - 上电电压检测器
 - 上电电压检测器(1.9V \pm 0.2V)
 - 高抗EFT特性 (4MHz及以下抗EFT性能更好)
- 封装类型:
 - 10-pin MSOP 118mil : EM78P372KMS10
 - 14-pin DIP 300mil : EM78P372KD14
 - 14-pin SOP 150mil : EM78P372KSO14
 - 16-pin SOP 150mil : EM78P372KSO16A
 - 18-pin DIP 300mil : EM78P372KD18
 - 18-pin SOP 300mil : EM78P372KSO18
 - 20-pin DIP 300mil : EM78P372KD20
 - 20 pin SOP 300mil : EM78P372KSO20
 - 20 pin SSOP 209mil : EM78P372KSS20
 - 16-pin QFN 3x3x0.8mm : EM78P372KQN16

内部 RC 频率	偏移率			
	温度 (-40°C~85°C)	电压 (2.1V~5.5V)	制程	总计
4 MHz	$\pm 2\%$	$\pm 1\%$	$\pm 1\%$	$\pm 4\%$
16 MHz	$\pm 2\%$	$\pm 1\%$	$\pm 1\%$	$\pm 4\%$
8 MHz	$\pm 2\%$	$\pm 1\%$	$\pm 1\%$	$\pm 4\%$
1 MHz	$\pm 2\%$	$\pm 1\%$	$\pm 1\%$	$\pm 4\%$

- 在HXT2模式快速启动时间仅需0.8ms (VDD: 5V 晶振: 4 MHz, C1/C2: 30pF)，在IRC模式需10 μ s (VDD: 5V, IRC: 4 MHz)

注:绿色产品不含有害物质。

3 应用

- 充电器
- 洗衣机
- 空调控制板
- 烤箱
- 电磁炉
- 咖啡壶

4 引脚配置 (封装)

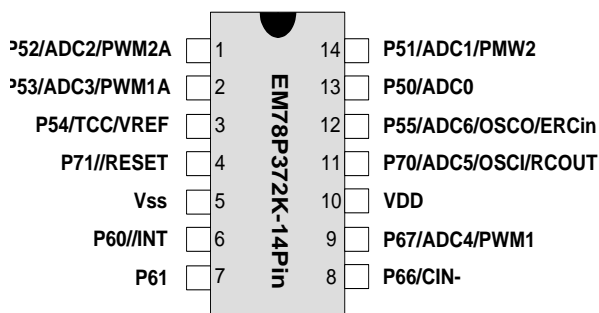


图 4-1 EM78P372KD14/SO14

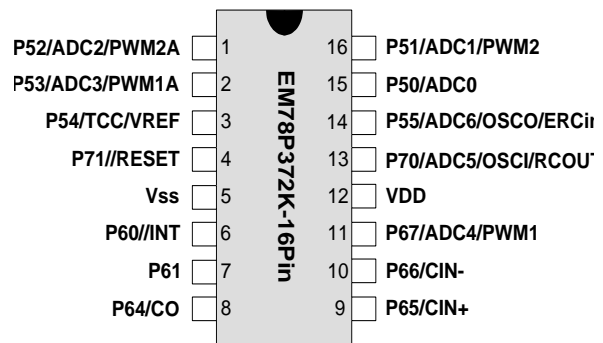


图 4-2 EM78P372KSO16A

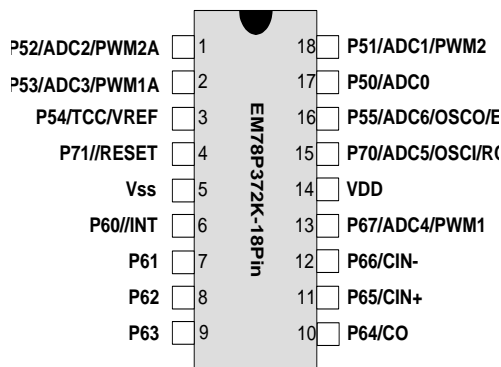


图 4-3 EM78P372KD18/SO18

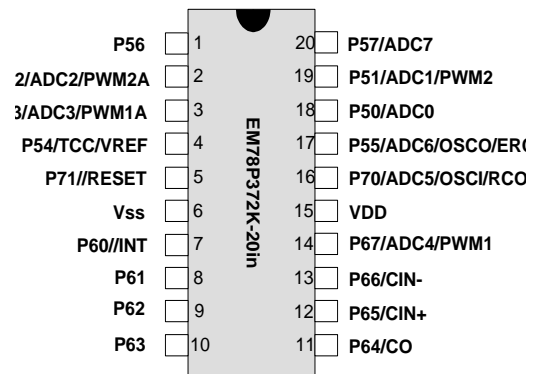


图 4-4 EM78P372KD20/SO20/SS20

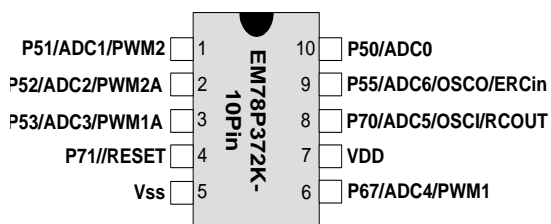


图 4-5 EM78P372KMS10

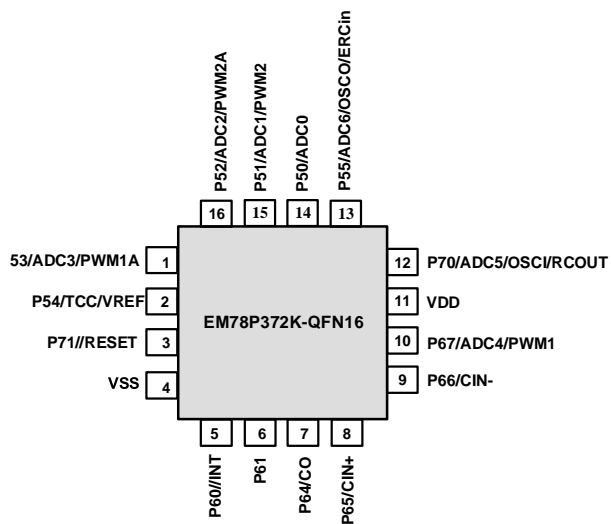


图 4-6 EM78P372KQN16

5 功能结构图

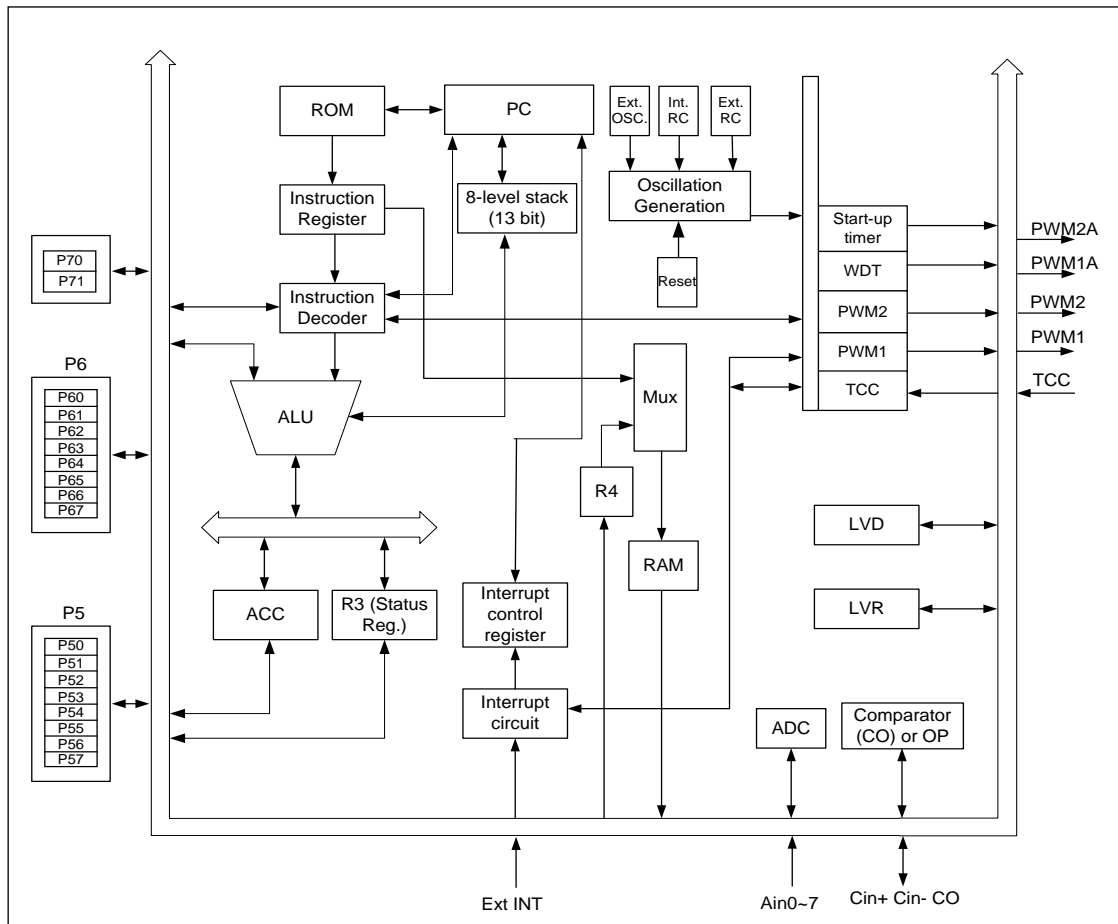


图 5-1 功能结构图

6 引脚描述

符号	功能	输入类型	输出类型	描述
P50	P50	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉和引脚状态改变唤醒
	ADC0	AN	-	ADC 输入通道 0
P51	P51	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒 注意:芯片外需上拉或下拉电阻
	ADC1	AN	-	ADC 输入通道 1 注意:芯片外需上拉或下拉电阻
	PWM2	-	CMOS	PWM2 输出 注意:芯片外需上拉或下拉电阻
P52	P52	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
	ADC2	AN	-	ADC 输入通道 2
	PWM2A	-	CMOS	反向 PWM2 输出
P53	P53	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
	ADC3	AN	-	ADC 输入通道 3
	PWM1A	-	CMOS	反向 PWM1 输出
P54	P54	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
	TCC	ST	-	实时时钟/计数器的时钟输入
	VREF	AN	-	ADC 外部参考电压
P55	P55	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
	ADC6	AN	-	ADC 输入通道 6
	OSCO	-	XTAL	晶体振荡器/陶瓷谐振器的时钟输出引脚
	ERCin	AN	-	外部 RC 振荡器输入引脚
P56	P56	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
P57	P57	ST	CMOS	双向 I/O 引脚, 可编程内部下拉、内部上拉、高驱动、高灌和引脚状态改变唤醒
	ADC7	ST	-	ADC 输入通道 7

符号	功能	输入类型	输出类型	描述
P60//INT	P60	ST	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌。
	/INT	ST	-	外部中断引脚
P61~P63	P61~P63	ST	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌
P64/CO	P64	-	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌
	CO	ST	-	比较器输出
P65/CIN+	P65	ST	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌
	CIN+	ST	-	比较器同向端
P66/CIN-	P66	ST	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌
	CIN-	ST	-	比较器反向端
P67/ADC4/PWM1	P67	ST	CMOS	双向 I/O 引脚, 可编程漏极开路、内部上拉、高驱动和高灌
	ADC4	AN	-	ADC 输入通道 4
	PWM1	-	CMOS	PWM1 输出
P70/ADC5/OSCI/RCOUT	P70	P70	-	双向 I/O 引脚
	ADC5	AN	-	ADC 输入通道 5
	OSCI	XTAL	-	晶体振荡器/陶瓷谐振器的时钟输入引脚
	RCOUT	-	CMOS	内部 RC 振荡器的时钟输出引脚 外部 RC 振荡器的时钟输出引脚(漏极开路)
P71//RESET	P71	ST	CMOS	双向 I/O 引脚(漏极开路)
	/RESET	ST	-	系统复位引脚(需要外部上拉)
VDD	VDD	Power	-	电源
VSS	VSS	Power	-	地

注: ST: 施密特触发输入引脚

AN: 模拟引脚

CMOS: CMOS输出

XTAL: 晶体振荡器/陶瓷谐振器的振荡引脚

注意

我们强烈建议, 无论P51引脚功能, 需要放置外部上拉或下拉电阻。
目的是放置P51引脚悬浮。

7 功能描述

7.1 操作寄存器

7.1.1 R0 (间接寻址寄存器)

R0并非物理实际存在的寄存器。它用作一个间接寻址指针，任何使用R0作为存取数据指针的指令，实际上存取的是RAM选择寄存器(R4)所指向的RAM地址。

7.1.2 R1 (定时时钟/计数器)

R1 对来自TCC 引脚的外部边沿触发信号或内部指令时钟(Fm/Fs)周期进行加一计数，TCC 引脚信号的边沿触发类型由CONT 寄存器的TE 位(CONT-4)设定；R1 和其他寄存器一样可读写，通过复位 PSTE(CONT-3)设定。

如果 PSTE(CONT-3)置1，则预分频器分配给TCC。当TCC 寄存器写入一个值时，预分频计数器的内容将清零。

7.1.3 R2(程序计数器) 和堆栈

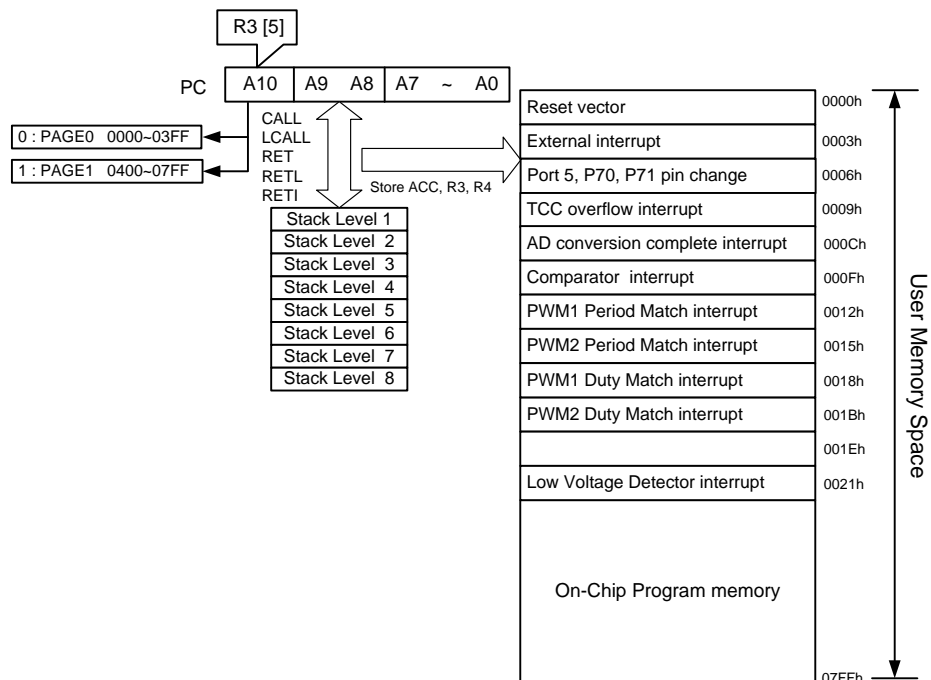


图 7-1 程序存储器结构

- R2 和硬件堆栈是 11位宽，它的结构数据存储配置表中有描述。
- 产生 $2K \times 13$ 位片内OTP ROM 地址以寻址相应的程序指令码。一个程序页是1024字长。
- 复位时R2的所有位都被清为“0”。
- "JMP" 指令可直接加载程序计数器的低10位。因此，"JMP"指令允许PC跳转到一个程序页的任一位置。
- "CALL"指令首先加载PC的低10位，然后将PC+1推入堆栈。因此，子程序入口地址可位于一个程序页的任一位置。
- "LJMP" 指令直接加载程序计数器的低11位(A0~A10)，因此，"LJMP"指令允许PC跳转到 $2K(2^{11})$ 空间内的任一位置。
- "LCALL" 指令首先加载PC的低11位(A0~A10)，然后将PC+1推入堆栈，因此，子程序入口地址可位于 $2K(2^{11})$ 空间内的任一位置。
- "RET" ("RETL k", "RETI") 指令将栈顶值加载到当前PC。
- "ADD R2, A" 可将一个相对地址与当前PC相加，PC的第九位及以上各位逐次递增。
- "MOV R2, A" 可从"A"寄存器加载一个地址到PC的低8位，PC的第九位及以上各位保持不变。
- 任何(除“ADD R2,A”指令外)向R2写入值的指令(例如. "MOV R2, A", "BC R2, 6")都会使PC的第九位与第十位(A8~A10)保持不变。
- 除了"LCALL"与"LJMP"外，其它任何指令都是单指令周期(fclk/2或fclk/4)，"LCALL"与"LJMP"指令需要两个指令周期。

Address	Register	Register	IOC	IOC
	Bank 0	Bank 1	Page 0	Page 1
0 0	R0 (Indirect Addressing Register)			
0 1	R1 (Timer Clock Counter)			
0 2	R2 (Program Counter)			
0 3	R3 (Status Register)			
0 4	R4 (RSR, bank select)			
0 5	R5 (Port 5 I/O data)	R5 (TBHP: Table Point Register)	IOC50 (Port 5 I/O control)	IOC51 (HSCR1: High Sink Control Register 1)
0 6	R6 (Port 6 I/O data)	R6 (TBLP: Table Point Register)	IOC60 (Port 6 I/O control)	IOC61 (HSCR2: High Sink Control Register 2)
0 7	R7 (Port 7 I/O data)	R7 (PWMCON: PWM Control Register)	IOC70 (Port 7 I/O control)	IOC71 (HDCR1: High Driver Control Register 1)
0 8	R8 (ADC Input Select Register)	R8 (TMRCON: Timer Control Register)	IOC80 (Comparator Control Register)	IOC81 (HDCR2: High Driver Control Register 2)
0 9	R9 (ADC Control Register)	R9 (PRD1: PWM1 Time Period)	IOC90 (TMR1: PWM1 Timer)	IOC91 (DeadTCR: Dead Time Control Register)
0 A	RA (ADC Offset Calibration Register)	RA (PRD2: PWM2 Time Period)	IOCA0 (TMR2: PWM2 Timer)	IOCA1 (DeadTR: Dead Time Register)
0 B	RB (Converted value AD11~AD4 of ADC)	RB (DT1: PWM1 Duty Cycle)	IOCB0 (Pull-down Control Register)	IOCB1 (Reserved)
0 C	RC (Converted value AD11~AD8 of ADC)	RC (DT2: PWM2 Duty Cycle)	IOCC0 (Open-drain Control Register)	IOCC1 (Reserved)
0 D	RD (Converted value AD7~AD0 of ADC)	RD (Reserved)	IOCD0 (Pull-high Control Register)	IOCD1 (Reserved)
0 E	RE (Interrupt Status 2 and Wake-up Control Register 1)	RE (LVD Control and Wake-up Control Register 2)	IOCE0 (WDT Control Register and Interrupt Mask Register 2)	IOCE1 (Reserved)
0 F	RF (Interrupt Status Register 1)	RF (Mode Select and IRC Switch Register)	IOCF0 (Interrupt Mask Register 1)	IOCF1 (Pull-high Control Register)
1 0 : 1 F	16 - Byte Common Register			
2 0 : 3 F	Bank 0 32 x 8	Bank 1 32 x 8		

图 7-2 数据存储配置

7.1.4 R3 (状态寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RST	IOCS	-	T	P	Z	DC	C

Bit 7 (RST): 复位类型位

若休眠模式由引脚状态改变、比较器状态改变或AD转换完成等唤醒，其值为“1”。其它复位类型唤醒，其值为“0”。

Bit 6 (IOCS): IO控制寄存器段选择位

0: 选择段0 (IOC50 ~ IOCF0)

1: 选择段1 (IOC51 ~ IOCC1)

Bit 5: 未使用，一致设为“0”

Bit 4 (T): 溢出位。执行“SLEP”和“WDTC”指令或上电后置1，WDT溢出时清0（详见6.5.2节，状态寄存器的T和P状态）。

Bit 3 (P): 掉电位。当上电或执行“WDTC”指令后置1，执行“SLEP”指令后该位清“0”（详见6.5.2节，状态寄存器的T和P状态）。

Bit 2 (Z): 零标志位，如果逻辑或算术运算的结果为零时置“1”

Bit 1 (DC): 辅助进位标志位

Bit 0 (C): 进位标志位

7.1.5 R4 (RAM 选择寄存器)

Bit 7 (SBANK):特殊功能寄存器 0x05~0x0F bank 选择位

0 : SBANK 0

1 : SBANK 1

Bit 6: 用于选择寄存器的Bank 0和Bank 1

Bits 5~0: 用于间接寻址模式下的寄存器选择(地址: 00~0F, 10~3F)

7.1.6 Bank 0 R5~R7 (Ports 5~7 I/O数据寄存器)

R5 和 R6, P70 和 P71 是 I/O 寄存器。

7.1.7 Bank 0 R8 (ADC输入选择寄存器)

AISR寄存器分别单独定义I/O端口作为模拟输入或数字I/O口。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

Bit 7 (ADE7): P57引脚的AD转换使能位

- 0: 禁止ADC7, P57作为普通I/O口
- 1: 使能ADC7作为模拟输入引脚

Bit 6 (ADE6): P55引脚的AD转换使能位

- 0: 禁止ADC6, P55作为普通I/O口
- 1: 使能ADC6作为模拟输入引脚

Bit 5 (ADE5): P70引脚的AD转换使能位

- 0: 禁止ADC5, P70作为普通I/O口
- 1: 使能ADC5作为模拟输入引脚

Bit 4 (ADE4): P67引脚的AD转换使能位

- 0: 禁止ADC4, P67作为普通I/O口
- 1: 使能ADC4作为模拟输入引脚

Bit 3 (ADE3): P53引脚的AD转换使能位

- 0: 禁止ADC3, P53作为普通I/O口
- 1: 使能ADC3作为模拟输入引脚

Bit 2 (ADE2): P52引脚的AD转换使能位

- 0: 禁止ADC2, P52作为普通I/O口
- 1: 使能ADC2作为模拟输入引脚

Bit 1 (ADE1): P51引脚的AD转换使能位

- 0: 禁止ADC1, P51作为普通I/O口
- 1: 使能ADC1作为模拟输入引脚

Bit 0 (ADE0): P50引脚的AD转换使能位

- 0: 禁止ADC0, P50作为普通I/O口
- 1: 使能ADC0作为模拟输入引脚

注意

P55/ADC6/OSCO/ERCin 引脚不能同时用作OSCO与ADC6，如果 P55/ADC6/OSCO/ERCin 作为OSCO振荡器输入引脚，此时，R8的ADE6位须为“0”且 ADIS2~0不能选择“110”。P55/ADC6/OSCO/ERCin 引脚的优先级如下：

:

P55/ADC6/OSCO/ERCin 引脚优先级		
高	中	低
OSCO/ERCin	ADC6	P55

P70/ADC5/OSCI/RCOUT 引脚不能同时用作OSCI与ADC5，如果 P70/ADC5/OSCI/RCOUT 作为OSCI振荡器输入引脚，此时，R8的ADE5位须为“0”且 ADIS2~0不能选择“101”。P70/ADC5/OSCI/RCOUT 引脚的优先级如下：

P70/ADC5/OSCI/RCOUT 引脚优先级		
高	中	低
OSCI/RCOUT	ADC5	P70

P67/ADC4/PWM1 引脚不能同时用作PWM1与ADC4，如果P67/ADC4/PWM1作为ADC4模拟输入引脚，此时，P67/ADC4/PWM1 引脚的优先级如下：

P67/ADC4/PWM1 引脚优先级		
高	中	高
ADC4	PWM1	P67

P51/ADC1/PWM2 引脚不能同时用作PWM2与ADC1，如果P51/ADC1/PWM2作为ADC1模拟输入引脚，此时，P51/ADC1/PWM2 引脚的优先级如下：

P51/ADC1/PWM2 引脚优先级		
高	中	低
ADC1	PWM2	P51

P50/ADC0 引脚不能同时用作ADC0，如果P50/ADC0作为ADC0模拟输入引脚，此时，P50/ADC0 引脚的优先级如下：

P50/ADC0 引脚优先级	
高	低
ADC0	P50

7.1.8 Bank 0 R9 (ADC控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

Bit 7 (VREFS): ADC参考电压的输入源

0: 以工作电压VDD作为ADC的参考电压(默认值)，VREF/TCC/P54引脚执行P54功能(默认)

1: 引脚VREF/TCC/P54上的电压作为ADC的参考电压。

注意

- P54/TCC/VREF 引脚不能同时作为 TCC 和 VREF，如果 P54/TCC/VREF 用作 VREF 模拟输入引脚，此时，CONT 寄存器“TS”位(-5)须设为“0”。
- VREF/TCC/P54 引脚的优先级如下：

P53/TCC/VREF 引脚优先级		
高	中	低
VREF	TCC	P54

Bit 6 & Bit 5 (CKR1 & CKR0): ADC 的时钟预分频选择位

CPUS	CKR1 : CKR0	工作模式	最大工作频率 (如果 TAD=4 μ s, 匹配 372N)	最大工作频率 (如果 TAD=1 μ s, 匹配 372N)
1	00 (默认)	F _{osc} /16	4 MHz	16 MHz
1	01	F _{osc} /4	1 MHz	4 MHz
1	10	F _{osc} /64	16 MHz	-
1	11	F _{osc} /1	-	1 MHz
0	xx	-	16K/128kHz	16K/128kHz

Bit 4 (ADRUN): ADC 开始启动

- 0: 当转换完成时由硬件复位，该位不能由软件复位(默认)
- 1: AD 转换开始，该位可由软件置位

Bit 3 (ADPD): ADC 功耗

- 0: ADC 低功耗模式(默认)。
- 1: ADC 正常运行

Bits 2 ~ 0 (ADIS2 ~ ADIS0): 模拟输入选择

ADICS	ADIS2	ADIS1	ADIS0	模拟输入选择
0	0	0	0	ADC0 / P50
0	0	0	1	ADC1 / P51
0	0	1	0	ADC2 / P52
0	0	1	1	ADC3 / P53
0	1	0	0	ADC4 / P67
0	1	0	1	ADC5 / P70
0	1	1	0	ADC6 / P55
0	1	1	1	ADC7 / P57
1	0	x	x	内部 ADC 通道选择: OPOUT
1	1	0	0	内部 ADC 通道选择: 1/4 VDD
1	1	0	1	内部 ADC 通道选择: 1/2 VDD
1	1	1	0	保留
1	1	1	1	保留

7.1.9 Bank 0 RA (ADC补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS

Bit 7 (CALI): ADC补偿校准使能位

0: 禁止校准 (默认)

1: 使能校准

Bit 6 (SIGN): 补偿电压极性选择位

0: 负电压(默认)

1: 正电压

Bit 5 ~ Bit 3 (VOF[2] ~ VOF[0]): 补偿电压位

VOF[2]	VOF[1]	VOF[0]	EM78P372K
0	0	0	0 LSB
0	0	1	2 LSB
0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bits 2 ~ 1 (VREF1 ~ VREF0): ADC 内部参考电压源

VREFSEL在Option Word 3 Bit 11	VREF[1]	VREF[0]	ADC Int. Ref. Volt
0	0	0	VDD
0	0	1	4.0V ± 1%
0	1	0	3.0V ± 1%
0	1	1	2.5V ± 1%
1	0	0	VDD
1	0	1	4.0V ± 1%
1	1	0	3.0V ± 1%
1	1	1	2.0V ± 1%

如果VREF[1:0]=00, 内部参考电压关闭。如果VREF[1:0]≠00,内部参考电压将自动启动。而且内部参考电压与ADC无关。即VREF[1:0]的一位置位, 内部参考源将开启。

如果 VREF[1:0]=11, 内部参考参考电压开启, 通过代码选项选择VREF 2.0V或VREF 2.5V。

Bit 0 (ADICS): ADC 内部通道选择位(选择ADC内部1/4 VDD或OP输出引脚接至ADC输入脚)

0: 禁止(默认)

1: 使能

7.1.10 Bank 0 RB (ADC AD11~AD4的转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4

当AD转换完成时，结果存入ADDATA，ADRUN位清“0”，ADIF置“1”。

RB为只读。

7.1.11 Bank 0 RC (ADC AD11~AD8的转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	AD11	AD10	AD9	AD8

当AD转换完成时，结果存入ADDATA1H，ADRUN位清“0”，ADIF置“1”。

RC为只读。

7.1.12 Bank 0 RD (ADC AD7~AD0的转换结果)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

当AD转换完成时，结果存入ADDATA1L，ADRUN位清“0”，ADIF置“1”。

RD为只读。

7.1.13 Bank 0 RE (中断状态2和唤醒控制寄存器1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	ADIF	CMP1IF	ADWE	CMPWE	ICWE	LVDWE

- 注意:**
1. RE <6, 5, 4> 可由指令清零，但不能置位。
 2. IOCE0 是中断屏蔽寄存器。
 3. 读RE的值是RE与IOCE0“逻辑与”的结果。

Bit 7 (/LVD): 低电压检测器状态位，该位为只读位。当VDD引脚电压小于LVD中断电压(通过LVD1和LVD0位来选择)时，该位被清零。

0: 检测到低电压

1: 未检测到低电压或LVD功能禁止(默认)

Bit 6 (LVDIF): 低电压检测器中断标志位

LVDIF由软件复位为“0”

Bit 5 (ADIF): 模数转换中断标志位，当AD转换完成时置位，由软件复位。

0: 没有中断发生(默认)

1: 中断请求

Bit 4 (CMPIF): 比较器中断标志，当比较器输出发生改变时置位，软件清零。

0: 没有中断发生(默认)

1: 中断请求

Bit 3 (ADWE): ADC 唤醒使能位

0: 禁止ADC 唤醒(默认)

1: 使能ADC 唤醒

当AD转换进入休眠/空闲模式时，该位必须设为“使能”。

Bit 2 (CMPWE):比较器唤醒使能位

0: 禁止比较器唤醒(默认)

1: 使能比较器唤醒

当比较器进入休眠/空闲模式时，该位必须设为“使能”。

Bit 1 (ICWE): 端口5输入状态改变唤醒使能位

0: 禁止端口5输入状态改变唤醒(默认)

1: 使能端口5输入状态改变唤醒

当Port5状态改变用于唤醒休眠/空闲模式时，该位必须设为“使能”。

Bit 0 (LVDWE):低电压检测唤醒使能位

0: 禁止低电压检测唤醒(默认)

1: 使能低电压检测唤醒

在低电压检测运行情况下，当其用于进入中断或将IC由休眠/空闲模式唤醒时，LVDWE位必须设为“使能”。

7.1.14 Bank 0 RF (中断状态寄存器1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF

注: 1. “1”表示有中断请求，“0”表示没有中断产生

2. RF 可由指令清“0”，但不能置1。

3. IOCF0是中断屏蔽寄存器。

4. 读RF的值是RF与IOCF0“逻辑与”的结果。

Bit 7 (P7ICIF): Port 7状态改变中断标志。当Port 7输出状态改变时置1。由软件复位。

Bit 6 (DT2IF): PWM2 占空比中断标志，当PWM2占空比匹配时置位，由软件清零。

Bit 5 (DT1IF): PWM1 占空比中断标志，当PWM1占空比匹配时置位，由软件清零。

Bit 4 (PWM2IF): PWM2 周期中断标志，当PWM2周期匹配时置位，由软件清零。

Bit 3 (PWM1IF): PWM1 周期中断标志，当PWM1周期匹配时置位，由软件清零。

Bit 2 (EXIF): 外部中断标志位，在/INT引脚下降沿时置位，由软件清零。

Bit 1 (ICIF): 端口5输入状态改变中断标志，当端口5输入状态改变时置位，由软件清零。

Bit 0 (TCIF): TCC溢出中断标志，当TCC溢出时置位，由软件清零。

7.1.15 Bank 1 R5 (TBHP: 表指针寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MLB	TRS	-	-	-	RBit10	RBit9	RBit8

Bit 7 (MLB): 选择机器码的MSB或LSB值移到寄存器

机器码由TBLP与TBHP寄存器指向。

Bit 6 (TRS): 表读取选择

0: 读取ROM

1: 读取用户ID寄存器

注意

当TRS = 1 (读取用户ID寄存器)

- 可以读取用户ID寄存器 II, III (Word 0x10或Word 0x11)
- 不可以读取客户ID寄存器 I (Word 2)
- 不关心RBit10 ~ RBit3

Bits 5~3: 未使用，一直设为“0”

Bits 2 ~ 0: 程序码的最高3个有效位地址

7.1.16 Bank 1 R6 (TBLP: 表指针寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0

Bits 7 ~ 0 (RBit7~RBit0):表指针低字节位。

当TRS = 0 (读取ROM):

RBit7~RBit6 为指令码的低8位有效位地址。

当TRS = 1 (读取用户ID寄存器):

RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0	用户 ID
x	x	x	x	x	0	0	0	Word 0x10
x	x	x	x	x	0	0	1	Word 0x11
x	x	x	x	x	0	1	x	预留
x	x	x	x	x	1	x	x	预留

注意

- Bank 1 R6 溢出进位至Bank 1 R5。
- Bank 1 R6 下溢从 Bank 1 R5借位。

7.1.17 Bank 1 R7 (PWMCON: PWM控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2E	IPWM1E	-	-	-	PWMCAS	PWM2E	PWM1E

Bit 7 (IPWM2E): /PWM2使能位

0: /PWM2 关闭(默认), 其相关的引脚用作 P52 功能

1: /PWM2 开启, 其相关引脚自动设为输出

Bit 6 (IPWM1E): /PWM1使能位

0: /PWM1 关闭(默认), 其相关的引脚用作 P53 功能

1: /PWM1 开启, 其相关引脚自动设为输出

Bits 5 ~ 3: 未使用

Bit 2 (PWMCAS): PWM 级联模式

0: 两个独立的 8 位 PWM 功能(默认)

1: 16 位 PWM 模式(由两个 8 位 PWM 级联而来)

Bit 1 (PWM2E): PWM2 使能位

0: PWM2 关闭(默认), 其相关的引脚用作 P67 功能

1: PWM2 开启, 其相关引脚自动设为输出

Bit 0 (PWM1E): PWM1 使能位

0: PWM1 关闭(默认), 其相关的引脚用作 P51 功能

1: PWM1 开启, 其相关引脚自动设为输出

7.1.18 Bank 1 R8 (TMRCON: 定时器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0

Bit 7 (T2EN): TMR2 使能位

0: TMR2 关闭(默认)

1: TMR2 开启

Bit 6 (T1EN): TMR1 使能位

0: TMR1 关闭(默认)

1: TMR1 开启

Bit 5 ~ Bit 3 (T2P2 ~ T2P0): TMR2 时钟分频器选项位

T2P2	T2P1	T2P0	分频比
0	0	0	1:1 (默认)
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit 2 ~ Bit 0 (T1P2 ~ T1P0): TMR1 时钟分频器选项位

T1P2	T1P1	T1P0	分频比
0	0	0	1:1 (默认)
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8
1	0	0	1:16
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

7.1.19 Bank 1 R9 (PRD1: PWM1时间周期)

Bank 1-R9 内容是 PWM1 的时间周期(时基)，PWM1 的频率是其周期的倒数。

7.1.20 Bank 1 RA (PRD2: PWM2时间周期)

Bank 1-RA 内容是 PWM2 的时间周期(时基)，PWM2 的频率是其周期的倒数。

7.1.21 Bank 1 RB (DT1: PWM1占空比周期)

使 PWM1 的输出一直保持高电平直到其值与 TMR1 内容相匹配的一个特定值。

7.1.22 Bank 1 RC (DT2: PWM2占空比周期)

使 PWM2 的输出一直保持高电平直到其值与 TMR2 内容相匹配的一个特定值。

7.1.23 Bank 1 RE (LVD控制与唤醒控制寄存器2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LVDEN	LVD1	LVD0	-	-	-	EXWE

Bit 7 (LVDIE): 低电压检测器中断使能位

- 0: 禁止低电压检测器中断
- 1: 使能低电压检测器中断

当低电压检测用于进入中断向量或进入下一条指令时，LVDIE位必须设为“使能”。

Bit 6 (LVDEN): 低电压检测器使能位

- 0: 禁止低电压检测器功能
- 1: 使能低电压检测器功能

Bits 5~4 (LVD1:0): 低电压检测器电平选择位

LVDEN	LVD1, LVD0	LVD 电压中断电平	/LVD
1	11	$V_{dd} \leq 2.2V$	0
		$V_{dd} > 2.2V$	1
1	10	$V_{dd} \leq 3.3V$	0
		$V_{dd} > 3.3V$	1
1	01	$V_{dd} \leq 4.0V$	0
		$V_{dd} > 4.0V$	1
1	00	$V_{dd} \leq 4.5V$	0
		$V_{dd} > 4.5V$	1
0	XX	NA	1

Bits 3~1: 未用，一直设为“0”

Bit 0 (EXWE): 外部/INT 引脚唤醒使能位

- 0: 禁止外部/INT 引脚唤醒
- 1: 使能外部/INT 引脚唤醒

7.1.24 Bank 1 RF (模式选择和IRC转换寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0

Bit 7: 未用，一直设为“0”

Bit 6 (TIMERSC): TCC, PWM1, PWM2 时钟源选择 0/1 → Fs/Fm*

- 0: Fs: 副振荡器时钟从WDT 16kHz ± 30% 或系统保持RC 128kHz ± 30% (由Word 2 SFS bit决定)

1 : Fm: 主振荡器时钟

Bit 5 (CPUS): CPU 振荡源选择位

0 : 副振荡器(Fs)

1 : 主振荡器(Fm)

当 CPUS=0, CPU 振荡器选择副振荡器, 主振荡器停止。

Bit 4 (IDLE): 空闲模式使能位该位将决定执行 SLEP 指令后 CPU 将进入哪个工作模式。

0: IDLE = '0' + SLEP 指令 → 休眠模式(默认)

1: IDLE = '1' + SLEP 指令 → 空闲模式

Bits 3 ~ 2 (SHS1~0): 选择 AD 采样和保持时间

SHS1	SHS0	AD采样和保持时间 (TAD)
0	0	2
0	1	4
1	0	8
1	1	12 (默认)

CPU 操作模式

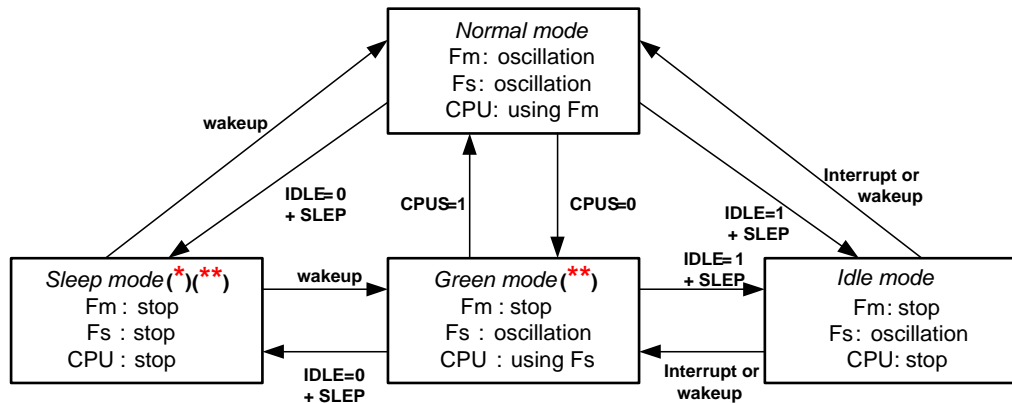


图 7-5 CPU 操作模式

(*)

如果进入休眠模式前看门狗功能使能, 一些电路例如定时器(时钟源为 Fs)必须停止计数。

如果进入休眠模式前看门狗功能使能, 一些电路例如定时器(时钟源为外部引脚)将仍然继续计数, 当相关中断使能, 中断标志在匹配条件下有效。但是 CPU 不能被此事件唤醒。

(**)

转换模式: 休眠 → 正常, 绿色 → 正常

如果定时器的时钟源为 Fm, 定时器/计数器在休眠或绿色模式时必须停止计数。然后定时器可以继续计数直到在正常模式下稳定。时钟源稳定意味着 CPU 开始工作在正常模式。

转换模式: 休眠 → 绿色

如果定时器的时钟源为 Fs, 定时器在休眠模式时必须停止计数。然后定时器可以继续计数直到在绿色模式下稳定。时钟源稳定意味着 CPU 开始工作在绿色模式。

转换模式: 休眠 → 正常

如果定时器的时钟源为 F_s ，定时器在休眠模式时必须停止计数。然后定时器可以继续计数直到在正常模式下稳定。时钟源稳定意味着 CPU 开始工作在正常模式。

注意

- LXT1, XT, HXT2, HXT1的晶振MOD1:
 休眠 → 正常= 振荡器稳定时间 + 510个时钟(主频)
 休眠 → 绿色= 振荡器稳定时间 + 8个时钟(副频)
 绿色 → 正常=振荡器稳定时间+ 510个时钟(主频)

- LXT2的晶振MOD2:
 休眠 → 正常= 振荡器稳定时间 + 254个时钟(主频)
 休眠 → 绿色=振荡器稳定时间+ 8个时钟(主频)
 绿色 → 正常=振荡器稳定时间+ 254个时钟(主频)

- IRC MOD :
 休眠 → 正常 =振荡器稳定时间+ 8 或 32个时钟(主频)
 休眠 → 绿色=振荡器稳定时间+ 8个时钟(主频)
 绿色 → 正常=振荡器稳定时间+ 8个时钟(主频)

Bits 3~2: 未用，一直设为“0”

Bits 1~0 (RCM1: 0): IRC模式选择位

RCM 1	RCM 0	*频率(MHz)
1	1	4
1	0	16
0	1	8
0	0	1

注意

- Word 2<11> COBS0=0 :
 Bank 1 RF<1~0> 的初始值必须与Word 1<6~5>一致。
 Bank 1 RF<1~0> 不改变。

- Word 2<11> COBS0=1 :
 Bank 1 RF<1~0> 的初始值必须与Word 1<6~5>一致。
 Bank 1 RF<1~0>改变。当用户想要工作在其他IRC频率，稳定时间为8个时钟。

7.1.25 R10~R1F

这些寄存器都是 8位通用寄存器。

7.2 特殊功能寄存器

7.2.1 A (累加器)

用于内部数据传输或指令操作数通常暂存在A中，A不是一个可寻址的寄存器。

7.2.2 CONT (控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE	INT	TS	TE	PSTE	PST2	PST1	PST0

注: CONT寄存器可读写。Bit 6 为只读位。

Bit 7 (INTE): INT 信号边沿

0: 中断发生在INT引脚信号上升沿

1: 中断发生在INT引脚信号下降沿

Bit 6 (INT): 中断使能标志位

0: 由DISI指令或硬件中断屏蔽

1: 由ENI或RETI指令使能

该位为只读位

Bit 5 (TS): TCC 信号源

0: 内部指令周期时钟，若P54作为双向I/O口

1: 由 TCC 引脚传输信号

Bit 4 (TE): TCC 信号边沿

0: TCC引脚上的传输信号由低到高变化时，TCC加1

1: TCC引脚上的传输信号由高到低变化时，TCC加1

Bit 3 (PSTE): TCC预分频使能位

0: 预分频比禁止，TCC 分频比为1:1

1: 预分频比使能，TCC分频比由Bit 2 ~ Bit 0设置

Bit 2 ~ Bit 0 (PST2 ~ PST0): TCC预分频位

PST2	PST1	PST0	TCC比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

注意:

$$TCC \text{ Timeout period} = \frac{1}{FT} \times (256 - TCC \text{ cnt}) \times 1,$$

where $FT = F_m \text{ or } F_s$, decide by BANK1 RF TIMERS Cbit.

7.2.3 IOC50 ~ IOC70 (I/O端口控制寄存器)

"0" 定义相关I/O引脚为输出口

"1" 定义相关I/O引脚为高阻态输入

7.2.4 IOC80 (比较器控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	CMPOUT	COS1	COS0	-	-	-

注: IOC80寄存器的第4~0位可读写。

IOC80寄存器的第5位为只读位。

Bit 7 & Bit 6: 未使用

Bit 5 (CMPOUT): 比较器输出结果, 该位为只读位。

Bit 4 & Bit 3 (COS1 & COS0): 比较器/OP选择位

COS1	COS0	功能描述
0	0	比较器和 OP 不用, P64, P65 和 P66 作为普通 I/O 引脚
0	1	P65 和 P66 作为比较器输入引脚, P64 作为普通 I/O 引脚
1	0	P65 和 P66 作为比较器输入引脚, P64 作为比较器输出引脚(CO)
1	1	作为 OP, P64 作为 OP 输出引脚(CO)

Bits 2~0: 未使用

7.2.5 IOC90 (TMR1: PWM1定时器)

7.2.6 IOCA0 (TMR2: PWM2 定时器)

7.2.7 IOCB0 (下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PD57	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50

IOCB0寄存器可读写

Bit 7 (/PD57): 控制位用于使能P57引脚内部下拉功能

0: 使能内部下拉

1: 禁止内部下拉

Bit 6 (/PD56): 控制位用于使能P56引脚内部下拉功能

Bit 5 (/PD55): 控制位用于使能P55引脚内部下拉功能

Bit 4 (/PD54): 控制位用于使能P54引脚内部下拉功能

Bit 3 (/PD53): 控制位用于使能P53引脚内部下拉功能

Bit 2 (/PD52): 控制位用于使能P52引脚内部下拉功能

Bit 1 (/PD51): 控制位用于使能P51引脚内部下拉功能

Bit 0 (/PD50): 控制位用于使能P50引脚内部下拉功能

7.2.8 IOCC0 (漏极开路控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OD67	OD66	OD65	OD64	OD63	OD62	OD61	OD60

IOCC0寄存器可读写

Bit 7 (OD67): 控制位用于使能P67引脚漏极开路功能

0: 禁止漏极开路输出

1: 使能漏极开路输出

Bit 6 (OD66): 控制位用于使能P66引脚漏极开路功能

Bit 5 (OD65): 控制位用于使能P65引脚漏极开路功能

Bit 4 (OD64): 控制位用于使能P64引脚漏极开路功能

Bit 3 (OD63): 控制位用于使能P63引脚漏极开路功能

Bit 2 (OD62): 控制位用于使能P62引脚漏极开路功能

Bit 1 (OD61): 控制位用于使能P61引脚漏极开路功能

Bit 0 (OD60): 控制位用于使能P60引脚漏极开路功能

7.2.9 IOCD0 (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH57	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50

IOCD0寄存器可读写

Bit 7 (/PH57): 控制位用于使能P57引脚内部上拉功能

0: 使能内部上拉

1: 禁止内部上拉

Bit 6 (/PH56): 控制位用于使能P56引脚内部上拉功能

Bit 5 (/PH55): 控制位用于使能P55引脚内部上拉功能

Bit 4 (/PH54): 控制位用于使能P54引脚内部上拉功能

Bit 3 (/PH53): 控制位用于使能P53引脚内部上拉功能

Bit 2 (/PH52): 控制位用于使能P52引脚内部上拉功能

Bit 1 (/PH51): 控制位用于使能P51引脚内部上拉功能

Bit 0 (/PH50): 控制位用于使能P50引脚内部上拉功能

7.2.10 IOCE0 (WDT控制寄存器和中断屏蔽寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0

Bit 7 (WDTE): 控制位用于使能看门狗定时器

0: 禁止 WDT

1: 使能 WDT

WDTE 位可读写

Bit 6 (EIS): 控制位用于定义P60(/INT)引脚的功能

0: P60, 双向I/O引脚

1: /INT, 外部中断引脚, 这种情况下, P60的I/O控制位(IOC60的位0)

必须设置为“1”。

注意

- 当EIS为“0”时, /INT通道被屏蔽。当EIS为“1”时, /INT引脚状态也可由读取Port6(R6)读取到。参考图6-5 (6.4部分(I/O端口)的I/O端口和I/O控制寄存器电路)
- EIS位可读写。

Bit 5 (ADIE): ADIF 中断使能位

0: 禁止ADIF中断

1: 使能ADIF中断

Bit 4 (CMPIE):CMPIF 中断使能位

0: 禁止CMPIF中断

1: 使能CMPIF中断

Bit 3 (PSWE): WDT预分频使能位

0: 预分频禁止, WDT分频比为1:1

1: 预分频使能, WDT分频比由位0~位2位设置

Bit 2 ~ Bit 0 (PSW2 ~ PSW0): WDT 预分频比位

PSW2	PSW1	PSW0	WDT比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

7.2.11 IOCF0 (中断屏蔽寄存器1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE

注: IOCF0寄存器是可读写的

通过设定IOCF0和IOCE0的位4, 5相关位为“1”来使能单个中断。

全局中断由ENI 指令使能, 由DISI指令禁止。

Bit 7 (P7ICIE): P7ICIF中断使能位

0: 禁止ICIF中断

1: 使能ICIF中断

Bit 6 (DT2IE): DT2IE中断使能位

0: 禁止DT2IF中断

1: 使能DT2IF中断

Bit 5 (DT1IE): DT1IE中断使能位

0: 禁止DT1IF中断

1: 使能DT1IF中断

Bit 4 (PWM2IE): PWM2IE中断使能位

0: 禁止PWM2IF中断

1: 使能PWM2IF中断

Bit 3 (PWM1IE): PWM1IE中断使能位

0: 禁止PWM1IF中断

1: 使能PWM1IF中断

Bit 2 (EXIE): EXIF中断使能位

0: 禁止EXIF中断

1: 使能EXIF中断

Bit 1 (ICIE): ICIF中断使能位

0: 禁止ICIF中断

1: 使能ICIF中断

Bit 0 (TCIE): TCIF中断使能位

0: 禁止TCIF中断

1: 使能TCIF中断

7.2.12 IOC51 (HSCR1: 高灌电流控制寄存器 1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS57	HS56	-	HS54	HS53	HS52	HS51	-

Bit 7 (HS57): P57输出高灌电流的选择位

Bit 6 (HS56): P56输出高灌电流的选择位

Bit 5: 未用

Bit 4 (HS54): P54输出高灌电流的选择位

Bit 3 (HS53): P53输出高灌电流的选择位

Bit 2 (HS52): P52输出高灌电流的选择位

Bit 1 (HS51): P51输出高灌电流的选择位

Bit 0: 未用

HDxx	VDD = 5V, 灌电流
0	10 mA (in 0.1VDD)
1	25 mA (in 0.1VDD)

7.2.13 IOC61 (HSCR2: 高灌电流控制寄存器 2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HS67	HS66	HS65	HS64	HS63	HS62	HS61	HS60

Bit 7 (HS67): P67输出高灌电流的选择位

Bit 6 (HS66): P66输出高灌电流的选择位

Bit 5 (HS65): P65输出高灌电流的选择位

Bit 4 (HS64): P64输出高灌电流的选择位

Bit 3 (HS63): P63输出高灌电流的选择位

Bit 2 (HS62): P62输出高灌电流的选择位

Bit 1 (HS61): P61输出高灌电流的选择位

Bit 0 (HS60): P60输出高灌电流的选择位

HDxx	VDD = 5V, 灌电流
0	10 mA (在 0.1VDD 时)
1	25 mA (在 0.1VDD 时)

7.2.14 IOC71 (HDCR1: 高驱动电流控制寄存器 1)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HD57	HD56	-	HD54	HD53	HD52	HD51	-

Bit 7 (HD57): P57输出高驱动电流的选择位

Bit 6 (HD56): P56输出高驱动电流的选择位

Bit 5: 未用

Bit 4 (HD54): P54输出高驱动电流的选择位

Bit 3 (HD53): P53输出高驱动电流的选择位

Bit 2 (HD52): P52输出高驱动电流的选择位

Bit 1 (HD51): P51输出高驱动电流的选择位

Bit 0: 未用

HDxx	VDD = 5V, 驱动电流
0	3.7 mA (在 0.9VDD 时)
1	10 mA (在 0.9VDD 时)

7.2.15 IOC81 (HDCR2: 高驱动电流控制寄存器2)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
HD67	HD66	HD65	HD64	HD63	HD62	HD61	HD60

Bit 7 (HD67): P67输出高驱动电流的选择位

Bit 6 (HD66): P66输出高驱动电流的选择位

Bit 5 (HD65): P65输出高驱动电流的选择位

Bit 4 (HD64): P64输出高驱动电流的选择位

Bit 3 (HD63): P63输出高驱动电流的选择位

Bit 2 (HD62): P62输出高驱动电流的选择位

Bit 1 (HD61): P61输出高驱动电流的选择位

Bit 0 (HD60): P60输出高驱动电流的选择位

HDxx	VDD = 5V, 驱动电流
0	3.7 mA (在 0.9VDD 时)
1	10 mA (在 0.9VDD 时)

7.2.16 IOC91 (DeadTCR: 停滞时间控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPWM2A	IPWM1A	PWM2A	PWM1A	DEADT2E	DEADT1E	DEADTP1	DEADTP0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

Bit 7 (IPWM2A): /PWM2的有效电平

0: 周期-占空比-停滞时间为逻辑1 (默认)

1: 周期-占空比-停滞时间为逻辑0

Bit 6 (IPWM1A): /PWM1的有效电平

0: 周期-占空比-停滞时间为逻辑1(默认)

1: 周期-占空比-停滞时间为逻辑0

Bit 5 (PWM2A): PWM2的有效电平

0: 占空比-停滞时间为逻辑1(默认)

1: 占空比-停滞时间为逻辑0

Bit 4 (PWM1A): PWM1的有效电平

0: 占空比-停滞时间为逻辑1(默认)

1: 占空比-停滞时间为逻辑0

Bit 3 (DEADT2E): 使能PWM2和/PWM2的停滞时间功能(对偶PWM)

0: 禁止(默认)

1: 使能

Bit 2 (DEADT1E): 使能PWM1和/PWM1的停滞时间功能(对偶PWM)

0: 禁止(默认)

1: 使能

Bits 1~0 (DEADTP1~DEADTP0):停滞时间预分频比

DEADTP1	DEADTP0	预分频比
0	0	1:1 (默认)
0	1	1:2
1	0	1:4
1	1	1:8

注意

停滞时间功能仅用于互补PWM。如果使用在单一PWM功能(不是互补PWM)，停滞时间功能总是被禁止。

7.2.17 IOCA1 (DeadTR: 停滞时间寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADTR7	DEADTR6	DEADTR5	DEADTR4	DEADTR3	DEADTR2	DEADTR1	DEADTR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

Bits 7~0 (DEADTR7~0): 寄存器的内容为停止寄存器。

注意

停滞时间寄存器中的值必须小于占空比周期中的值, 避免出现 PWM 输出出现不预期的值。

7.2.18 IOCF1 (上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/PH67	/PH66	/PH65	/PH64	/PH63	/PH62	/PH61	/PH60

注: IOCD0 寄存器是可读写的

Bit 7 (/PH67): 控制位用于使能P67引脚的内部上拉功能

0: 使能内部上拉

1: 禁止内部上拉

Bit 6 (/PH66): 控制位用于使能P66引脚的内部上拉功能

Bit 5 (/PH65): 控制位用于使能P65引脚的内部上拉功能

Bit 4 (/PH64): 控制位用于使能P64引脚的内部上拉功能

Bit 3 (/PH63): 控制位用于使能P63引脚的内部上拉功能

Bit 2 (/PH62): 控制位用于使能P62引脚的内部上拉功能

Bit 1 (/PH61): 控制位用于使能P61引脚的内部上拉功能

Bit 0 (/PH60): 控制位用于使能P60引脚的内部上拉功能

7.3 TCC/WDT & 预分频器

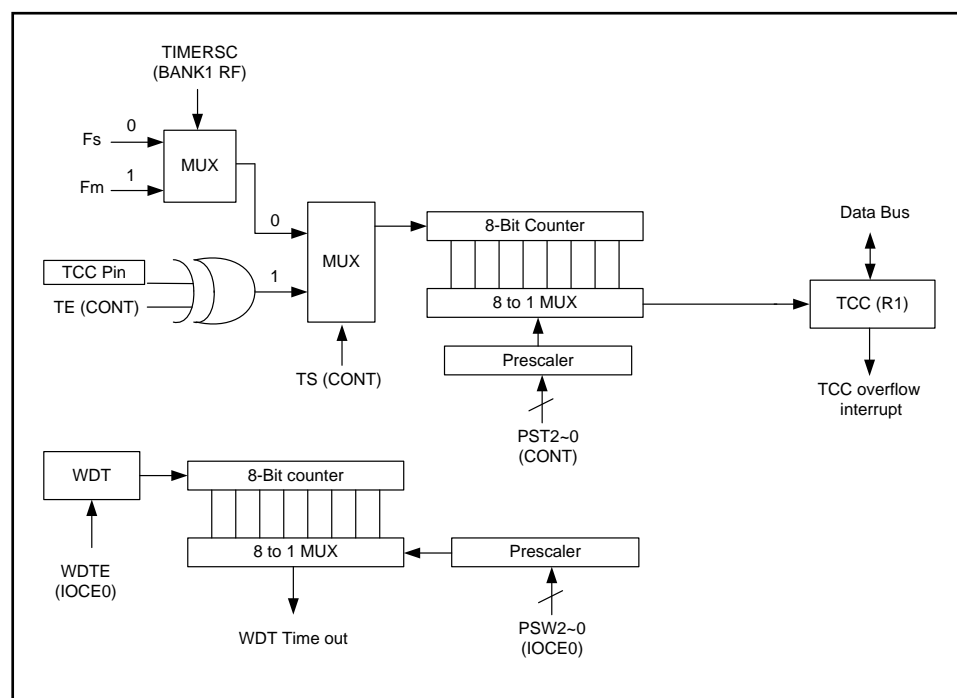
有两个8位计数器分别作为TCC和WDT的分频器。CONT寄存器的PST2~PST0位决定TCC的分频系数。IOCE0寄存器的PSW0~PSW2位决定WDT的分频系数。每次给TCC赋值都将TCC预分频计数器清零。执行“WDTC”和“SLEP”指令可将WDT和预分频比清0。TCC/WDT的电路结构图如图7-6所示。

TCC(R1)是一个8位定时/计数器，TCC时钟源可以选择内部时钟(Fm/Fs)或外部信号输入(从TCC引脚输入的时钟边沿可选择)。如果TCC信号源来自内部时钟，TCC将在每个指令周期(没有分频比)加1。如果TCC信号源来自外部时钟，TCC将在TCC引脚输入每个下降沿或上升沿时加1，TCC引脚输入脉冲宽度(保持高或低电平)必须大于Fm时钟或Fs时钟，由BANK 1 RF CPUS位决定。

注意

在休眠模式下，内部TCC将停止运行，然而，在AD转换期间，即使执行“SLEP”指令，如果RE寄存器的ADWE位使能，TCC仍继续运行。

看门狗定时器是一个自由运行的片内RC振荡器。甚至当振荡器关闭后(如在休眠模式)，WDT仍在继续运行。无论是普通模式还是休眠模式，WDT溢出(若使能)将使MCU复位。在普通模式下，可通过软件编程随时使能或禁止WDT。参考IOCE0寄存器的WDTE位。在没有设置WDT分频比下，WDT溢出时间约为18ms¹或4.5ms²。



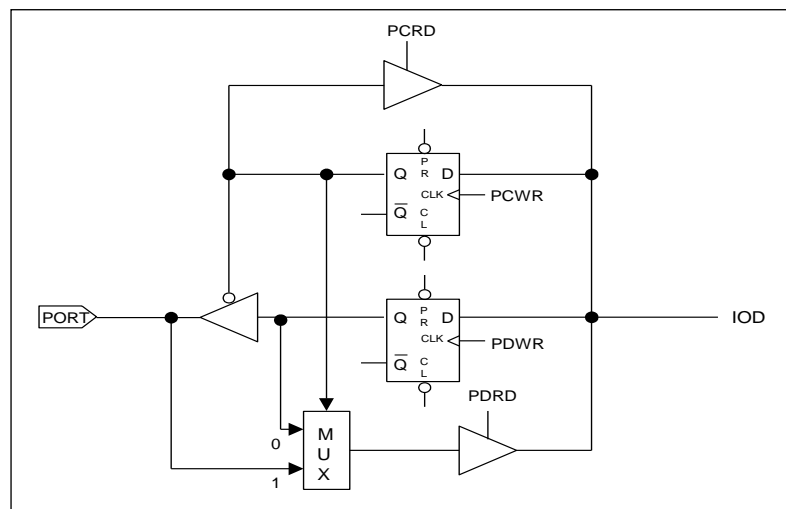
¹ VDD=5V, WDT 溢出周期 = 16.5ms ± 30%
VDD=3V, WDT 溢出周期 = 18ms ± 30%

² VDD=5V, WDT 溢出周期 = 4.2ms ± 30%
VDD=3V, WDT 溢出周期 = 4.5ms ± 30%

图 7-6 TCC和WDT结构框图

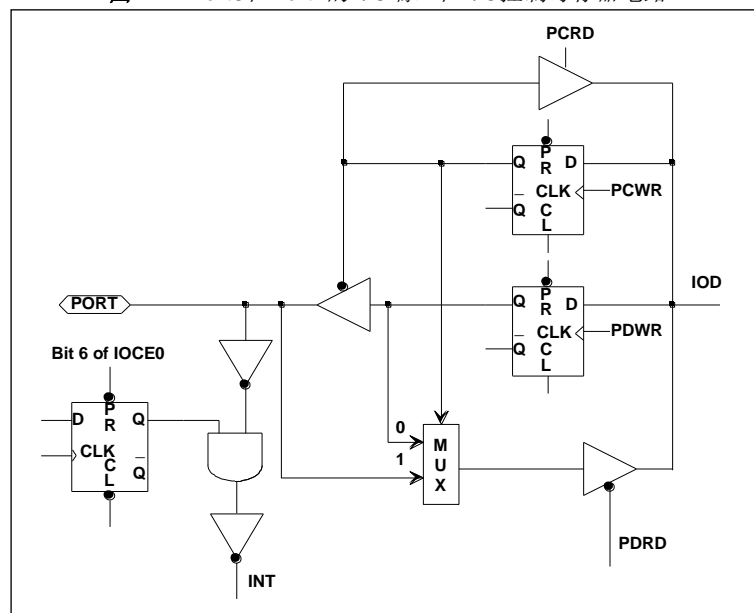
7.4 I/O端口

I/O寄存器(Port 5, Port 6, 和 Port 7)是双向三态I/O端口。Port5可由软件设置内部上拉或下拉。同样, P6可由软件设置漏极开路功能。Port5具有输入状态改变中断(或唤醒)的功能, 每个I/O引脚可通过设置I/O控制寄存器(IOC50 ~ IOC70)设置为输入或输出引脚。I/O寄存器和I/O控制寄存器都是可读写的。Port 5, Port 6, 和 Port 7的I/O接口电路描述见图7-7, 7-8, 7-9, 7-10。



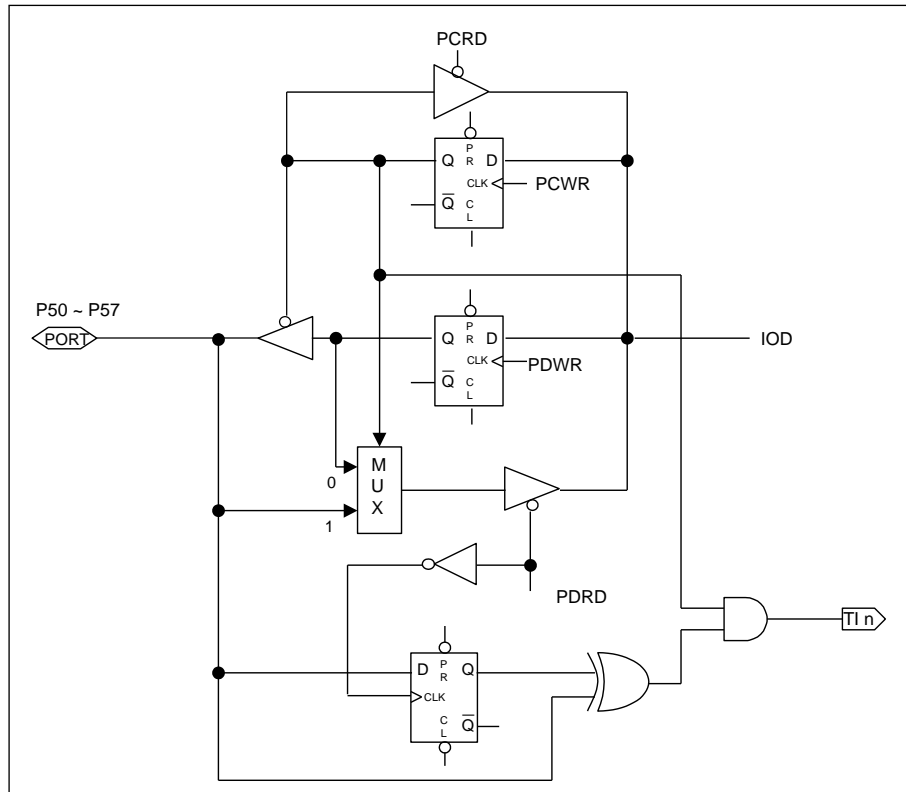
注: 上拉和漏极开路没有在图中显示

图7-7 Port6和Port7的I/O端口和I/O控制寄存器电路



注: 上拉和漏极开路没有在图中显示

图7-8 P60 (/INT)的I/O端口和I/O控制寄存器电路



注: 上拉(下拉)和漏极开路没有在图中显示

图7-9 P 50~57的 I/O 端口和 I/O 控制寄存器电路

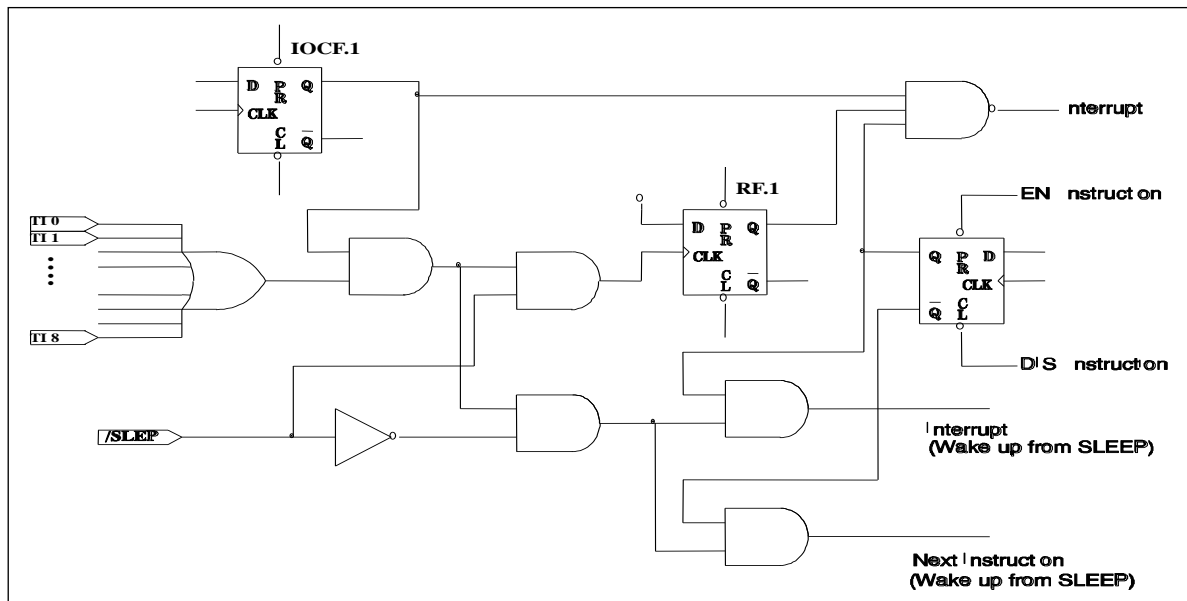


图7-10 Port5输入状态改变中断/唤醒功能块图

7.4.1 使用Port5输入状态改变唤醒/中断功能

(1) 唤醒	(2) 唤醒和中断
(a) 休眠前	(a) 休眠前
1. 禁止 WDT	1. 禁止 WDT
2-1. 读 Port5 的 I/O 状态 (MOV R5,R5)	2-1. 读 Port5 的 I/O 状态 (MOV R5,R5)
2-2. 读 Port7 的 I/O 状态(MOV R7,R7)	2-2. 读 Port7 的 I/O 状态 (MOV R7,R7)
3. 执行 "ENI" 或 "DISI"	3. 执行 "ENI" 或 "DISI"
4. 使能唤醒位(设置 RE ICWE =1)	4. 使能唤醒位(设置 RE ICWE =1)
5. 执行 "SLEP" 指令	5. 使能中断 (设置 IOCF ICIE =1)
(b) 唤醒后	6. 执行 "SLEP" 指令
→ 下一条指令	(b) 唤醒后
	1. 如果 "ENI" → 中断向量(006H)
	2. 如果 "DISI" → 下一条指令
(3) 中断	
(a) Port5,7 引脚输入状态改变前	
1-1. 读 Port5 的 I/O 状态(MOV R5,R5)	
1-2. 读 Port7 的 I/O 状态 (MOV R7,R7)	
2. 执行 "ENI" 或 "DISI"	
3. 使能中断 (设置 IOCF ICIE =1)	
(b) Port5,7 引脚输入状态改变后 (中断)	
1. 如果"ENI" → 中断向量 (006H)	
2. 如果"DISI" → 下一条指令	

7.5 复位和唤醒

7.5.1 复位和唤醒操作

复位由下列情况之一引起:

1. 上电复位
2. /RESET引脚输入低电平
3. WDT溢出(若使能)

检测到复位之后, 控制器将保持复位状态约18ms³(除在LXT模式下), 在LXT2模式下, 复位时间是500ms。两种选择(18ms³或4.5ms⁴)都是WDT溢出周期。一旦复位发生, 将会执行以下功能(初始地址是000h):

- 振荡器继续运行或开始运行(如果在休眠模式下)
- 程序计数器 (R2) 设置为全 "0"
- 所有的I/O端口引脚设置为输入模式(高阻态)
- 看门狗定时器和分频器清零
- 上电时, R3的高三位被清零
- IOCB0寄存器的所有位被置"1"
- IOCC0寄存器的所有位被置"0"
- IOCD0寄存器的所有位被置"1"
- IOCE0寄存器的位7, 位5, 和位4清零
- RE寄存器的位5和位4清零
- RF和IOCF0寄存器清零

执行“SLEP”指令可进入休眠(低功耗)模式(当IDLE="0")。进入休眠模式时, 振荡器、TCC、TMR1和TMR2都停止工作。WDT(若使能)被清除但仍继续运行。

在A/D转换期间, 执行“SLEP”指令, 振荡器、TCC、TMR1和TMR2将继续运行, WDT(若使能)被清除但仍继续运行。

控制器可由以下几种情况唤醒

- 情况 1 /RESET引脚上有外部复位信号输入
- 情况 2 WDT溢出(若使能)
- 情况 3 Port5引脚输入状态改变(若ICWE使能)
- 情况 4 比较器输出状态改变(若CMPWE使能)
- 情况 5 A/D转换完成(若ADWE使能)
- 情况 6 低电压检测器(如果LVDWE使能)

³ VDD=5V, 启动时间周期 = 16.5ms ± 30%
VDD=3V, 启动时间周期= 18ms ± 30%

⁴ VDD=5V, 启动时间周期= 4.2ms ± 30%
VDD=3V, 启动时间周期= 4.5ms ± 30%

前两种情况(1和 2)将引起EM78P372K复位。R3的T和P标志位可用于确定复位(唤醒)源。第3、4、5和6种情况下,唤醒后将继续执行程序,由全局中断(执行ENI或者DISI)决定唤醒后是否进入中断向量。如果在SLEP之前执行了ENI指令,唤醒后程序将从地址0X06(情况3)、0X0F(情况4)、0X0C(情况5)和0X21(情况6)开始执行。如果在SLEP之前执行了DISI指令,唤醒后程序将紧接着SLEP的下一条指令开始执行。

在进入休眠模式之前,在情况2到情况6之中只有一种可以被使能。即:

情况 [a] 如果执行SLEP之前WDT使能,RE所有位禁止,此时,EM78P372K仅可由情况1或情况2唤醒,详细说明请参考中断部分(6.6节)。

情况 [b] 执行SLEP之前,如果Port 5, P70, P71输入状态改变用于唤醒EM78P372K且RE寄存器的ICWE位为使能,WDT必须禁止,因此,EM78P372K仅可由情况3唤醒,唤醒时间取决于振荡器的模式。在RC模式下,唤醒时间是10 μ s(对于性能稳定的振荡器);在HXT2(4MHz)模式下,唤醒时间是800 μ s(对于性能稳定的振荡器);在LXT2模式下,唤醒时间是2s~3s。

情况 [c] 执行SLEP之前,如果比较器输出状态改变用于唤醒EM78P372K且RE寄存器的CMPWE位为使能,则WDT必须由软件禁止。因此,EM78P372K仅可由情况4唤醒,唤醒时间取决于振荡器模式。在RC模式下,唤醒时间是10 μ s(对于性能稳定的振荡器);在HXT2(4MHz)模式下,唤醒时间是800 μ s(对于性能稳定的振荡器);在LXT2模式下,唤醒时间是2s~3s。

情况 [d] 执行SLEP之前,如果AD转换完成用于唤醒EM78P372K且RE寄存器的ADWE位为使能,WDT必须由软件禁止。因此,EM78P372K仅可由情况5唤醒。唤醒时间是16TAD(ADC时钟周期)。

情况[e] 在执行SLEP之前,如果低电压侦测器用于唤醒EM78P372K且Bank 0-RE寄存器的LVDWE位为使能,WDT必须由软件禁止。因此,EM78P372K仅可由情况6唤醒,唤醒时间取决于振荡器模式。

如果Port 5, P70, P71输入状态改变产生中断用于唤醒EM78P372K(如上述的情况[b]),在SLEP指令前必须执行以下指令:

```

BC          R3, 6          ;选择控制寄存器段0
MOV         A, @00xx1110b ;选择WDT预分频比和关闭WDT
IOW        IOCE0
WDTC                          ;清WDT和预分频比
MOV         R5, R5        ;读端口5
MOV         R7, R7        ;读端口7
ENI (or DISI)                ;使能(或禁止)全局中断
MOV         A, @xxxxxx1xb  ;使能端口5输入状态改变唤醒位
MOV         RE
MOV         A, @1xxxxx1xb  ;使能端口5输入状态改变中断
IOW        IOCF0
SLEP                          ;休眠
    
```

同样地,如果比较器输出状态改变中断用于唤醒EM78P372N(如上述的情况[c]),在执行指令SLEP前必须执行以下指令:

```

BC          R3, 6          ;选择控制寄存器段0
MOV         A, @xxx10XXXb  ;选择比较器且P64作为CO引脚
IOW        IOC80
    
```

MOV	A, @00x11110b	;选择WDT预分频比和关WDT并使能比较器输出 ;出状态改变中断
IOW	IOCE0	
WDTC		;清 WDT 和分频比
ENI (or DISI)		;使能(或禁止)全局中断
MOV	A, @xxx0x1xxb	;使能比较器输出状态改变唤醒位
MOV	RE	
SLEP		;休眠

7.5.2 唤醒和中断模式操作概述

微控制器可由休眠模式和空闲模式唤醒，唤醒信号如下表所列：

唤醒信号	信号条件	休眠模式		空闲模式		低速模式		普通模式	
		DISI	ENI	DISI	ENI	DISI	ENI	DISI	ENI
外部 INT	EXWE = 0, EXIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	EXWE = 0, EXIE = 1	唤醒无效		唤醒无效		下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
	EXWE = 1, EXIE = 0	唤醒 + 下一条指令		唤醒 + 下一条指令		中断无效		中断无效	
	EXWE = 1, EXIE = 1	唤醒 + 下一条指令	唤醒 + 中断向量	唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
Port 5, P70, P71 引脚状态 改变	ICWE = 0, ICIE = 0, P7ICIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	ICWE = 0, ICIE = 1, P7ICIE = 1	唤醒无效		唤醒无效		下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
	ICWE = 1, ICIE = 0, P7ICIE = 0	唤醒 + 下一条指令		唤醒 + 下一条指令		中断无效		中断无效	
	ICWE = 1, ICIE = 1, P7ICIE = 1	唤醒 + 下一条指令	唤醒 + 中断向量	唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
TCC 溢出	TCIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	TCIE = 1	唤醒无效		唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
AD 转换完成	ADWE = 0, ADIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	ADWE = 0, ADIE = 1	唤醒无效		唤醒无效		下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
	ADWE = 1, ADIE = 0	唤醒 + 下一条指令		唤醒 + 下一条指令		中断无效		中断无效	
	ADWE = 1, ADIE = 1	唤醒 + 下一条指令	唤醒 + 中断向量	唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量

唤醒信号	信号条件	休眠模式		空闲模式		低速模式		普通模式	
		DISI	ENI	DISI	ENI	DISI	ENI	DISI	ENI
比较器中断	CMPWE = 0, CMPIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	CMPWE = 0, CMPIE = 1	唤醒无效		唤醒无效		下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
	CMPWE = 1, CMPIE = 0	唤醒 + 下一条指令		唤醒 + 下一条指令		中断无效		中断无效	
	CMPWE = 1, CMPIE = 1	唤醒 + 下一条指令	唤醒 + 中断向量	唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
PWM1 周期匹配中断	PWM1IE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	PWM1IE = 1	唤醒无效		唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
PWM2 周期匹配中断	PWM2IE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	PWM2IE = 1	唤醒无效		唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
PWM1 占空比匹配中断	DT1IE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	DT1IE = 1	唤醒无效		唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
PWM2 占空比匹配中断	DT2IE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	DT2IE = 1	唤醒无效		唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
低电压侦测器	LVDWE = 0, LVDIE = 0	唤醒无效		唤醒无效		中断无效		中断无效	
	LVDWE = 0, LVDIE = 1	唤醒无效		唤醒无效		下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
	LVWE = 1, LVDIE = 0	唤醒 + 下一条指令		唤醒 + 下一条指令		中断无效		中断无效	
	LVDWE = 1, LVDIE = 1	唤醒 + 下一条指令	唤醒 + 中断向量	唤醒 + 下一条指令	唤醒 + 中断向量	下一条指令	中断 + 中断向量	下一条指令	中断 + 中断向量
WDT 溢出	WDTE = 1	唤醒+ 复位		唤醒+ 复位		复位		复位	
低电压复位		唤醒+ 复位		唤醒+ 复位		复位		复位	

7.5.3 复位后寄存器的初始值

寄存器初始值归纳如下表：

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC50	位名	C57	C56	C55	C54	C53	C52	C51	C50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC60	位名	C67	C66	C65	C64	C63	C62	C61	C60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC70	位名	×	×	×	×	×	×	C71	C70
		上电	0	0	0	0	0	0	1	1
		/RESET 和 WDT	0	0	0	0	0	0	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC80	位名	×	×	CMPOUT	COS1	COS0	×	×	×
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC90 (TMR1)	位名	TMR1[7]	TMR1[6]	TMR1[5]	TMR1[4]	TMR1[3]	TMR1[2]	TMR1[1]	TMR1[0]
		上电	0	0	0	0	0	0	0	1
		/RESET 和 WDT	0	0	0	0	0	0	0	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCA0 (TMR2)	位名	TMR2[7]	TMR2[6]	TMR2[5]	TMR2[4]	TMR2[3]	TMR2[2]	TMR2[1]	TMR2[0]
		上电	0	0	0	0	0	0	0	1
		/RESET 和 WDT	0	0	0	0	0	0	0	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCB0 (PDCR)	位名	/PD57	/PD56	/PD55	/PD54	/PD53	/PD52	/PD51	/PD50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOCC0 (ODCR)	位名	OD67	OD66	OD65	OD64	OD63	OD62	OD61	OD60
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCD0 (PHCR1)	位名	/PH57	/PH56	/PH55	/PH54	/PH53	/PH52	/PH51	/PH50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCE0	位名	WDTE	EIS	ADIE	CMPIE	PSWE	PSW2	PSW1	PSW0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCF0	位名	P7ICIE	DT2IE	DT1IE	PWM2IE	PWM1IE	EXIE	ICIE	TCIE
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC51 (HSCR1)	位名	HS57	HS56	×	HS54	HS53	HS52	HS51	×
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC61 (HSCR2)	位名	HS67	HS66	HS65	HS64	HS63	HS62	HS61	HS60
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC71 (HDCR1)	位名	HD57	HD56	×	HD54	HD53	HD52	HD51	×
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC81 (HDCR2)	位名	HD67	HD66	HD65	HD64	HD63	HD62	HD61	HD60
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOC91 (DeadTCR)	位名	IPWM2A	IPWM1A	PWM2A	PWM1A	DEADT2E	DEADT1E	DEADTP1	DEADTP0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOCA1 (DeadTR)	位名	DEADTR7	DEADTR6	DEADTR5	DEADTR4	DEADTR3	DEADTR2	DEADTR1	DEADTR0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	IOCF1 (PHCR2)	位名	/PH67	/PH66	/PH65	/PH64	/PH63	/PH62	/PH61	/PH60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
N/A	CONT	位名	INTE	INT	TS	TE	PSTE	PST2	PST1	PST0
		上电	1	0	1	1	0	0	0	0
		/RESET 和 WDT	1	0	1	1	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x00	R0 (IAR)	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x01	R1 (TCC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x02	R2 (PC)	位名	-	-	-	-	-	-	-	-
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	跳转至 Address 0x06 或继续执行下一条指令							
0x03	R3 (SR)	位名	RST	IOCS	-	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		/RESET 和 WDT	0	0	0	T	t	P	P	P
		引脚状态改变唤醒	1	P	P	T	t	P	P	P
0x04	R4 (RSR)	位名	SBANK	BS0	-	-	-	-	-	-
		上电	0	0	U	U	U	U	U	U
		/RESET 和 WDT	0	0	P	P	P	P	P	P
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x05	R5	位名	P57	P56	P55	P54	P53	P52	P51	P50
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x06	R6	位名	P67	P66	P65	P64	P63	P62	P61	P60
		上电	1	1	1	1	1	1	1	1
		/RESET 和 WDT	1	1	1	1	1	1	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x7	R7	位名	x	x	x	x	x	x	P71	P70
		上电	0	0	0	0	0	0	1	1
		/RESET 和 WDT	0	0	0	0	0	0	1	1
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x8	R8 (AISR)	位名	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x9	R9 (ADCON)	位名	VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xA	RA (ADOC)	位名	CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0xB	RB (ADDATA)	位名	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xC	RC (ADDATA1H)	位名	×	×	×	×	AD11	AD10	AD9	AD8
		上电	0	0	0	0	U	U	U	U
		/RESET 和 WDT	0	0	0	0	U	U	U	U
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xD	RD (ADDATA1L)	位名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	U	U	U	U	U	U	U	U
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xE	RE (ISR2)	位名	/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE
		上电	1	0	0	0	0	0	0	0
		/RESET 和 WDT	1	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xF	RF (ISR1)	位名	P7ICIF	DT2IF	DT1IF	PWM2IF	PWM1IF	EXIF	ICIF	TCIF
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x05	BANK1 R5	位名	MLB	TRS	×	×	RBit11	RBit10	RBit9	RBit8
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x06	BANK1 R6	位名	RBit7	RBit6	RBit5	RBit4	RBit3	RBit2	RBit1	RBit0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x07	BANK1 R7 (PWMCON)	位名	IPWM2E	IPWM1E	×	×	×	PWMCAS	PWM2E	PWM1E
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

地址	名称	复位类型	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x08	BANK1 R8 (TMRCON)	位名	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x09	BANK1 R9 (PRD1)	位名	PWM1[7]	PWM1[6]	PWM1[5]	PWM1[4]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x0A	BANK 1 RA (PRD2)	位名	PWM2[7]	PWM2[6]	PWM2[5]	PWM2[4]	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x0B	BANK 1 RB (DT1)	位名	DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x0C	BANK 1 RC (DT2)	位名	DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
		上电	0	0	0	0	0	0	0	0
		/RESET 和 WDT	0	0	0	0	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x0E	BANK 1 RE	位名	LVDIE	LVDEN	LVD1	LVD0	×	×	×	EXWE
		上电	0	0	1	1	0	0	0	0
		/RESET 和 WDT	0	0	1	1	0	0	0	0
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0xF	BANK 1 RF	位名	-	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0
		上电	0	1	1	0	1	1	WORD1 <6-5>	
		/RESET 和 WDT	0	1	1	0	1	1	WORD1 <6-5>	
		引脚状态改变唤醒	P	P	P	P	P	P	P	P
0x10~0x3F	R10~R3F	位名	-	-	-	-	-	-	-	-
		上电	U	U	U	U	U	U	U	U
		/RESET 和 WDT	P	P	P	P	P	P	P	P
		引脚状态改变唤醒	P	P	P	P	P	P	P	P

符号说明: “x” = 未用
“u” = 未知或无需理会

“P” = 复位前的值
“t” = 对照6.5.2节的“复位类型表”

7.5.4 复位控制器结构图

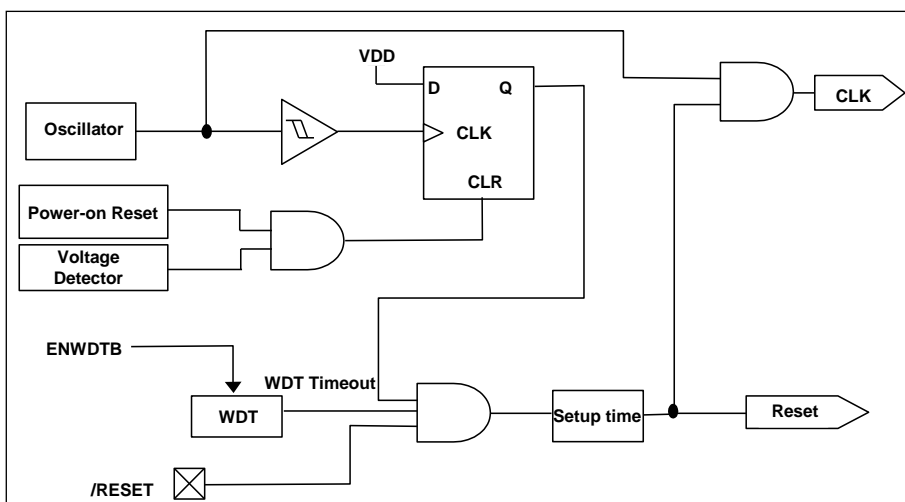


图7-11 复位控制器结构图

7.5.5 状态寄存器的 T 和 P 状态

复位由以下事件产生：

1. 上电复位
2. /RESET 引脚输入低电平
3. WDT 溢出(如果使能)

T 和 P 的值如下表所示，用于检测控制器是如何唤醒的：

复位类型	RST	T	P
上电	0	1	1
在正常模式下 /RESET 引脚复位	0	*P	*P
在休眠模式下 /RESET 引脚唤醒复位	0	1	0
在正常模式下 LVR	0	*P	*P
在休眠模式下 LVR 唤醒	0	1	0
在正常模式下 WDT 溢出复位	0	0	1
在休眠模式下 WDT 唤醒	0	0	0
在休眠模式下引脚状态改变唤醒	1	1	0

*P: 复位前的状态

下表列出了可能影响 T 和 P 状态的事件

事件	RST	T	P
上电	0	1	1
WDTC 指令	*P	1	1
WDT 溢出	0	0	*P
SLEP 指令	*P	1	0
休眠模式下引脚状态改变唤醒	1	1	0

*P: 复位前的状态

7.6 中断

EM78P372K 有以下7个中断源:

1. PWM1~2 周期匹配和占空比时间匹配溢出中断
2. Port 5, P70, P71 输入状态改变中断
3. 外部中断[(P60, /INT) 引脚]
4. 模数转换完成
5. PWM1, 2下溢中断
6. 比较器输出状态改变
7. 低电压检测中断

在Port 5, P70, P71输入状态改变中断使能前, 读Port 5, P70, P71 (例如: "MOV R5,R5") 是必要的。Port 5, P70, P71每个引脚均具有这个功能。在执行SLEP指令进入休眠模式前, 如果Port5输入状态改变中断被使能, Port5输入状态改变会将EM78P372K从休眠模式唤醒。如果总的中断被禁止, 唤醒后控制器将继续向下逐行地执行程序。如果总的中断使能, 程序将分支到中断向量地址006H。

外部中断装备有数字噪声抑制电路(输入脉冲低于系统时钟周期)被当作噪声而滤除。然而, 在低频晶体振荡器(LXT)模式下的噪声抑制电路将被禁止。由CONT寄存器的INTE位选择触发边沿。当由外部产生中断时(若使能), 下一条指令将从向量地址003H获取。数字噪声抑制的定义请参考6.14.2节的*代码选项寄存器Word 1*的位8、位9。

RF 和 RE 是中断状态寄存器, 它的相关标志位记录了中断请求状态。IOCF0 和 IOCE0 是中断屏蔽寄存器。全局中断由执行指令 ENI 使能, 由执行 DISI 指令禁止。在中断服务程序里, 通过轮询 RF 的标志位来确定中断源。在离开中断服务程序前, 必须用指令清除中断标志, 以免发生重复中断。

若中断屏蔽位为"使能", 中断状态寄存器(RF)标志位的置位, 与是否执行了 ENI 指令无关。需注意地是 RF 的结果是 RF 和 IOCF0 逻辑与的结果(参见下图)。RETI 指令结束中断子程序并使能全局中断(自动执行 ENI 指令)。

当一个中断由定时器时钟/计数器产生(若使能), 下一条指令将从地址 009,012, 015,018, 和 01BH(PWM1~2 周期和占空比分别匹配)获取。

当一个中断由 AD 转换完成后产生(若使能), 下一条指令将从地址 00CH 中获取。

当一个中断由比较器状态改变产生(若使能), 下一条指令将从地址 00FH 获取(比较器中断)。

当一个中断由低电压检测产生(若使能), 下一条指令将从地址 021H 获取(低电压检测器中断)。

在执行中断服务子程序前, ACC, R3 和 R4 值将会由硬件自动保存, 如果有另外一个中断产生, ACC, R3 和 R4 寄存器将由新中断时的值取代。中断服务子程序结束后, ACC, R3 和 R4 内容将被还原。

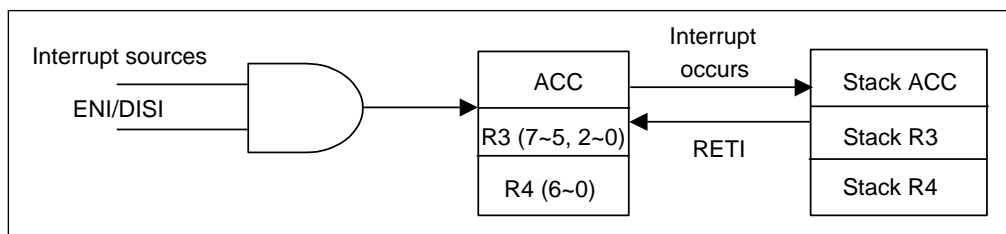
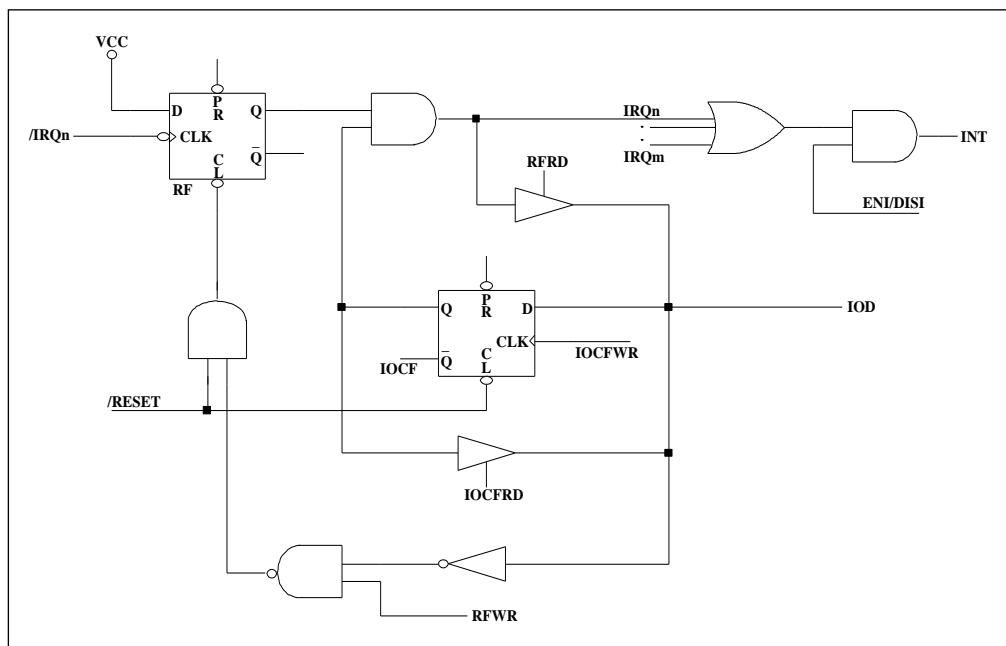


图7-12 中断备份结构图

EM78P372N的每个中断源都有各自的中断向量，详见下表：

中断向量	中断状态	优先级*
003H	外部中断	2
006H	Port 5, P70, P71 引脚状态改变	3
009H	TCC 溢出中断	4
00CH	AD 转换完成中断	5
00FH	比较器中断	6
012H	PWM1 周期匹配中断	7
015H	PWM2 周期匹配中断	8
018H	PWM1 占空比匹配中断	9
01BH	PWM2 占空比匹配中断	10
021H	低电压检测器中断	1

注意: *优先级: 1 = 最高; 11 = 最低

7.7 模数转换器(ADC)

模数转换电路包括一个8位模拟多路转换器，三个控制寄存器(AISR/R8, ADCON/R9, ADOC/RA)，三个数据寄存器(ADDATA/RB, ADDATA1H/RC和ADDATA1L/RD)和一个12位精度的AD转换器，其功能方框图如下。模拟参考电压(Vref)和模拟地由不同引脚接入。接外部参考电压(VREF)比接内部VDD其转换结果更精确。

ADC模块采用逐次逼近式把未知的模拟信号转换为数字值，其结果存入ADDATA，ADDATA1H 和 ADDATA1L中。通过ADCON寄存器的ADIS1和ADIS0位的设置来选择输入通道。

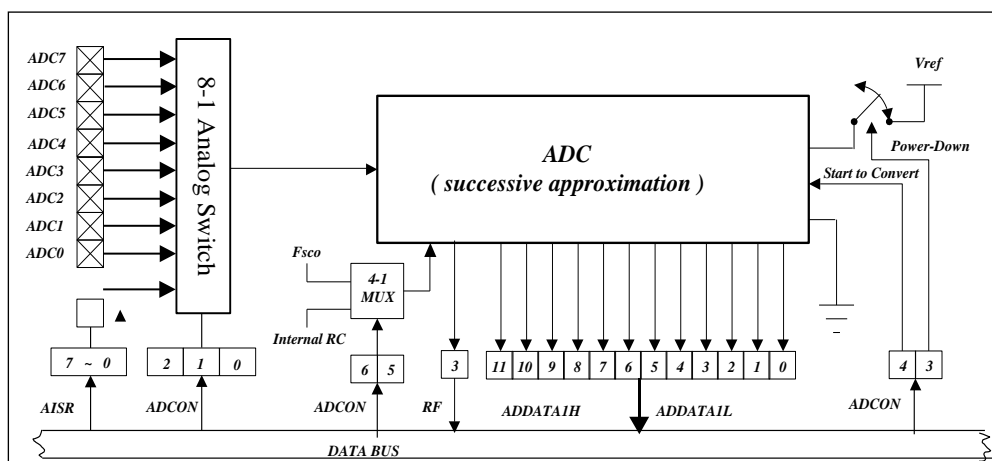


图7-13 模数转换器功能结构图

7.7.1 ADC 控制寄存器 (AISR/R8, ADCON/R9, ADOC/RA)

7.7.1.1 R8 (AISR: ADC 输入选择寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

AISR寄存器分别单独定义P5, P6和P7引脚作为模拟输入或数字I/O口。

Bit 7 (ADE7): P57引脚的AD转换使能位

- 0: 禁止ADC7，P57作为普通I/O口
- 1: 使能ADC7作为模拟输入引脚

Bit 6 (ADE6): P55引脚的AD转换使能位

- 0: 禁止ADC6，P55作为普通I/O口
- 1: 使能ADC6作为模拟输入引脚

Bit 5 (ADE5): P70引脚的AD转换使能位

- 0: 禁止ADC5，P70作为普通I/O口
- 1: 使能ADC5作为模拟输入引脚

Bit 4 (ADE4): P67引脚的AD转换使能位

0: 禁止ADC4，P67作为普通I/O口

1: 使能ADC4作为模拟输入引脚

Bit 3 (ADE3): P53引脚的AD转换使能位

0: 禁止ADC3，P53作为普通I/O口

1: 使能ADC3作为模拟输入引脚

Bit 2 (ADE2): P52引脚的AD转换使能位

0: 禁止ADC2，P52作为普通I/O口

1: 使能ADC2作为模拟输入引脚

Bit 1 (ADE1): P51引脚的AD转换使能位

0: 禁止ADC1，P51作为普通I/O口

1: 使能ADC1作为模拟输入引脚

Bit 0 (ADE0): P50引脚的AD转换使能位

0: 禁止ADC0，P50作为普通I/O口

1: 使能ADC0作为模拟输入引脚

7.7.1.2 R9 (ADCON: ADC 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREFS	CKR1	CKR0	ADRUN	ADPD	ADIS2	ADIS1	ADIS0

ADCON寄存器控制AD转换器的运行以及确定哪个引脚当前有效。

Bit 7 (VREFS):ADC参考电压的输入源

0: 以工作电压VDD作为ADC的参考电压(默认值)，VREF/TCC/P54引脚执行P54功能(默认)

1: 引脚VREF/TCC/P54上的电压作为ADC的参考电压。

注意

P54/TCC/VREF引脚不能同时作为TCC和VREF，如果P54/TCC/VREF用作VREF模拟输入引脚，此时，CONT寄存器“TS”位(-5)须设为“0”。VREF/TCC/P54引脚的优先级如下：

P54/TCC/VREF引脚优先级		
高	中	低
VREF	TCC	P54

Bit 6 ~ Bit 5 (CKR1 ~ CKR0): ADC的振荡器时钟预分频

CPUS	CKR1 : CKR0	操作模式	最大工作频率 (如果TAD=4us, 匹配372N)	最大工作频率 (如果TAD=1us, 匹配372N)
1	00 (默认)	F _{osc} /16	4 MHz	16 MHz
1	01	F _{osc} /4	1 MHz	4 MHz
1	10	F _{osc} /64	16 MHz	-
1	11	F _{osc} /1	-	1 MHz
0	xx	-	16K/128kHz	16K/128kHz

Bit 4 (ADRUN): ADC开始启动

0: 当转换完成时复位, 该位不能由软件复位

1: AD转换开始, 该位可由软件置位

Bit 3 (ADPD): ADC 低功耗模式

0: 关闭ADC参考电阻使其进入低功耗状态, 尽管此时CPU可能仍在工作

1: ADC 正在运行

Bit 2 ~ Bit 0 (ADIS2 ~ ADIS0): 模拟输入选择

ADICS	ADIS2	ADIS1	ADIS0	模拟输入选择
0	0	0	0	ADIN0/P50
0	0	0	1	ADIN1/P51
0	0	1	0	ADIN2/P52
0	0	1	1	ADIN3/P53
0	1	0	0	ADIN4/P67
0	1	0	1	ADIN5/P70
0	1	1	0	ADIN6/P55
0	1	1	1	ADIN7/P57
1	0	X	X	OPOUT
1	1	0	0	内部 ADC 通道选择: 1/4 VDD
1	1	0	1	内部 ADC 通道选择: 1/2 VDD
1	1	1	0	保留
1	1	1	1	保留

7.7.1.3 RA (ADOC: AD 补偿校准寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CALI	SIGN	VOF[2]	VOF[1]	VOF[0]	VREF1	VREF0	ADICS

Bit 7 (CALI): ADC补偿校准使能位

0: 禁止校准

1: 使能校准

Bit 6 (SIGN): 补偿电压极性选择位

0: 负电压

1: 正电压

Bit 5 ~ Bit 3 (VOF[2] ~ VOF[0]): 补偿电压位

VOF[2]	VOF[1]	VOF[0]	EM78P372K
0	0	0	0 LSB
0	0	1	2 LSB
0	1	0	4 LSB
0	1	1	6 LSB
1	0	0	8 LSB
1	0	1	10 LSB
1	1	0	12 LSB
1	1	1	14 LSB

Bits 2 ~ 1 (VREF1~0): ADC 内部参考电压源

VREFSEL in Option Word 3 bit 11	VREF1	VREF0	ADC Int. Ref. Volt.
0	0	0	VDD
0	0	1	4.0V ± 1%
0	1	0	3.0V ± 1%
0	1	1	2.5V ± 1%
1	0	0	VDD
1	0	1	4.0V ± 1%
1	1	0	3.0V ± 1%
1	1	1	2.0V ± 1%

Bit 0 (ADICS): ADC内部通道选择位(选择ADC内部的1/4 VDD或者OP输出引脚连接到ADC输入引脚)

0: 禁止

1: 使能

7.7.1.4 Bank 1 RF (IRC 切换寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	TIMERSC	CPUS	IDLE	SHS1	SHS0	RCM1	RCM0

Bits 3 ~ 2 (SHS1~0): AD 采用和保持时间选择

SHS1	SHS0	AD取样与保持时间(TAD)
0	0	2
0	1	4
1	0	8
1	1	12 (默认)

7.7.2 ADC 数据寄存器 (ADDATA/RB, ADDATA1H/RC, ADDATA1L/RD)

当A/D转换完成时，其结果载入ADDATA1H和ADDATA1L寄存器。如果ADIE位使能，则ADIF位置位。

7.7.3 ADC 采样时间

逐次逼近式AD转换的精确性、线性和速度由ADC特性决定。源电阻和内部采样电阻直接影响采样和保持电容充电所需时间。应用过程控制采样时间长短以满足特定精度的需要。V_{dd}=5V时，建议源电阻的最大阻抗为10KΩ。模拟输入通道选定后，在转换开始前需等待的时间应先满足。

7.7.4 AD 转换时间

CKR1和CKR0按照指令周期用来选择转换时间(Tct)。在不影响AD转换精度的条件下，它允许MCU以最高频率运行。对于EM78P372K，转换时间每位大约1μs。下列表列出了Tct和最大工作频率的关系。

TAD = 1μs

CPUS	CKR1 : CKR0	工作模式	最大工作时间	最大转换率/位	最大转换率
1	00 (默认)	F _{osc} /16	16 MHz	1 MHz (1μs)	16*1μs=16μs (62.5kHz)
1	01	F _{osc} /4	4 MHz	1 MHz (1μs)	16*1μs=16μs (62.5kHz)
1	10	F _{osc} /64	-	-	-
1	11	F _{osc} /1	1 MHz	1 MHz (1μs)	16*1μs=16μs (62.5kHz)
0	xx		16K/128kHz		

TAD = 4μs

CPUS	CKR1 : CKR0	工作模式	最大工作时间	最大转换率/位	最大转换率
1	00 (默认)	F _{osc} /16	4 MHz	250kHz (4μs)	16*4μs=64μs (15.625kHz)
1	01	F _{osc} /4	1 MHz	250kHz (4μs)	16*4μs=64μs (15.625kHz)
1	10	F _{osc} /64	16 MHz	250kHz (4μs)	16*4μs=64μs (15.625kHz)
1	11	F _{osc} /1	-	-	-
0	xx		16K/128kHz		

注意

- 没有被用作模拟输入脚的引脚可用作通用输入或输出脚。
- 转换期间，不要执行输出指令以维持所有引脚的精度。

7.7.5 休眠期间的 ADC 操作

为了获得更精确的ADC值和减少功耗，AD转换可以在休眠模式下进行。当执行SLEP指令，除了振荡器、TCC和AD转换外，所有的MCU操作都会停止。

通过以下情况判断AD转换已经完成：

1. R9寄存器的ADRUN位被清“0”。
2. BANK 0 RE寄存器的ADIF位置“1”。
3. 从ADC转换唤醒(在休眠模式期间它保持运行状态)，BANK0 RE寄存器的ADWE位置“1”。
4. 如果IOCE0的ADIE位使能，并执行DISI指令，唤醒休眠后执行下一条指令。
5. 如果IOCE0的ADIE位使能，并执行ENI指令，唤醒并进入中断向量(地址0x00C)。
6. 如果IOCE0的ADIE位使能，并执行ENI指令，进入中断向量(地址0x00C)。

当转换结束后，转换的结果载入ADDATA, ADDATA1H 和ADDATA1L寄存器中。如果ADIE使能，单片机将被唤醒。否则，无论ADPD位的状态如何，AD转换器都被关闭。

7.7.6 编程步骤/考虑的事项

7.7.6.1 编程步骤

按以下步骤来获得ADC值：

1. 设置R8(AISR)寄存器的8个位(ADE7:ADE0)来定义R5寄存器的特性(数字I/O引脚, 模拟信道, 以及参考电压引脚)。
2. 设置R9/ADCON寄存器来设定AD模块:
 - a) 选择ADC输入通道(ADIS2:ADIS0)
 - b) 定义AD转换时钟比(CKR1:CKR0)
 - c) 选择ADC参考电压的输入源
 - d) 置ADPD位为“1”，开始采样
3. 若使用唤醒功能，置ADWE位为“1”。
4. 若使用中断功能，置ADIE位为“1”。
5. 若使用中断功能，下"ENI"指令
6. 置ADRUN位为“1”。
7. 下"SLEP"指令或循环检测
8. 等待唤醒或ADRUN位清除，中断标志(ADIF)置“1”或ADC中断发生

9. 读转换数据寄存器的ADDATA 或ADDATA1H和ADDATA1L的值。如果此时ADC输入通道变化, ADDATA, ADDATA1H, 和 ADDATA1L值可被清“0”。
10. 清除中断标志位(ADIF)。
11. 根据需要, 进行下一个转换程序, 跳到步骤1或步骤2。下一次采样之前, 至少等待2个Tct。

注意

为了获得准确的值, 必须避免AD转换期间I/O引脚有任何数据传输。

7.7.6.2 范例

```
R_0 == 0           ; 间接寻址寄存器
PSW == 3          ; 状态寄存器
PORT5 == 5
PORT6 == 6
R_E == 0XE        ; 中断状态寄存器
```

B. 定义控制寄存器

```
IOC50 == 0X5      ; Port 5控制寄存器
IOC60 == 0X6      ; Port 6控制寄存器
IOCE0 == 0XE      ; 中断屏蔽寄存器2
C_INT == 0XF      ; 中断屏蔽寄存器
```

C. ADC控制寄存器

```
ADDATA == 0xB     ; 其内容是ADC[11:4]的结果
ADDATA1H == 0xC   ; 其内容是ADC[11:8]的结果
ADDATA1L == 0xD   ; 其内容是ADC[7:0]的结果
AISR == 0x08      ; ADC输入选择寄存器
ADCON == 0x9      ; 7 6 5 4 3 2 1 0
                  ; VREFS CKR1 CKR0 ADRUN ADPD ADIS2 ADIS1 ADIS0
```

D. 定义ADCON寄存器中的位

```
ADRUN == 0x4      ; 该位置位后, ADC开始执行
ADPD == 0x3       ; ADC电源模式
```

E. 程序开始

```
ORG 0              ; 初始地址
JMP INITIAL       ;

ORG 0x0C           ; 中断向量
JMP CLRRE
;
; (用户程序部分)
;
CLRRE:
MOV A, RE
AND A, @0BXX0XXXXX ; 清除ADIF位, “X” 根据应用而定;
MOV RE, A
BS ADCON, ADRUN   ; 如需要, 开始执行下一个AD转换;
;
```



```

RETI
INITIAL:
MOV A, @0B00000001 ; 选择P50为模拟输入;
MOV AISR, A
MOV A, @0B00001000 ; 选择P50为模拟输入通道, 并且AD上电;
MOV ADCON, A ; 定义P50为输入脚, 时钟比设置为fosc/16;
En_ADC:
MOV A, @0BXXXXXXX1 ; 定义P50为输入脚, 其它位根据需要设置;
;

IOW PORT5

MOV A, @0BXXXX1XXX ; 使能ADC唤醒功能 (ADWE), "X"根据需要设置
;

MOV RE, A
MOV A, @0BXX1XXXXX ; 使能ADC中断功能 (ADIE), "X"根据需要设置;

IOW IOCE0
ENI ; 使能全局中断

BS ADCON, ADRUN ; 启动运行ADC

; 若使用中断功能, 以下三行可忽略;

; 若进入休眠模式:
SLEP
;
; (用户程序部分)
;

; 或
; 若循环查询:
POLLING:
JBC ADCON, ADRUN ; 连续检测ADRUN 位;
JMP POLLING ; AD转换结束后, ADRUN位清0;

;
; (用户程序部分)

```

7.8 互补PWM (脉宽调制器)

7.8.1 概述

在PWM模式下，PWM1和PWM2 引脚产生8位分辨率的PWM输出(见下面的功能结构图)。PWM输出由周期时间和占空比(保持输出高电平)组成，PWM的波特率是周期时间的倒数。图6-13~6-16(PWM输出时序)描述了周期时间和占空比的关系。

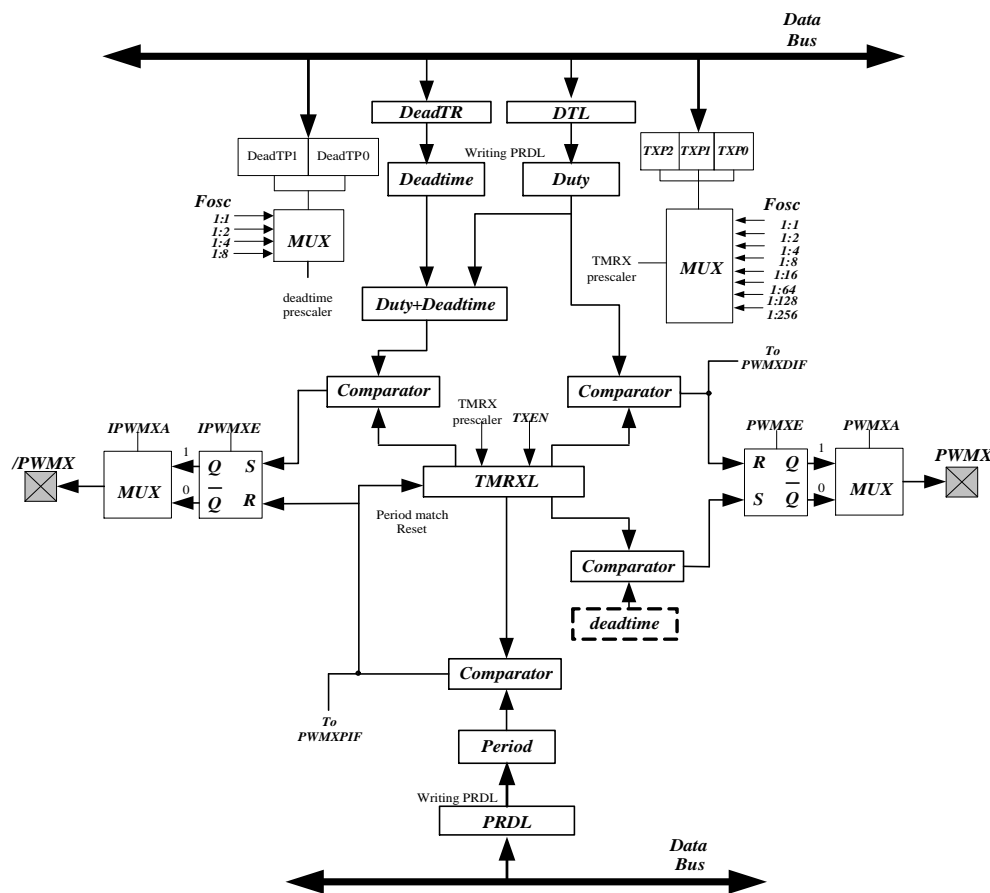


图7-14 PWM 系统结构图

PWM和/PWM (反相PWM)可以分别使用或作为对偶PWM使用。当分别使用，PWM和/PWM有效电平的定义有些不同。

例如，设置周期和占空比周期(周期>占空比)，PWMXE=1/0,IPWMXE=0/1, PWMXA = 1/0, /PWMXA=1/0,最后设置TXEN = 1。下图描述了不同PWMXA和/PWMXA设置的PWM输出时序图。

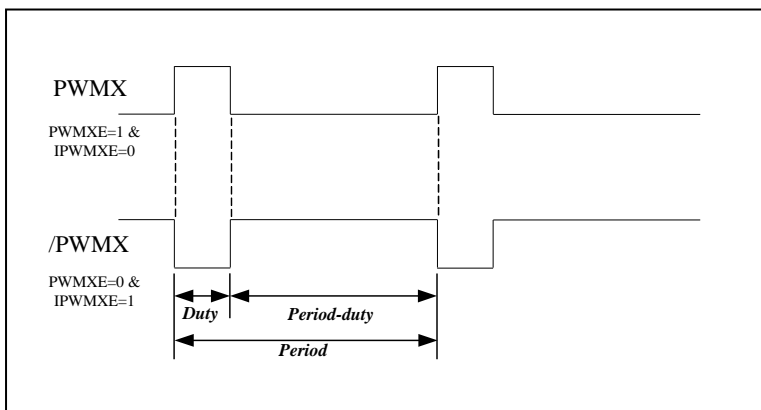


图 7-15 PWM 输出时序(PWMXA=0 和 /PWMXA=0)

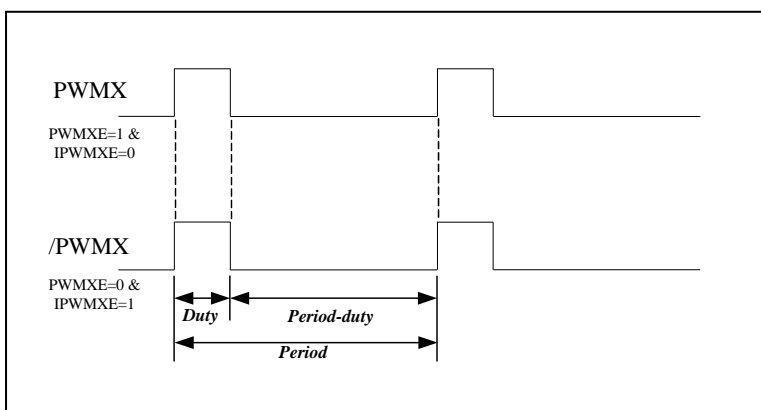


图 7-16 PWM 输出时序(PWMXA=0 和 /PWMXA=1)

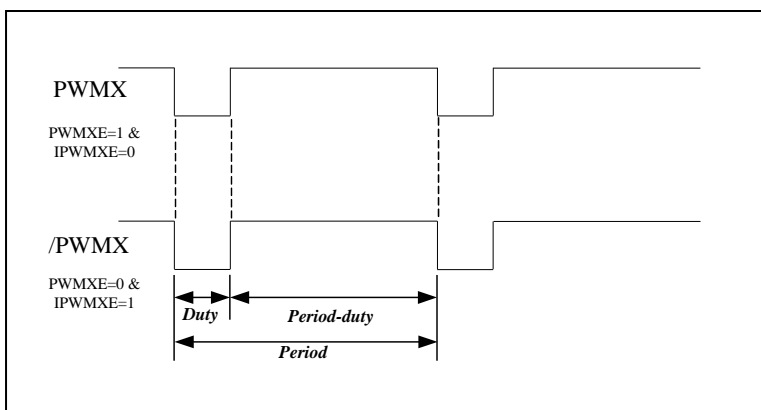


图 7-17 PWM 输出时序(PWMXA=1 和 /PWMXA=0)

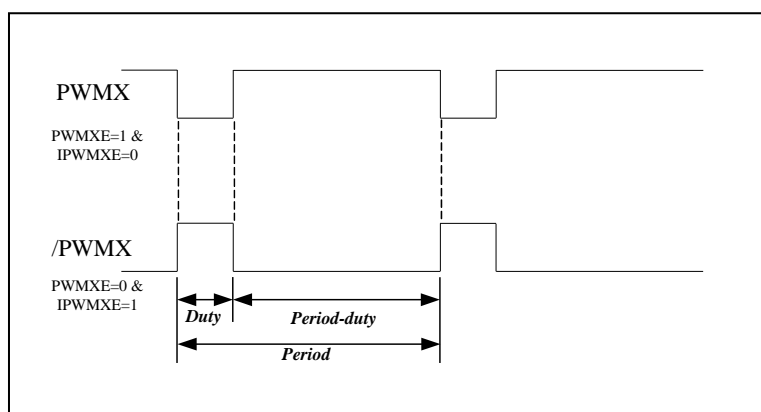


图 7-18 PWM 输出时序 (PWMXA=1 和 /PWMXA=1)

7.8.1.1 互补 PWM 功能

它包含了互补的PWM(例如PWMX和/PWMX)，一个输出PWM信号，另一个输出反向PWM信号。它可以输出你通过编程相关控制寄存器的任何脉冲宽度信号。

支持停滞时间模式。意味着互补PWM信号可以控制得到一个时间间隔，互补的PWM信号不可分割。

下图6-17 ~ 6-18显示了互补PWM输出波形。

禁止停滞时间控制(DEADTXE = 0)。设置周期和占空比周期(周期 > 占空比)。设置 PWMXE & IPWME = 1, PWMXA = 0/1, IPWMA = 0/1, 最后设置TXEN = 1。

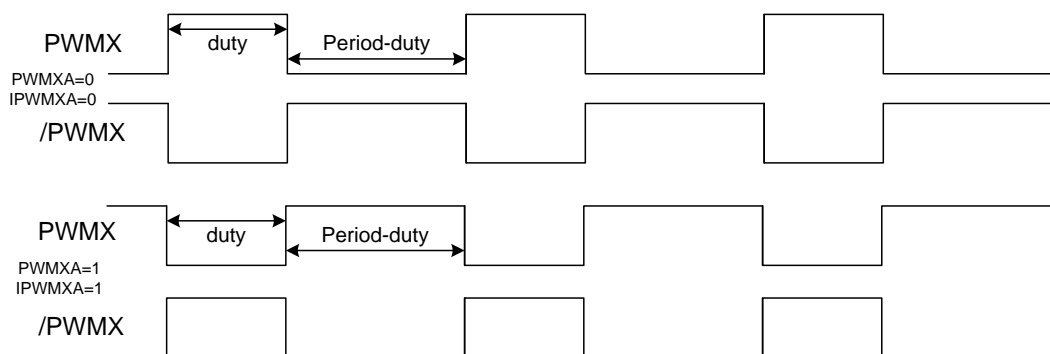


图 7-19 互补 PWM 输出波形(DEADTXE = 0)

设置停滞时间>0(如果需要，设置停滞时间预分频器)。使能停滞时间控制(DEADTXE = 1)。设置周期和占空比周期(周期 > 占空比)。设置PWMXE, IPWME = 1, PWMXA = 0, IPWMA = 0, 最后设置TXEN = 1。对于在运行时间时加载新的占空比，周期，和停滞时间的值，参考“PWM可编程步骤”的描述。

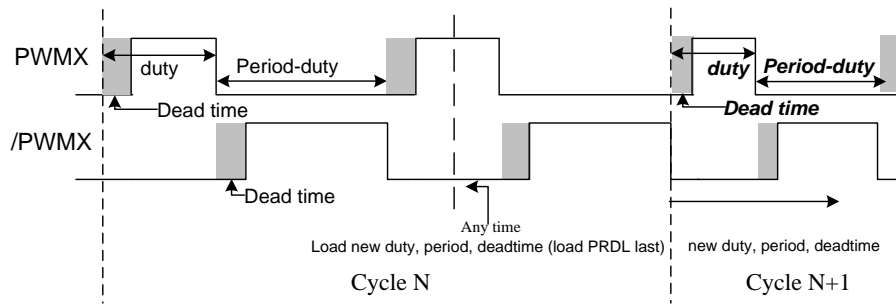


图 7-20 互补 PWMX 输出波形 ($DEADTXE = 1$, 停滞时间 > 0)

下图描述了不同PWMXA和/PWMXA设定时的PWM输出时序。

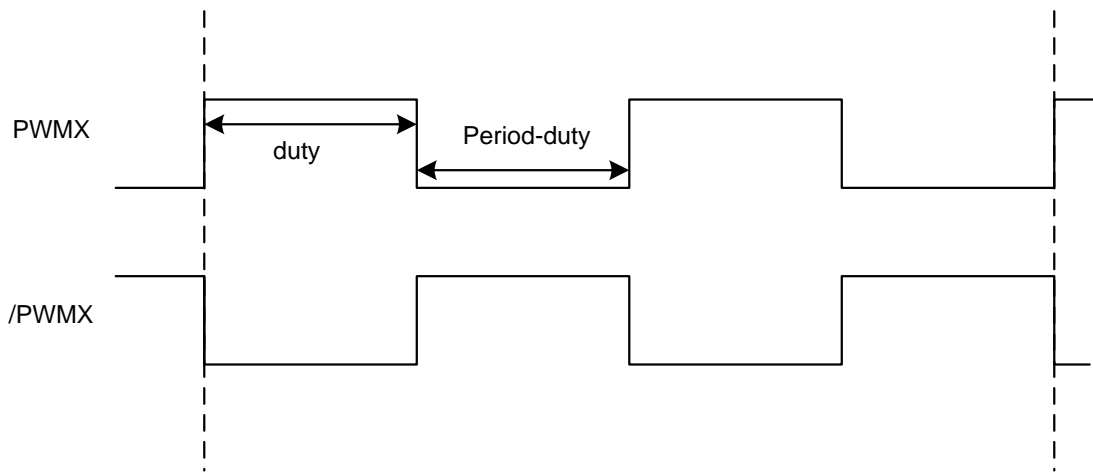


图 7-21 互补 PWMX 输出波形 ($PWMXA = 0$, $IPWMXA=0$, 停滞时间 $= 0$)

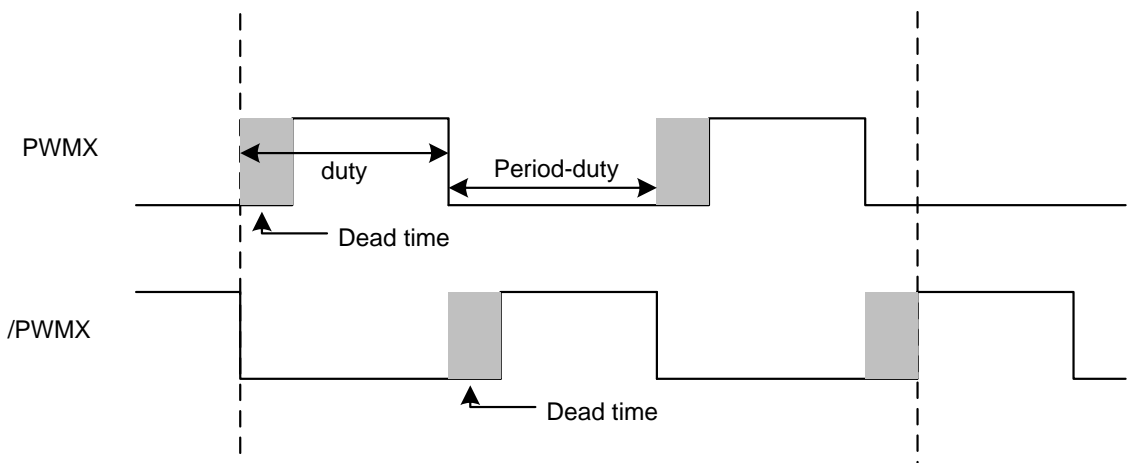


图 7-22 互补 PWMX 输出波形 ($PWMXA = 0$, $IPWMXA=0$, 停滞时间 > 0)

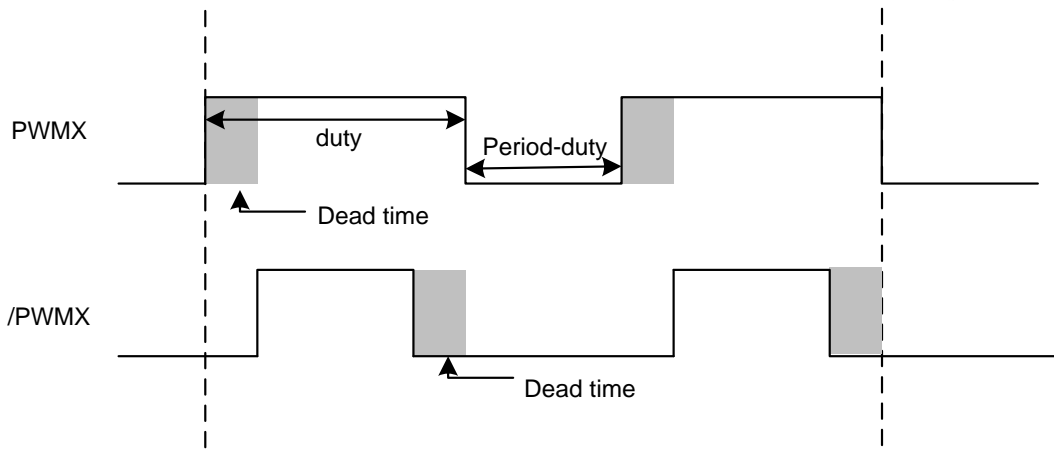


图 7-23 互补 PWMX 输出波形(PWMXA = 1, IPWMA=0, 停滞时间 > 0)

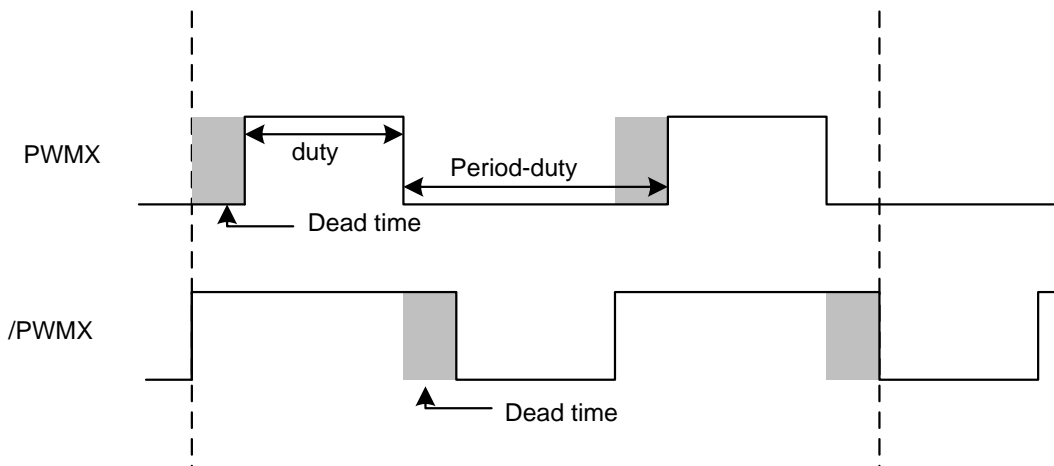


图 7-24 互补 PWMX 输出波形 (PWMXA = 0, IPWMA=1, 停滞时间 > 0)

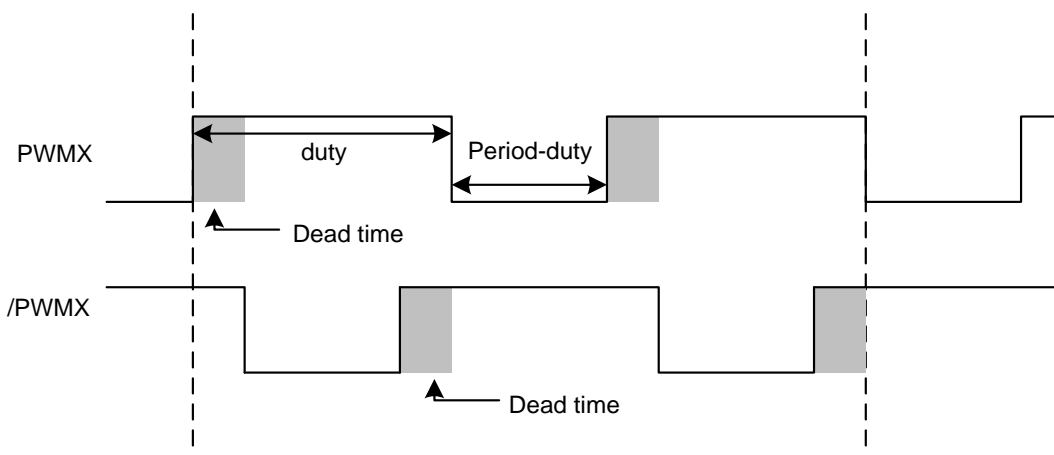


图 7-25 互补 PWMX 输出波形(PWMXA = 1, IPWMA=1, 停滞时间 > 0)

注意

停滞时间寄存器的值小于占空比周期寄存器的值, 为了避免在 PWM 输出发生不被期待的值。

7.8.2 递增定时计数器(TMRX: TMR1 或 TMR2)

TMRX 为8位带可编程预分频的时钟计数器。它们设计用来作为PWM模块的波特率时钟发生器。若采用, 它们可通过设置T1EN位[Bank 1-R8<6>] 或 T2EN 位 [Bank 1-R8<7>] 为 "0" 而关闭以节省功耗。

TMR1 和 TMR2 是内部设计的, 只读。

7.8.3 PWM 周期(TMRX: TMR1 或 TMR2)

PWM 周期(PRDx: PRD1 或 PRD2), PWM周期通过写值到PRDX寄存器而定义。当 TMRX与PRDX相等, 在下一个递增周期发生如下事件:

- 1) TMR 清零
- 2) PWMX 引脚置 "1"
- 3) PWMX 占空比由DT1/DT2 锁存到 DL1/DL2。

注意

如果占空比周期为"0", PWM输出将不会置位。

- 4) PWMXIF 引脚置为 "1"

以下公式描述了如何计算PWM周期:

$$Period = (PRDX + 1) \times \left(\frac{1}{FOSC} \right) \times (TMRX \text{ prescale value})$$

范例:

PRDX=49; Fosc=4 MHz; TMRX (0, 0, 0) = 1:1,

那么 $Period = (49 + 1) \times \left(\frac{1}{4M} \right) \times 1 = 12.5 \mu s$

7.8.4 PWM 占空比(DTX: DT1 或 DT2; DLX: DL1 或 DL2)

PWM占空比通过写值到DTX寄存器而定义，当TMRX清除时其值由DTX锁存到DLX。当DLX与TRMX相等时，PWMX引脚清除。DTX可在任何时候被加载。然而，DTX不可被锁存到DLX直到DLX的当前值与TMRX相等。

如下公式描述了如何计算 PWM 占空比：

$$Duty\ Cycle = (DTX) \times \left(\frac{1}{F_{OSC}} \right) \times (TMRX\ prescale\ value)$$

范例：

DTX=10; Fosc=4 MHz; TMRX (0, 0, 0) = 1:1,

那么 $Duty\ Cycle = 10 \times \left(\frac{1}{4M} \right) \times 1 = 2.5\mu s$

7.8.5 比较器 X

当匹配发生时改变输出状态将同时置位PWMXIF(TMRXIF)标志。

7.8.6 PWM 编程步骤

1. 加载PWM周期PRDX
2. 加载PWM占空比DTX
3. 若需要，写IOCF寄存器以使能中断功能
4. 写预设值到BANK1-R7，设置PWMX引脚为输出
5. 加载TMRX分频比值的预设值到Bank 1-R8，使能PWMx和TMRx。

7.9 定时器

7.9.1 概述

定时器1(TMR1)和定时器2(TMR2)(TMRX)是一个8位带可编程预分频的时钟计数器。它们设计用来作为PWM模块的波特率时钟发生器。TMRX寄存器只读。在AD转换器不运行情况下进入休眠模式时，定时器1和定时器2将停止运行。然而，在AD转换器运行情况下进入休眠模式时，定时器1和定时器2将继续保持运行。

7.9.2 功能描述

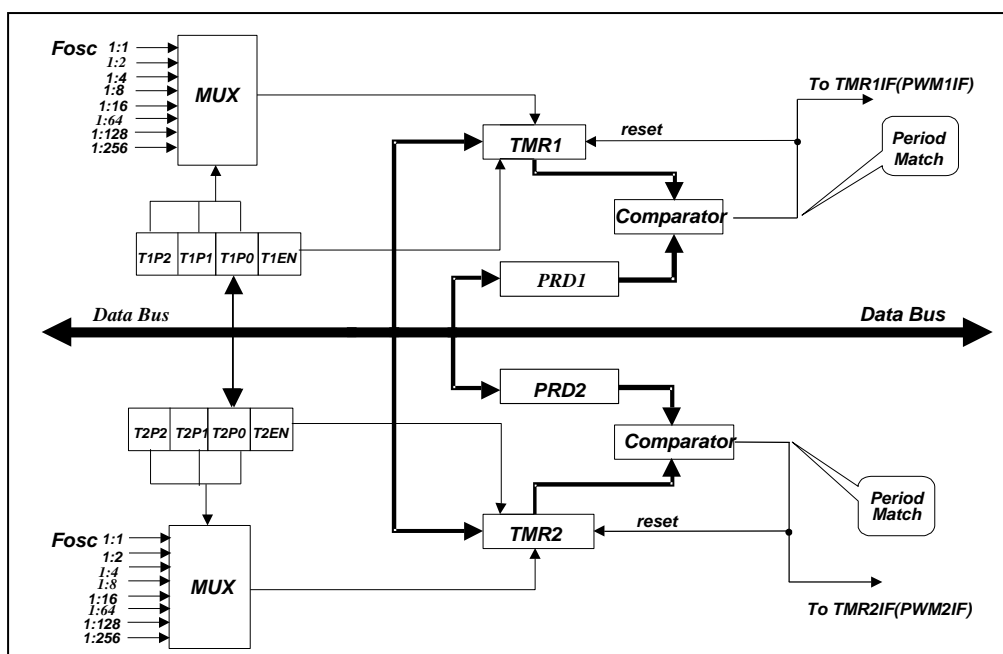


图7-26 定时器结构图

说明如下：

Fosc: 时钟输入

预分频器 (T1P2, T1P1 和 T1P0 / T2P2, T2P1 和 T2P0): 定义TMRX分频比选项 1:1, 1:2, 1:4, 1:8, 1:16, 1:64, 1:128, 和 1:256。任何复位发生时这些位被清零。

TMR1 和 TMR2: 定时器 X寄存器，TMRX一直递增直到与PRDX匹配，此时TMRX复位为"0"(默认值)。

DT1 & DT2:定时器X寄存器。TMRX增加直到它匹配DTX，然后复位为“0”(默认值)。

PRDX (PRD1, PRD2): PWM 周期寄存器

比较器 X (比较器 1 和 比较器 2): 当匹配发生复位TMRX，同时置TMRXIF(PWMXIF)标志。

7.9.3 编程相关寄存器

定义TMRX时，相关寄存器的操作参考下表。需注意地是如果TMRX被使用了，其相关PWMX位须禁止，这样，PWMCON寄存器的位7 ~ 位3必须设为“0”。

■ TMR1和TMR2相关控制寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x07	PWMCON/R7	IPWM2E	IPWM1E	“0”	“0”	“0”	PWMCAS	PWM2E	PWM1E
0x08	TMRCON/R8	T2EN	T1EN	T2P2	T2P1	T2P0	T1P2	T1P1	T1P0

7.9.4 定时器编程步骤

1. 加载定时器定时时长至PRDX
2. 若需要，写IOCF0以使能中断功能
3. 载入一个预设值至 TMRX 分频器，使能 TMRX，禁止 PWMX。

7.9.5 PWM 联级模式

PWM 级联模式使两个8位PWM功能合成一个16位PWM,在这个模式里，必要的参数重新定义如下表所示：

参数	DT (占空比)	PRD (周期)	TMR (定时器)
MSB (15~8)	DT2	PRD2	TMR2
LSB (7~0)	DT1	PRD1	TMR1

16位PWM的分频比使用TMR1的分频比。当LSB产生进位时，TMR的MSB加1并且PWM1IF位/PWM1引脚重新定义为PWMIF位/PWM引脚(或PWM1引脚)。

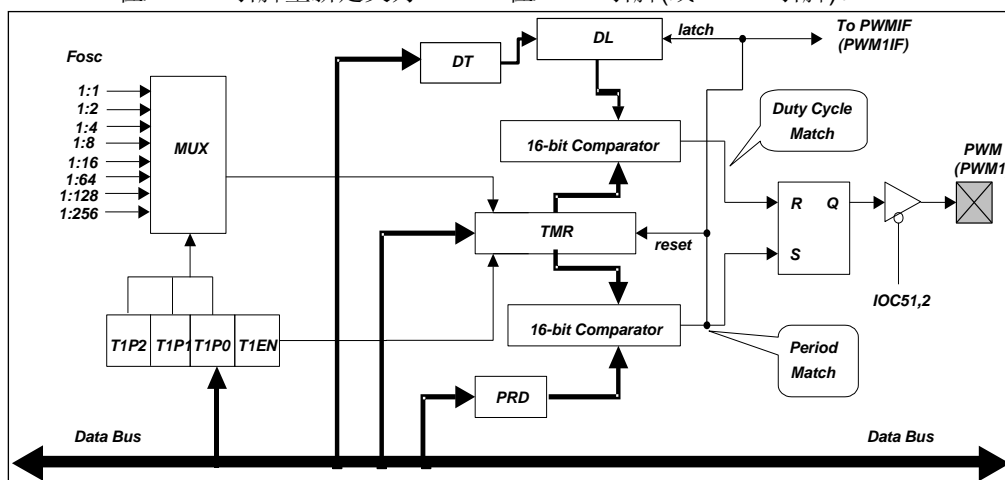


图7-27 16-Bit PWM功能模块图 (由两个8位元合成)

7.10 比较器

EM78P372K 有一个带有两个模拟输入和一个输出的比较器。比较器可将单片机从休眠状态下唤醒。右图为比较器的电路图。

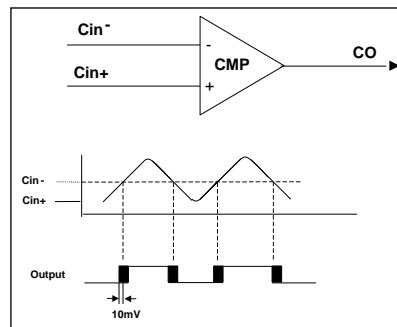


图7-28 比较器操作模式

7.10.1 外部参考信号

当前的Cin+和Cin-的模拟信号相比较，数字输出(CO)信号相应变化，其输出变化考虑下列情况：

注意

- 参考信号必须介于Vss和Vdd之间。
- 参考电压可加在比较器的任意一个输入脚上。
- 极值检测应用可为同一个参考。
- 对于相同或不同参考源，比较器均可工作。

7.10.2 比较器输出

- 比较结果存储在IOC80的CMPOUT位。
- 通过编程设置IOC80寄存器的位4和位3<COS1, COS0>为<1,0>，比较结果可输出到CO(P64)引脚。参见6.2.4章节的表格，比较器/OP选择位功能描述的IOC80寄存器(比较器控制寄存器)。

下图是比较器输出结构图：

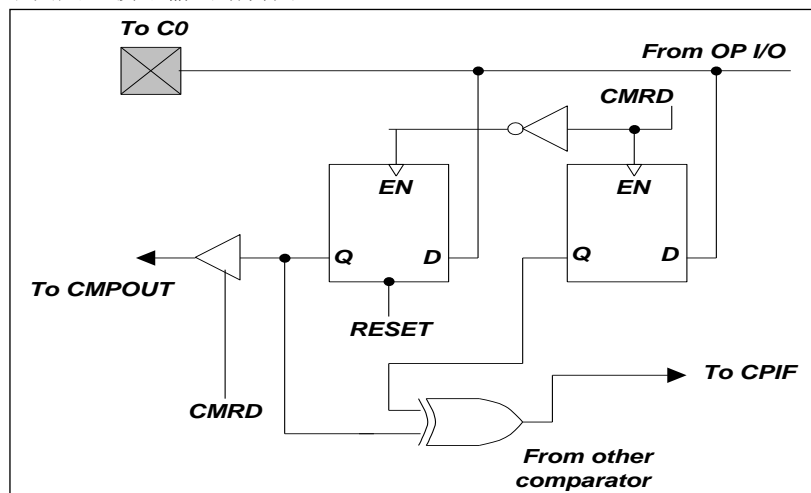


图7-29 比较器输出配置

7.10.3 比较器作为运算放大器使用

如果在输入与输出之间外接一个反馈电阻则比较器可做运算放大器使用。在这种情况下，为了降低功耗可通过设置IOC80寄存器的位4,位3<COS1,COS0>为<1,1>来禁止施密特触发。参见6.2.4章节的表格，比较器/OP选择位的功能描述的IOC80寄存器(比较器控制寄存器)。

注意

运算放大器:

- CMPIE (IOCE0.4), CMPWE (RE.2), CMPIF (RE.4)位均无效。
- 比较器中断无效。
- 比较器唤醒无效。

7.10.4 比较器中断

- CMPIE(IOCE0.4) 必须使能，以使“ENI”指令有效；
- 任何时候比较器输出引脚状态变化均将触发中断；
- 引脚的具体变化可通过读IOC80<5>的CMPOUT位决定；
- CMPIF(RE.4),比较器中断标志位，只可由软件清零。

7.10.5 从休眠模式唤醒

- 如果RE寄存器的CMPWE位设置为“1”，即使在休眠模式，比较器仍保持运行，中断功能仍有效。
- 如果发生不匹配，该状态改变将会使单片机从睡眠模式唤醒。
- 为节省能源，需考虑到功耗因素。
- 如果休眠模式期间不使用此功能，在进入休眠模式前需关闭比较器。

通过以下情况判断比较器比较完成：

1. 设置IOC80寄存器的COS1 和 COS0 位来选择比较器；
2. RE寄存器的CMPIF位设置为“1”；
3. RE寄存器的CMPWE位设置为“1”，比较器唤醒(在休眠/空闲模式期间，比较器保持运行)；
4. 如果IOCE0的CMPIE位使能并且执行了“DISI”指令，唤醒并接着执行下一条指令；
5. 如果使能IOCE0的CMPIE位并执行了“ENI”指令，唤醒并进入中断向量(地址 0x00F)；
6. 如果使能IOCE0的CMPIE位并执行了“ENI”指令，进入中断向量(地址 0x00F)。

7.11 振荡器

7.11.1 振荡器模式

EM78P372K可工作于7种不同的振荡模式，如：晶体振荡器模式(XT)，高频晶体振荡器模式1(HXT1)，高频晶体振荡器模式2(HXT2)，低频晶体振荡器模式1(LXT1)，低频晶体振荡器模式2(LXT2)，外部RC振荡器模式(ERC)，和内部RC振荡器模式(IRC)。用户可以通过编程代码选项寄存器的OSC3 ~ OSC0位选择六种振荡模式的其中一种振荡模式。

振荡模式由OSC3 ~ OSC0位定义，如下表所述：

振荡模式	OSC3	OSC2	OSC1	OSC0
ERC ¹ (外部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 ERCin P70/ADC5/OSCI/RCOUT 作为 P70	0	0	0	0
ERC ¹ (外部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 ERCin P70/ADC5/OSCI/RCOUT 作为 RCOUT	0	0	0	1
IRC ² (内部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 P55 P70/ADC5/OSCI/RCOUT 作为 P70 (默认)	0	0	1	0
IRC ² (内部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 P55 P70/ADC5/OSCI/RCOUT 作为 RCOUT	0	0	1	1
LXT1 ³ (XT 模式频率范围为 100kHz ~ 1 MHz)	0	1	0	0
HXT1 ³ (XT 模式频率范围为 12MHz ~ 20 MHz)	0	1	0	1
LXT2 ³ (XT 模式频率为 32.768kHz)	0	1	1	0
HXT2 ³ (XT 模式频率范围为 6MHz ~ 12 MHz)	0	1	1	1
XT ³ (XT 模式频率范围为 1MHz ~ 6 MHz)	1	1	1	1

以下是不同电压下晶振/陶振的最大工作频率限度：

条件	VDD	最大频率(MHz)
两个时钟	2.1V	4
	3.0V	8
	4.5V	16

7.11.2 晶体振荡器/陶瓷谐振器 (晶振)

EM78P372K可通过OSCI引脚，由外部时钟信号来驱动，如下图所示：

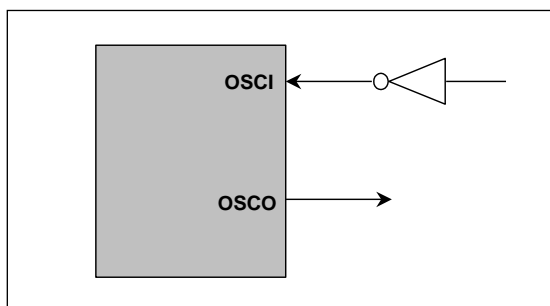


图7-30 外部时钟输入电路

大多数应用中，引脚OSCI和OSCO可接晶体或陶瓷谐振器以产生振荡。下图6-18描述了此类电路，同样也可应用于HXT1模式，HXT2模式,LXT1模式，LXT2和XT模式。

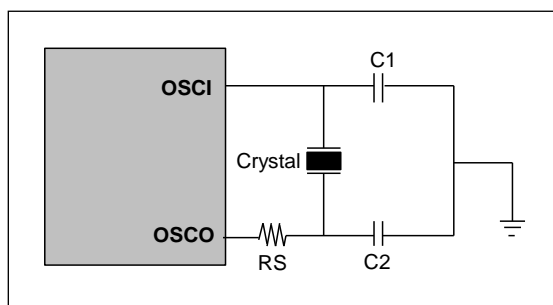


图7-31 晶体/谐振器电路

下表为C1和C2的推荐值，由于每个谐振器都有其自身的特性，用户应参照其规格选择C1、C2的合适值。对于AT切片晶振或低频模式，有必要接入串联电阻RS。图6-21为晶体电路PCB布线建议。当系统工作在晶体模式(16MHz)，OSCI与OSCO之间接一个10 KΩ电阻。

晶体振荡器或陶瓷谐振器电容的选择参考如下：

振荡器类型	频率模式	频率	C1 (pF)	C2 (pF)
陶瓷谐振器	LXT1 (100 K ~ 1 MHz)	100kHz	60 pF	60 pF
		200kHz	60 pF	60 pF
		455kHz	40 pF	40 pF
		1 MHz	30 pF	30 pF
	XT (1 M ~ 6 MHz)	1.0 MHz	30 pF	30 pF
		2.0 MHz	30 pF	30 pF
		4.0 MHz	20 pF	20 pF
晶体振荡器	LXT2 (32.768kHz)	32.768kHz	40 pF	40 pF
	LXT1 (100 K ~ 1 MHz)	100kHz	60 pF	60 pF
		200kHz	60 pF	60 pF
		455kHz	40 pF	40 pF
		1 MHz	30 pF	30 pF
	XT (1~6 MHz)	1.0 MHz	30 pF	30 pF
		2.0 MHz	30 pF	30 pF
		4.0 MHz	20 pF	20 pF
		6.0 MHz	30 pF	30 pF
	HXT2 (6~12 MHz)	6.0 MHz	30 pF	30 pF
		8.0 MHz	20 pF	20 pF
		12.0 MHz	30 pF	30 pF
	HXT1 (12~20 MHz)	12.0 MHz	30 pF	30 pF
		16.0 MHz	20 pF	20 pF

串联和并联模式晶振/谐振器的电路图：

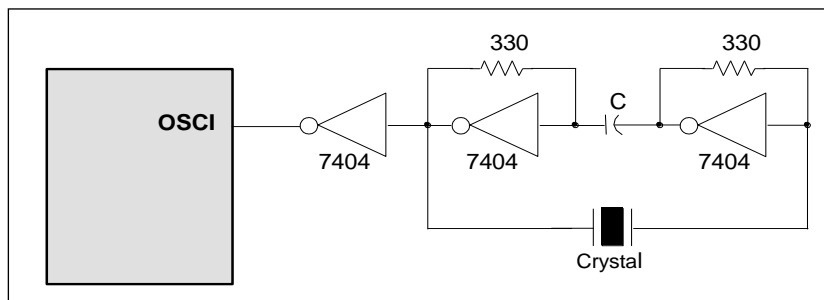


图7-32 串联模式晶振/谐振器的电路图

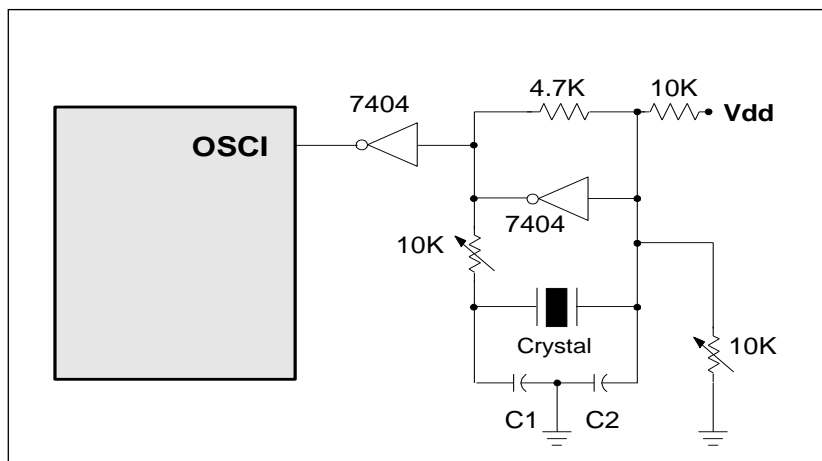


图7-33 并联模式晶振/谐振器的电路图

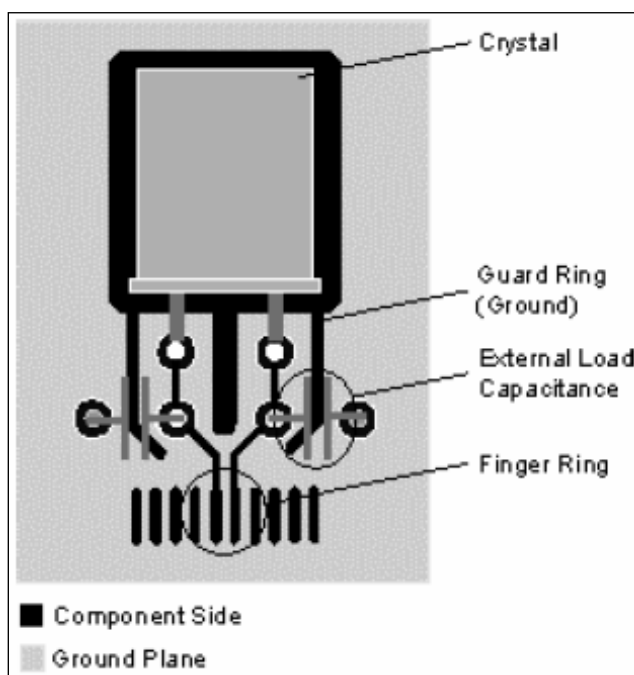


图 7-34 并联模式晶振/谐振器的电路图

7.11.3 外部RC振荡器模式

在一些不需要精确计时的应用中，使用RC振荡器(图7-35)可以节省费用。但是，需注意地是，RC振荡器的频率会受到工作电压、电阻值(Rext)、电容(Cext)甚至工作温度的影响。此外，由于制造工艺的不同，不同芯片的频率也会有微小的差异。

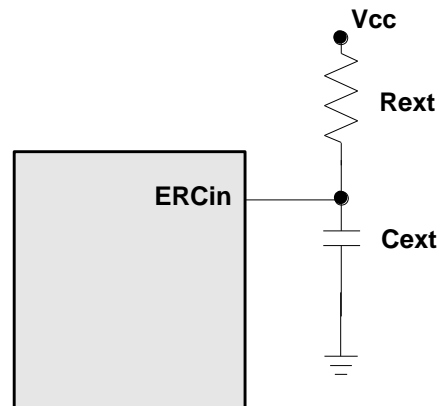


图7-35 外部RC振荡器模式

为了获得稳定的系统频率，建议Cext电容值不要小于20pF，Rext电阻值不要大于1MΩ。如果不能保证在该范围之内，频率就很容易受噪声、湿度及漏电流的影响。

RC振荡器的电阻值Rext越小，频率越高。另一方面，对于很小的电阻值，如1 KΩ，由于NMOS不能准确地通过电容放电，振荡器会变得不稳定。

基于上述原因，必须牢记电源电压、工作环境温度、RC振荡器器件、封装类型及PCB布线均会影响系统频率。

RC振荡器频率：

Cext	Rext	平均 Fosc 5V, 25°C	平均 Fosc 3V, 25°C
20 pF	3.3k	2.064 MHz	1.901 MHz
	5.1k	1.403 MHz	1.316 MHz
	10k	750.0 kHz	719.0 kHz
	100k	81.45 kHz	81.33 kHz
100 pF	3.3k	647.0 kHz	615.0 kHz
	5.1k	430.8 kHz	414.3 kHz
	10k	225.8 kHz	219.8 kHz
	100k	23.88 kHz	23.96 kHz
300 pF	3.3k	256.6 kHz	245.3 kHz
	5.1k	169.5 kHz	163.0 kHz
	10k	88.53 kHz	86.14 kHz
	100k	9.283 kHz	9.255 kHz

注：¹：在DIP封装下测量的
²：这些值仅供设计参考
³：频率漂移为±30%

7.11.4 内部RC振荡模式

EM78P372K 提供一个通用的内部RC模式，其默认频率为4MHz。它还可通过代码选项 (WORD0)的RCM1和RCM0位设置其它频率(16 MHz, 8 MHz, 1 MHz)。下表描述了EM78P372K内部RC 漂移受电压、温度和制程工艺的影响。

内部 RC 偏移率 (Ta=25°C, VDD=5V±5%, VSS=0V)

内部 RC 频率	偏移率			
	温度 (-40°C ~+85°C)	电压 (2.1V~5.5V)	制程	总计
4 MHz	±2%	±1%	±1%	±4%
16 MHz	±2%	±1%	±1%	±4%
8 MHz	±2%	±1%	±1%	±4%
1 MHz	±2%	±1%	±1%	±4%

注: 理论值仅供参考, 实际值可能依据实际制程变化。

7.12 上电讨论

在供电电压未达到稳定状态前,任何微控制器都不能保证正常工作。EM78P372K的POR电压范围是 $1.9V \pm 0.2V$ 。在用户应用中,当电源关闭时,Vdd必须降到1.6V以下,在重新上电之前需保持关闭状态 $10\mu s$ 。这样,EM78P372K被可靠复位,并正常工作。的电压检测器(POVD)。在Vdd上升足够快(50ms或更短)的条件下,它将很好的工作。如果Vdd上升的足够快(50ms或更少),外部复位电路会可靠工作。然而,在很多要求严格的应用中,仍然需要附加的外部电路来帮助解决上电问题。

7.12.1 可编程 WDT 溢出周期

选项字节(WDTPS)用于定义WDT溢出周期($18ms^5$ 或 $4.5ms^6$)。理论上的范围是4.5ms或18ms。对大多数晶振和陶瓷振荡器来说,工作频率越低,启动时间越长。

7.12.2 外部上电复位电路

下图电路描述了使用外部RC产生复位脉冲。脉冲的宽度(时间常数)应保持足够长时间,以使电源Vdd达到最低工作电压。该电路应用在电源电压上升比较慢的情况下,因为/RESET引脚的漏电大约为 $\pm 5\mu A$,所以建议R要小于 $40K\Omega$,这样,引脚/RESET的电压保持在0.2V以下。二极管(D)在掉电时作为短路回路。电容C将快速充分放电。限流电阻Rin用来避免过大的电流或ESD(静电放电)流入/RESET引脚。

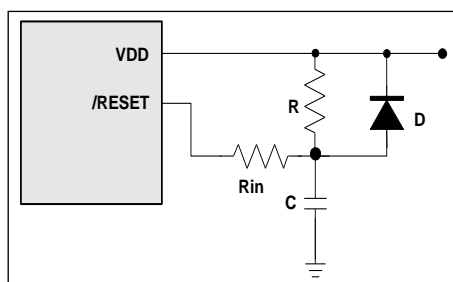


图7-36 外部上电复位电路

7.12.3 残留电压保护

更换电池时,单片机的电源(Vdd)被断开,但残余电压仍存在。残余电压可能低于Vdd的最小工作电压,但不为零。这种情况可能引起上电复位不良。图7-37及图7-38显示如何建立一个残留电压的保护电路。

⁵ VDD=5V, WDT 溢出周期 = $16.5ms \pm 30\%$.
VDD=3V, WDT 溢出周期 = $18ms \pm 30\%$.
⁶ VDD=5V, WDT 溢出周期 = $4.2ms \pm 30\%$.
VDD=3V, WDT 溢出周期 = $4.5ms \pm 30\%$.

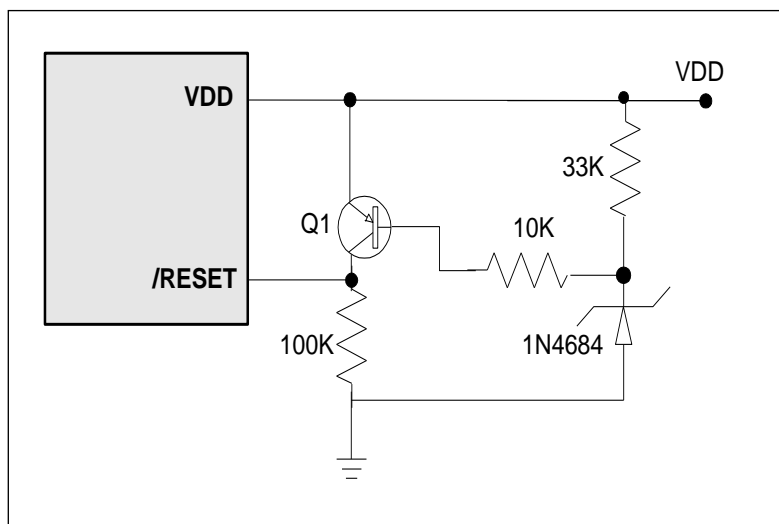


图7-37 残留电压保护电路1

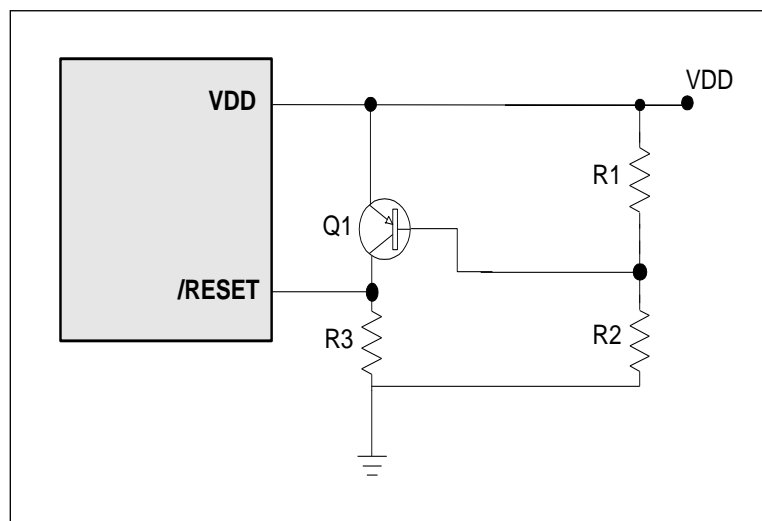


图7-38 残留电压保护电路2

7.13 代码选项

EM78P372K有六个代码选项字和一个用户ID字，它们不属于一般程序内存的一部分。

Word 0	Word1	Word 2	Word 3	Word 0x10	Word 0x11
Bit 12~Bit 0	Bit 12~Bit 0	Bit12~Bit 0	Bit12~Bit 0	Bit12~Bit 0	Bit12~Bit 0

7.13.1 代码选项寄存器(Word 0)

Word 0											
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bits 2~0
助记符	TYPE1	TYPE0	WK_CLK	CLKS	LVR1	LVR0	RESETEN	ENWDT	NRHL	NRE	Protect
1	高	高	8个时钟	高	高	高	禁止	禁止	32/fc	使能	禁止
0	低	低	32个时钟	低	低	低	使能	使能	8/fc	禁止	使能

Bits 12~11 (TYPE1 ~ TYPE0): EM78P372K封装类型选择

TYPE 1, TYPE 0	MCU 类型	引脚未使用
00	EM78P372K-10Pin	Ports 60 ~ 66 / 54 / 56 / 57 输出低
01	EM78P372K-14Pin	Ports 62 / 63 / 64 / 65 / 56 / 57 输出低
10	EM78P372K-18Pin	Ports 56 / 57 输出低
11	EM78P372K-20Pin (默认)	X

Bit 10 (WK_CLK): 选择 8 或 32 个时钟由休眠和空闲模式唤醒 (仅对于IRC模式)

- 0 : 32个时钟
- 1 : 8个时钟(默认)

Bit 9 (CLKS): 指令周期选项位

- 0: 两个振荡器周期
- 1: 四个振荡器周期 (默认)

Bits 8~7 (LVR1 ~ LVR0): 低电压复位使能位

LVR1, LVR0	VDD复位电平	VDD释放电平
11	NA (上电复位) (默认)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

Bit 6 (RESETEN): RESET/P71 引脚选择位

- 0 : P71 设为/RESET引脚
- 1 : P71为通用输入引脚或开漏输出端口(默认)

Bit 5 (ENWDT): 看门狗定时器使能位

- 0 : 使能
- 1 : 禁止 (默认)

Bit 4 (NRHL):噪声抑制高/低脉冲定义位，INT引脚下降沿或上升沿触发器

0: 等于8/fc脉冲被当作是信号

1: 等于32/fc脉冲被当作是信号 (默认)

注意

在LXT2和休眠模式下，噪声抑制功能被关闭。

Bit 3 (NRE): 噪声抑制使能位

0: 禁止噪声抑制

1: 使能噪声抑制(默认)，但在低频晶体振荡器(LXT)模式下，噪声抑制电路始终是禁止的。

Bits 2 ~ 0 (Protect): 保护位

保护位	保护
0	使能
1	禁止(默认)

7.13.2 代码选项寄存器(Word 1)

Word 1													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	C5	C4	C3	C2	C1	C0	RCM1	RCM0	OSC3	OSC2	OSC1	OSC0	RCOUT
1	高	高	高	高	高	高	高	高	高	高	高	高	System_clk
0	低	低	低	低	低	低	低	低	低	低	低	低	Open_drain

Bits 12~7 (C5~C0): 内部 RC 模式校准选择位

C5 ~ C0 必须置“1”(自动校对)

Bits 6~5 (RCM1, RCM0): RC 模式选择位

RCM 1	RCM 0	频率(MHz)
1	1	4 (默认)
1	0	16
0	1	8
0	0	1

Bits 4 ~ 1 (OSC3 ~ OSC0): 振荡器模式选择位

振荡器模式	OSC3	OSC2	OSC1	OSC0
ERC ¹ (外部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 ERCin P70/ADC5/OSCI/RCOUT 作为 P70	0	0	0	0
ERC ¹ (外部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 ERCin P70/ADC5/OSCI/RCOUT 作为 RCOUT	0	0	0	1
IRC ² (内部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 P55 P70/ADC5/OSCI/RCOUT 作为 P70 (默认)	0	0	1	0
IRC ² (内部 RC 振荡器模式); P55/ADC6/OSCO/ERCin 作为 P55 P70/ADC5/OSCI/RCOUT 作为 RCOUT	0	0	1	1
LXT1 ³ (XT 模式频率范围为 100kHz~1 MHz)	0	1	0	0
HXT1 ³ (XT 模式频率范围为 12MHz~20 MHz)	0	1	0	1
LXT2 ³ (XT 模式频率范围为 32.768kHz)	0	1	1	0
HXT2 ³ (XT 模式频率范围为 6 MHz~12 MHz)	0	1	1	1
XT ³ (XT 模式频率范围为 1 MHz~6 MHz)	1	1	1	1

Bit 0 (RCOUT): 在IRC或ERC模式下, 指令时钟输出使能位

0: RCOUT引脚漏极开路

1: RCOUT引脚输出指令时钟(默认)

7.13.3 代码选项寄存器(Word 2)

Word 2													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	-	-	SFS	-	IRCPSS	IRCIRS	HLP	-	WDTPS	ID2	ID1	ID0
1	-	-	-	16kHz	-	Internal	稳压器	High	-	18ms	高	高	高
0	-	-	-	128kHz	-	VDD	能带隙	Low	-	4.5ms	低	低	低

Bit 12: 不用(保留)。 该位一直设置为“1”

Bit 11: 不用(保留)。 该位一直设置为“0”

Bit 10: 不用(保留)。 该位一直设置为“1”

Bit 9 (SFS): 绿色模式和 TCC, PWM1, PWM2 时钟源的副振荡器选择位。

(不含 WDT 溢出和自由运行启动时间)

0: 128kHz

1: 16kHz (默认)

Bit 8: 不用(保留)。 该位一直设置为“0”

Bit 7 (IRCPSS): IRC 电源选择

0: VDD

1: 内部参考(默认)

- Bit 6 (IRCIRS):** IRC 内部参考选择
0: IRC能带隙模式(Vref 来源于能隙带)
1: IRC稳压器模式(默认)
- Bit 5 (HLP):** 功耗选择
0: 电源低损耗模式, 适用于工作频率为400kHz或低于400kHz下
1: 电源高损耗模式, 适用于工作频率大于400kHz下 (默认)
 (在晶体模式下用户选择LXT1或LXT2, HLP功能自动选择低损耗。)
- Bit 4 (LPS):** 不用(保留)。 该位一直设置为“1”
- Bit 3 (WDTPS):** WDT 溢出周期

WDT 时间	看门狗时间*
1	18 ms (默认)
0	4.5 ms

*理论值, 仅供参考。

- Bits 2 ~ 0:** 客户ID I 代码 (不可从表指针寄存器读取)

7.13.4 代码选项寄存器(Word 3)

Word 3													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	-	VREFSEL	-	-	-	-	-	-	-	-	-	-	-
1	-	高	-	-	-	-	-	-	-	-	-	-	-
0	-	低	-	-	-	-	-	-	-	-	-	-	-

- Bit 12:** 不用(保留)。 该位一直设置为“1”
- Bit 11 (VREFSEL):** ADC内部参考电压选择 [取决于VREF[1:0] (Bank 0-RA[2:1]) = 11]
0: ADC 内部参考电压 2.5V
1: ADC内部参考电压2.0V (默认)
- Bits 10 ~ 0:** 不用(保留)。 该位一直设置为“1”

7.13.5 客户 ID 寄存器(Word 0x10)

Word 0x10													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
1	高	高	高	高	高	高	高	高	高	高	高	高	高
0	低	低	低	低	低	低	低	低	低	低	低	低	低

- Bits 12 ~ 0:** 客户ID II 代码 (不可从表指针寄存器读取)

7.13.6 客户 ID 寄存器(Word 0x11)

Word 0x11													
Bit	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
助记符	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
1	高	高	高	高	高	高	高	高	高	高	高	高	高
0	低	低	低	低	低	低	低	低	低	低	低	低	低

Bits 12 ~ 0: 客户 ID Ⅲ 代码 (不可从表指针寄存器读取)

7.14 低电压检测/低电压复位

低电压复位(LVR)和低电压检测(LVD)是为电源不稳的情况而设计的，例如外部电源的噪声干扰或在EMS测试条件下。

当LVR使能，系统供电电压(V_{dd})降低到低于V_{dd}复位电平(V_{RESET})并持续10μs时，系统产生复位并保持复位状态。系统一直保持复位状态直到V_{dd}电压上升到高于V_{dd}的释放电平。

当LVD使能，如果V_{dd}降低到低于低电压侦测电平，/LVD (RE的位7)被清零以作为低电压信号，该信号可用于低电压的检测。

7.14.1 低电压复位

LVR属性可由代码选项字(Word0)的位12和11设置，详细操作如下：

Word 0										
Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bits 2~0
TYPE1	TYPE0	WK_CLK	CLKS	LVR1	LVR0	RESETEN	ENWDT	NRHL	NRE	Protect

Bits 8~7 (LVR1 ~ LVR0): 低电压复位使能位

LVR1, LVR0	VDD复位电平	VDD 释放电平
11	NA (上电复位)	
10	2.7V	2.9V
01	3.5V	3.7V
00	4.0V	4.2V

7.14.2 低电压检测

LVD 属性设置和详细操作如下：

7.14.2.1 Bank 1 RE (中断状态 2 和唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	LV DEN	LVD1	LVD0	-	-	-	EXWE

注意

- Bank 1 RE<6>寄存器为可读写。
- 个别的中断被使能是通过设置Bank 1 RE<7> to "1"相关的控制位元。
- 全局中断通过ENI指令使能，DISI指令禁止。

Bit 7 (LVDIE):低电压检测中断使能位

0: 禁止低电压检测中断

1: 使能低电压检测中断

当侦测低电压状态被用于禁止中断向量或进入下一条指令，LVDIE位必须设置为使能。

Bit 6 (LV DEN): 低电压检测中断位

0: 禁止低电压检测

1：使能低电压检测

Bits 5~4 (LVD1:0): 低电压检测电平位

LVDEN	LVD1, LVD0	LVD 电压中断电平	/LVD
1	11	$V_{dd} \leq 2.2V$	0
		$V_{dd} > 2.2V$	1
1	10	$V_{dd} \leq 3.3V$	0
		$V_{dd} > 3.3V$	1
1	01	$V_{dd} \leq 4.0V$	0
		$V_{dd} > 4.0V$	1
1	00	$V_{dd} \leq 4.5V$	0
		$V_{dd} > 4.5V$	1
0	xx	NA	1

7.14.2.2 Bank 0 RE (中断状态 2 和唤醒控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
/LVD	LVDIF	ADIF	CMPIF	ADWE	CMPWE	ICWE	LVDWE

注意

- RE < 6, 5, 4 > 可由指令清零，但不能置位。
- IOCE0 是中断屏蔽寄存器。
- 读RE的值是RE与IOCE0“逻辑与”的结果。

Bit 7 (/LVD): 低电压检测状态位，该位为只读位。当VDD引脚电压小于LVD中断电平(通过LVD1和LVD0位来选择)时，该位被清零。

0: 检测到低电压

1: 未检测到低电压或LVD功能禁止(默认)

Bit 6 (LVDIF): 低电压检测中断标志位

LVDIF由软件或硬件复位为“0”

Bit 0 (LVDWE): 低电压检测唤醒使能位

0: 禁止低电压检测唤醒

1: 使能低电压检测唤醒

在低电压检测运行情况下，当其用于进入中断向量或将IC由休眠/空闲模式唤醒时，LVDWE位必须设为“使能”。

7.14.3 编程过程

按以下步骤可获得LVD数据：

1. 写LVDCCR寄存器的两个位(LVD1: LVD0)以定义LVD电平。
2. 如果唤醒功能被采用，置LVDWE位。

3. 如果中断功能被采用，置LVDIE位。
4. 如果中断功能被采用，写“ENI”指令。
5. 置LV DEN位为1
6. 写“SLEP”指令或查询/LVD 位
7. 低电压侦测中断标志位(LVDIF)清零，当低电压侦测中断产生。

LVD模块使用的是内部电路，当LV DEN (BANK1-RE的位6)置为“1”，LVD模块被使能。

当LV DWE (RE 的位0) 置为“1”，在休眠/空闲模式下LVD模块将继续进行。如果Vdd慢慢往下降至侦测点(VLVD)时，LVDIF (RE的位6)将被置“1”，/LVD (RE的位7)将被清“0”，系统将由休眠/空闲模式唤醒。当系统复位发生，LVDIF将被清零。

当Vdd保持在高于VLVD 时，LVDIF保持为“0”，/LVD保持为“1”。当Vdd下降至低于VLVD 时，LVDIF置“1”，下一条指令将从中断向量021H处开始执行，LVDIF由软件清“0”。请参考下图6-26。

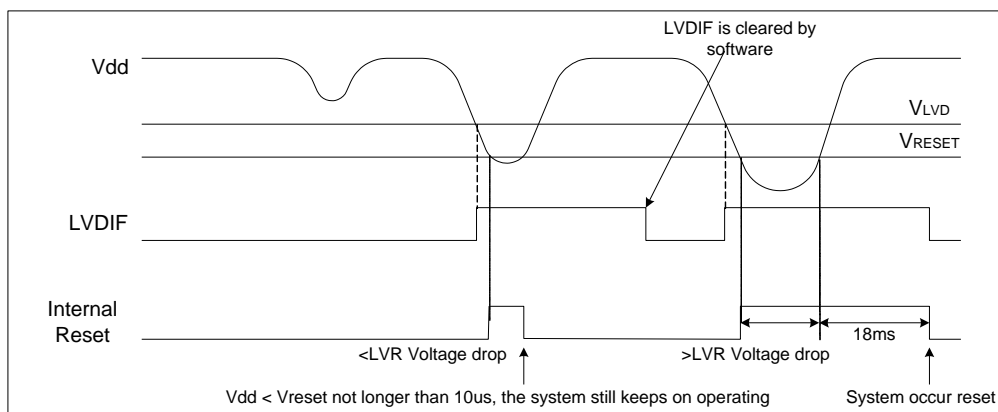


图7-34 LVD/LVR波形图

7.15 指令集

指令集的每条指令是13位字宽，由一个操作码和一个或多个操作数组成。正常情况下，所有指令花费一个指令周期(一个指令周期由两个振荡周期组成)，但改变程序计数器R2的指令如"MOV R2,A", "ADD R2,A", 或对R2进行算术或逻辑运算的指令(如"SUB R2,A", "BS(C) R2, 6", "CLR R2"等)除外。

另外，指令集有以下特性：

1. 任何寄存器的每一位均可置1，清零或直接测试。
2. I/O 寄存器可视为通用的寄存器。即相同的指令可用于操作I/O 寄存器。

以下符号用在指令集表中：

惯例：

R = 寄存器指示符，指定寄存器（包括操作寄存器和通用寄存器）中的哪个寄存器被使用。**R4**的位6和7定义用于选择寄存器bank。

b = 位域指示符，指定寄存器"**R**"中的哪个位被选择，影响操作指令。

k = 8或10位常数或立即数。

助记符	操作	受影响的状态标志
NOP	无操作	无
DAA	A 进行十进制调整	C
CONTW	A → CONT	无
SLEP	0 → WDT, 振荡器停止	T, P
WDTC	0 → WDT	T, P
IOW R	A → IOCR	无 ¹
ENI	使能中断	无
DISI	禁止中断	无
RET	[栈顶] → PC	无
RETI	[栈顶] → PC, 使能中断	无
CONTR	CONT → A	无
IOR R	IOCR → A	无 ¹
MOV R,A	A → R	无
CLRA	0 → A	Z
CLR R	0 → R	Z
SUB A,R	R-A → A	Z, C, DC
SUB R,A	R-A → R	Z, C, DC
DECA R	R-1 → A	Z
DEC R	R-1 → R	Z
OR A,R	A ∨ VR → A	Z
OR R,A	A ∨ VR → R	Z
AND A,R	A & R → A	Z
AND R,A	A & R → R	Z
XOR A,R	A ⊕ R → A	Z
XOR R,A	A ⊕ R → R	Z

助记符	操作	受影响的状态标志
ADD A,R	$A + R \rightarrow A$	Z, C, DC
ADD R,A	$A + R \rightarrow R$	Z, C, DC
MOV A,R	$R \rightarrow A$	Z
MOV R,R	$R \rightarrow R$	Z
COMA R	$\neg R \rightarrow A$	Z
COM R	$\neg R \rightarrow R$	Z
INCA R	$R+1 \rightarrow A$	Z
INC R	$R+1 \rightarrow R$	Z
DJZA R	$R-1 \rightarrow A$, 为零跳转	无
DJZ R	$R-1 \rightarrow R$, 为零跳转	无
RRCA R	$R(n) \rightarrow A(n-1)$, $R(0) \rightarrow C$, $C \rightarrow A(7)$	C
RRC R	$R(n) \rightarrow R(n-1)$, $R(0) \rightarrow C$, $C \rightarrow R(7)$	C
RLCA R	$R(n) \rightarrow A(n+1)$, $R(7) \rightarrow C$, $C \rightarrow A(0)$	C
RLC R	$R(n) \rightarrow R(n+1)$, $R(7) \rightarrow C$, $C \rightarrow R(0)$	C
SWAPA R	$R(0-3) \rightarrow A(4-7)$, $R(4-7) \rightarrow A(0-3)$	无
SWAP R	$R(0-3) \leftrightarrow R(4-7)$	无
JZA R	$R+1 \rightarrow A$, 为零跳转	无
JZ R	$R+1 \rightarrow R$, 为零跳转	无
BC R,b	$0 \rightarrow R(b)$	无 ²
BS R,b	$1 \rightarrow R(b)$	无 ³
JBC R,b	如果 $R(b)=0$, 跳转	无
JBS R,b	如果 $R(b)=1$, 跳转	无
CALL k	$PC+1 \rightarrow [SP]$, $(Page, k) \rightarrow PC$	无
JMP k	$(Page, k) \rightarrow PC$	无
MOV A,k	$k \rightarrow A$	无
OR A,k	$A \vee k \rightarrow A$	Z
AND A,k	$A \& k \rightarrow A$	Z
XOR A,k	$A \oplus k \rightarrow A$	Z
RETL k	$k \rightarrow A$, [栈顶] $\rightarrow PC$	无
SUB A,k	$k-A \rightarrow A$	Z, C, DC
Add A,K	$k+A \rightarrow A$	Z, C, DC
PAGE k	$k \rightarrow R3(5)$	无
BANK k	$k \rightarrow R4(6)$	无
LCALL k	$PC+1 \rightarrow [SP]$, $k \rightarrow PC$	无
LJMP k	$k \rightarrow PC$	无
TBRD R	如果 Bank1 $R5.7=0$, 机械码(7~0) $\rightarrow R$ 否则 Bank1 $R5.7=1$, 机械码(12~8) $\rightarrow R(4~0)$, $R(7-5)=(0,0,0)$	无

注: ¹ 这条指令仅适用于IOCF50 ~ IOCF0, IOCF51 ~ IOCF1寄存器

² 这条指令不建议用于RF操作。

³ 这条指令不能在RF上操作。

8 绝对最大值

项目	范围		
温度范围	-40°C	至	85°C
存储温度	-65°C	至	150°C
输入电压	V _{ss} -0.3V	至	V _{dd} +0.5V
输出电压	V _{ss} -0.3V	至	V _{dd} +0.5V
工作电压	2.1V	至	5.5V
工作频率	DC	至	16 MHz

9 DC电气特性

T_a = 25°C, V_{DD} = 5.0V, V_{SS} = 0V

符号	参数	条件	最小值	典型值	最大值	符号
FXT	晶振: VDD 至 5V	指令周期为 2 个时钟周期	32.768k	4	16	MHz
ERC	ERC: VDD 至 5V	R: 5.1KΩ, C: 100 pF	760	950	1140	kHz
VIH1	输入高电压 (施密特触发)	Ports 5, 6, 7	0.7V _{DD}	-	V _{DD} +0.3	V
VIL1	输入低电压 (施密特触发)	Ports 5, 6, 7	-0.3V	-	0.3V _{DD}	V
VIHT1	输入高临界电压 (施密特触发)	/RESET	-	1.8	-	V
VILT1	输入低临界电压 (施密特触发)	/RESET	-	1.1	-	V
VIHT2	输入高临界电压 (施密特触发)	TCC, INT	0.7V _{DD}	-	V _{DD} +0.3	V
VILT2	输入低临界电压 (施密特触发)	TCC, INT	-0.3V	-	0.3V _{DD}	V
IOH1	输出高电压 (Ports 5, 6, 7)	VOH = 0.9V _{DD}	-	-3.7	-	mA
IOH2	输出高电压 (Ports 51~54, 56~57,60~67)		-	-10	-	
IOL1	输出低电压 (Ports 5, 6, 7)	VOL = 0.1V _{DD}	-	10	-	mA
IOL2	输出低电压 (Ports 51~54, 56~57,60~67)		-	25	-	

符号	参数	条件	最小值	典型值	最大值	符号
LVR1	低电压复位电平	Ta=25°C	2.41	2.7	2.99	V
		Ta=-40~85°C	2.14	2.7	3.25	V
LVR2	低电压复位电平	Ta=25°C	3.1	3.5	3.92	V
		Ta=-40~85°C	2.73	3.5	4.25	V
LVR3	低电压复位电平	Ta=25°C	3.56	4.0	4.43	V
		Ta=-40~85°C	3.16	4.0	4.81	V
IPH	上拉电流	激活上拉,输入引脚接 VSS	-	70	-	μA
IPL	下拉电流	激活下拉,输入引脚接 Vdd	-	40	-	μA
ISB1	掉电电流	所有输入引脚和 I/O 引脚接 VDD, 输出悬空引脚, WDT 禁止	-	1.0	2.0	μA
ISB2	掉电电流	所有输入引脚和 I/O 引脚接 VDD, 输出悬空引脚, WDT 使能	-	-	10	μA
ICC1	2 个时钟周期的工作供电电 流 (VDD = 3V)	/RESET= '高', Fosc=32.768kHz (晶振类型, CLKS="0"), 输出悬空引脚, WDT 禁止	-	15	20	μA
ICC2	2 个时钟周期的工作供电电 流 (VDD = 3V)	/RESET= '高', Fosc=32.768kHz (晶 振类型,CLKS="0"), 输出悬空引脚, WDT 使能	-	15	25	μA
ICC3	2 个时钟周期的工作供电电 流	/RESET= '高', Fosc=4 MHz (晶振类 型, CLKS="0"), 输出悬空引脚, WDT 使能	-	1.5	1.7	mA
ICC4	2 个时钟周期的工作供电电 流	/RESET= '高', Fosc=10 MHz (晶振 类型, CLKS="0"), 输出悬空引脚, WDT 使能	-	2.8	3.0	mA

注: 1. 这些参数为理想值(未经测试), 仅供设计参考。

2. 最小值, 典型值和最大值栏下的数据是基于25°C 时的理想值, 仅供设计参考。

9.1 AD转换器特性

V_{DD}=2.5V ~ 5.5V, V_{SS}=0V, T_a=-40 ~ 85°C

符号	参数	条件	最小值	典型值	最大值	符号
V _{AREF}	模拟参考电压	V _{AREF} - V _{ASS} ≥ 2.5V	2.5	-	V _{DD}	V
V _{ASS}			V _{SS}	-	V _{SS}	V
VAI	模拟输入电压	-	V _{ASS}	-	V _{AREF}	V
IAI1	模拟供电电流	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V (V 参考来源于 V _{DD})	-	-	1400	μA
			-	-	10	μA
IAI2	模拟供电电流	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V (V 参考来源于 V _{REF})	-	-	900	μA
			-	-	500	μA
RN1	分辨率	ADREF=0, 内部 V _{DD} V _{DD} =5.0V, V _{SS} = 0.0V	-	9	10	Bits
RN2	分辨率	ADREF=1, 外部 V _{REF} V _{DD} =V _{REF} =5.0V, V _{SS} = 0.0V	-	11	12	Bits
LN1	线性误差	V _{DD} = 2.5~ 5.5V T _a =25°C	-	-	±4	LSB
DNL	差分非线性误差	V _{DD} = 2.5~ 5.5V T _a =25°C	-	-	±1	LSB
FSE1	全局误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	-	-	±8	LSB
OE	偏移误差	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	-	-	±4	LSB
ZAI	ADC 输入通道外部阻值	-	-	-	10	KΩ
TAD	ADC 时钟周期	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	1	-	-	μs
TCN	AD 转换时间	V _{DD} =V _{AREF} =5.0V, V _{ASS} = 0.0V	16	-	-	TAD
PSR	供电电源抑制比	V _{DD} =5.0V±0.5V	-	-	2	LSB
V _{1/4VDD}	1/4 V _{DD} 精度	-	-	±3	-	%
V _{1/2VDD}	1/2 V _{DD} 精度	-	-	±3	-	%

注意: 1. 这些参数为理想值, 未经测试, 仅供设计参考。

2. ADC关闭, 只消耗很小的漏电流。

3. A/D转换结果不会因为输入电压升高而减小, 不会导致丢失码。

4. 这些参数未来若有变动恕不另行通知。

9.2 比较器特性

Vdd = 5.0V, Vss=0V, Ta=-40 ~ 85°C

符号	参数	条件	最小值	典型值	最大值	符号
VOS	输入补偿电压	-	-	10	-	mV
Vcm	通用模式输入电压范围	-	GND	-	VDD	V
ICO	比较器供电电流	Co=0V, Ta= -40~85°C	-	70	-	μA
TRS	响应时间	VREF=1.0V, VRL=5V, RL=5.1k, CL=15p (注意 ¹)	-	1	-	μs
TLRS	大信号响应时间	VREF=2.5V, VRL = 5V, RL = 5.1k (注意 ²)	-	250	-	ns
IOL	输出灌电流	Vi(-) = 1V, Vi(+) = 0V, Vo = GND+0.5V (注意 ³)	-	12	-	mA
VSAT	饱和电压	Vi(-)=1V, Vi(+)=0V, IOL <= 4mA (注意 ³)	-	0.2	0.4	V
VS	输入补偿电压	-	2.5	-	5.5	V

- 注: 1. 这些参数为理论值(未经测试), 仅供设计参考。
2. 明确的响应时间是在0V~VDD 输入阶, 最大阶为1/2*VDD。
3. 驱动能力由数字输出模块决定。

9.3 OP 特性

Vdd = 5.0V, Vss=0V, Ta=-40 ~ 85°C

符号	参数	条件	最小值	典型值	最大值	符号
VOS	输入补偿电压	, Vin+=0V	-	10	-	mV
SR	回转比	Ta= -40~85°C	-	1.5	-	V/μs
IVR	输入电压范围	-	0	-	5	V
OVS	输出电压范围	Vip=0V, IL=1.0mA Ta= -40~85°C	-	123	-	mV
		Vip=5V, IL=1.0mA Ta= -40~85°C	-	4.68	-	V
IOP	OP 供电电流	Ta= -40~85°C	-	255	-	μA
PSRR	电源抑制比	Ta= -40~85°C	-	75	-	dB
CMRR	通用模式抑制比	0V ≤ V _{CM} ≤ V _{DD}	-	90	-	dB
GBP	增益带宽积	RL=1Meg, CL=100p	-	2.6	-	MHz
VS	输入补偿电压	-	2.5	-	5.5	V

- 注: 1. 这些参数为理论值(未经测试), 仅供设计参考。
2. 这些参数未来若有变动恕不另行通知。

9.4 Vref 2V/2.5V/3V/4V特性

Vdd = 5.0V, Vss=0V, Ta=-40 ~85°C

符号	参数	条件	最小值	典型值	最大值	符号
VDD	供电电压	-	2.1	-	5.5	V
I _{VDD}	DC 供电电流	VDD = 5.5V, No load	-	-	200	μA
Vref	参考电压输出	2V 3V 4V	-	-	±1	%
Vref _{RT}	参考电压准备时间	VDD = 2.1 - 5.5V, Cload = 19.2pf, Rload = 15.36KΩ	-	-	5	μs
Vref _{WT}	最小供电电压	VDD = VDD _{min} - 5.5V, Cload = 19.2pf, Rload = 15.36KΩ	-	-	8	μs
VDD _{min}	供电电压	-	-	Vref + 0.2*	-	V

*VDD_{min} : 不能工作在(Vref+0.1V), 但有微弱的PSRR。

10 AC电气特性

Ta=-40 ~ 85°C, VDD=5V ± 5%, VSS=0V

符号	参数	条件	最小值	典型值	最大值	单位
Dclk	输入 CLK 占空比时间	-	45	50	55	%
Tins	指令周期时间 (CLKS="0")	晶振类型	125	-	DC	ns
		RC 类型	-	16 ± 30%	-	ns
Ttcc	TCC 输入时间周期	-	-	WSTO + 510/Fm	-	ns
Tdrh	器件复位保持时间	Ta = 25°C	-	WSTO + 8/Fs	-	ms
Trst	/RESET 脉冲宽度	Ta = 25°C	-	WSTO + 8/Fm	-	ns
Twdt	看门狗定时器溢出时间	Ta = 25°C	-	WSTO + 8/Fs	-	ms
Tset	输入引脚启动时间	-	-	1 μs	-	ns
Thold	输入引脚保持时间	-	-	1 μs	-	ns
Tdelay	输出引脚延迟时间	Cload=20pF	-	16 ± 30%	-	ns
Tdrc	ERC 延迟时间	Ta = 25°C	-	20	-	ns

注意: 1. WSTO:定义振荡器的启动时间

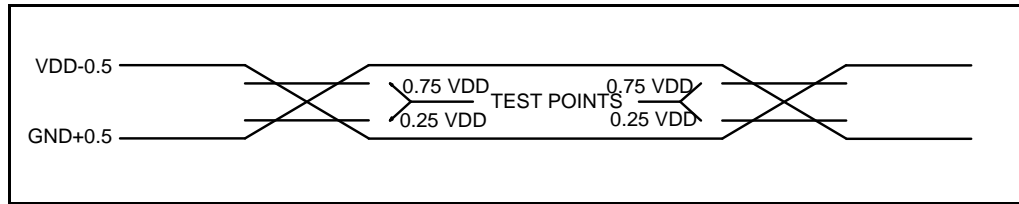
2. 这些参数为理论值 (未经测试), 仅供设计参考.

3. 最小值, 典型值和最大值栏内的数据是基于 25 °C 时的理论值。这些数据仅供设计参考。

*. Tpor 和 Twdt 为16+/- 30%, 副频 FSS0=1(16kHz), 温度范围40°~85°C, 电压 VDD=2.1~5.5V

11 时序图

AC 测试输入/输出波形



注: AC 测试在输入 $VDD-0.5V$ 驱动时为逻辑“1”在 $GND+0.5V$ 时为逻辑“0”时序测量是以 $0.75VDD$ 代表逻辑“1”, 以 $0.25VDD$ 代表逻辑“0”

图11-1a 测试输入/输出波形时序图

复位时序(CLK=“0”)

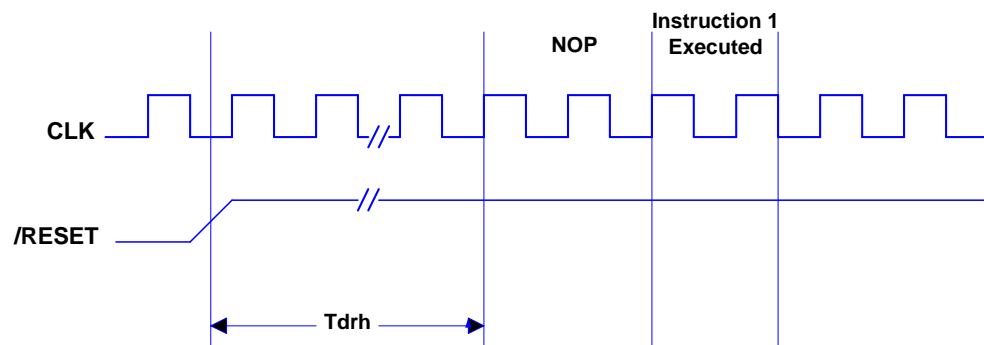


图11-1b 复位时序图

TCC输入时序 (CLKS=“0”)

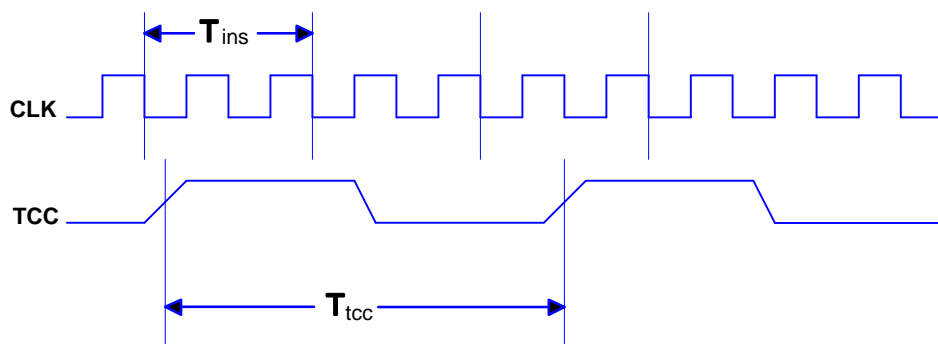
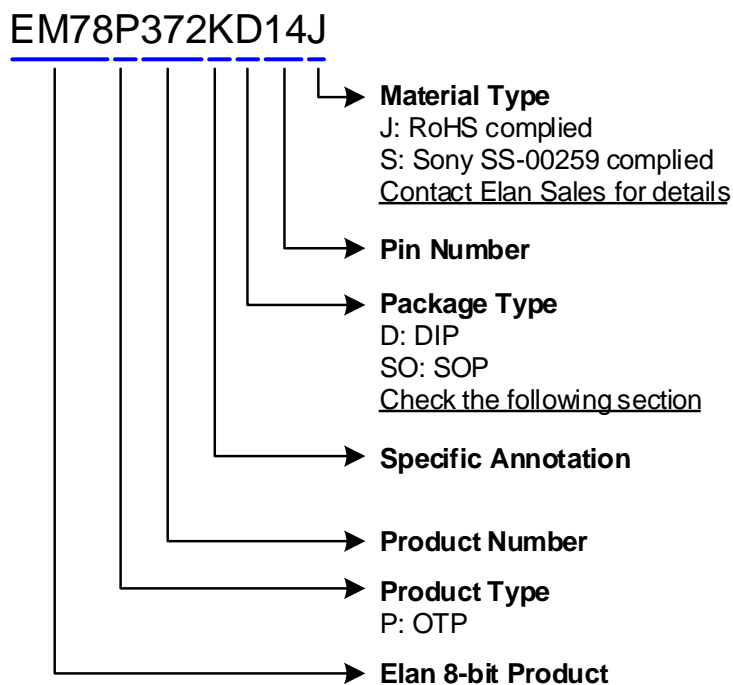


图11-1c TCC输入时序图

附录

A 编码与制造信息

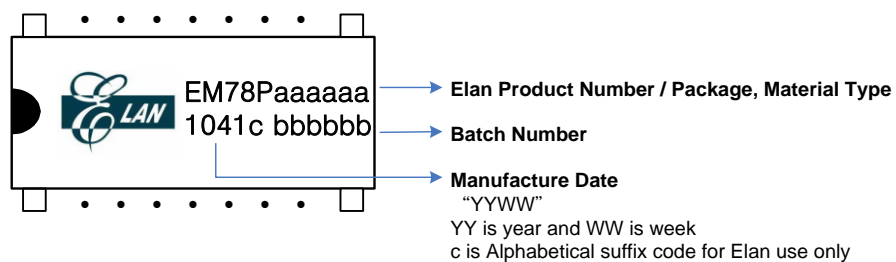


For example:

EM78P372KSO14S

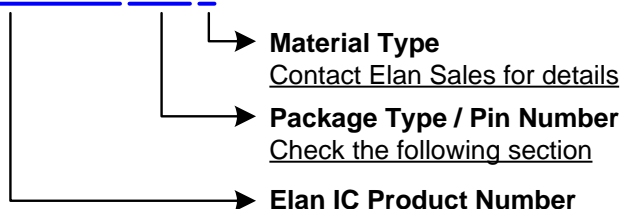
is EM78P372K with OTP program memory product,
in 14-pin SOP 300mil package with Sony SS-00259 complied

IC标记



编码信息

EM78P372KD14J



B 封装类型

OTP MCU	封装类型	引脚数	封装尺寸
EM78P372KMS10	MSOP	10	118 mil
EM78P372KD14	DIP	14	300 mil
EM78P372KSO14	SOP	14	150 mil
EM78P372KSO16A	SOP	16	150 mil
EM78P372KD18	DIP	18	300 mil
EM78P372KSO18	SOP	18	300 mil
EM78P372KD20	DIP	20	300 mil
EM78P372KSO20	SOP	20	300 mil
EM78P372KSS20	SSOP	20	209 mil
EM78P372KQN16	QFN	16	3x3x0.8mm

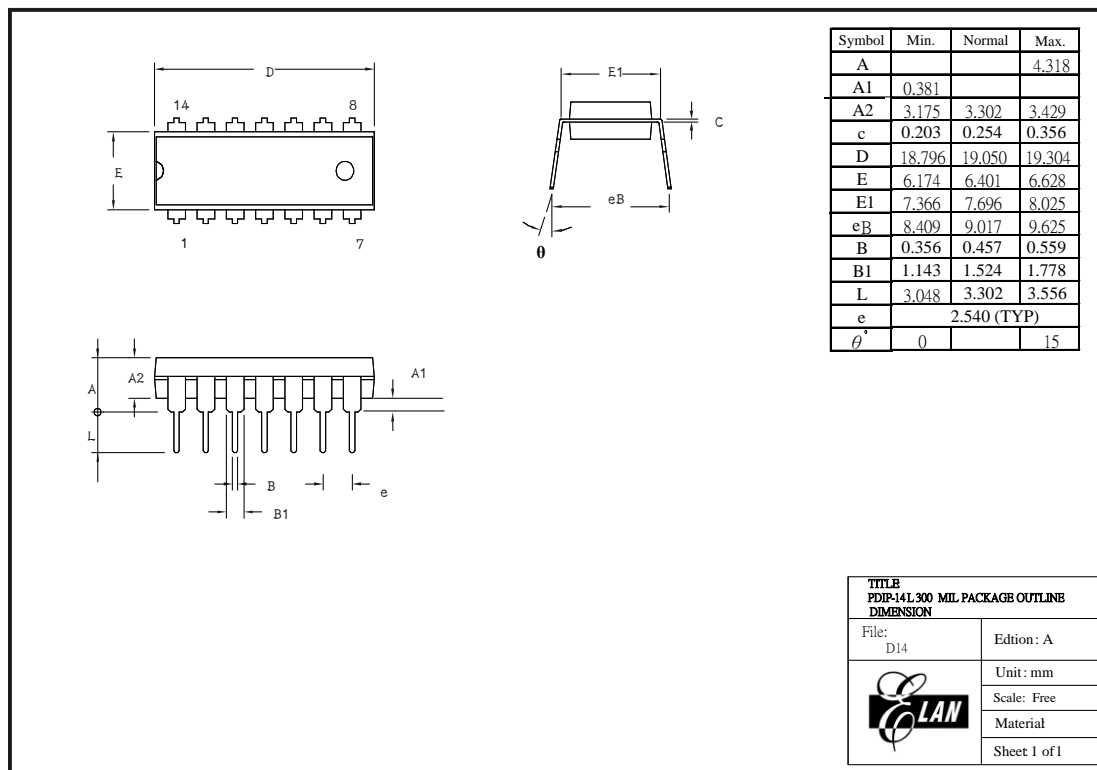
绿色产品，不含有害物质。符合Sony SS-00259 第三版本的标准。

Pb 含量低于 100ppm，符合 Sony 规格说明

项目	EM78P372KxJ/xS
电镀类型	纯锡
成份 (%)	Sn: 100%
熔点(°C)	232°C
电阻率 (μΩ-cm)	11.4
硬度(hv)	8~10
伸长 (%)	>50%

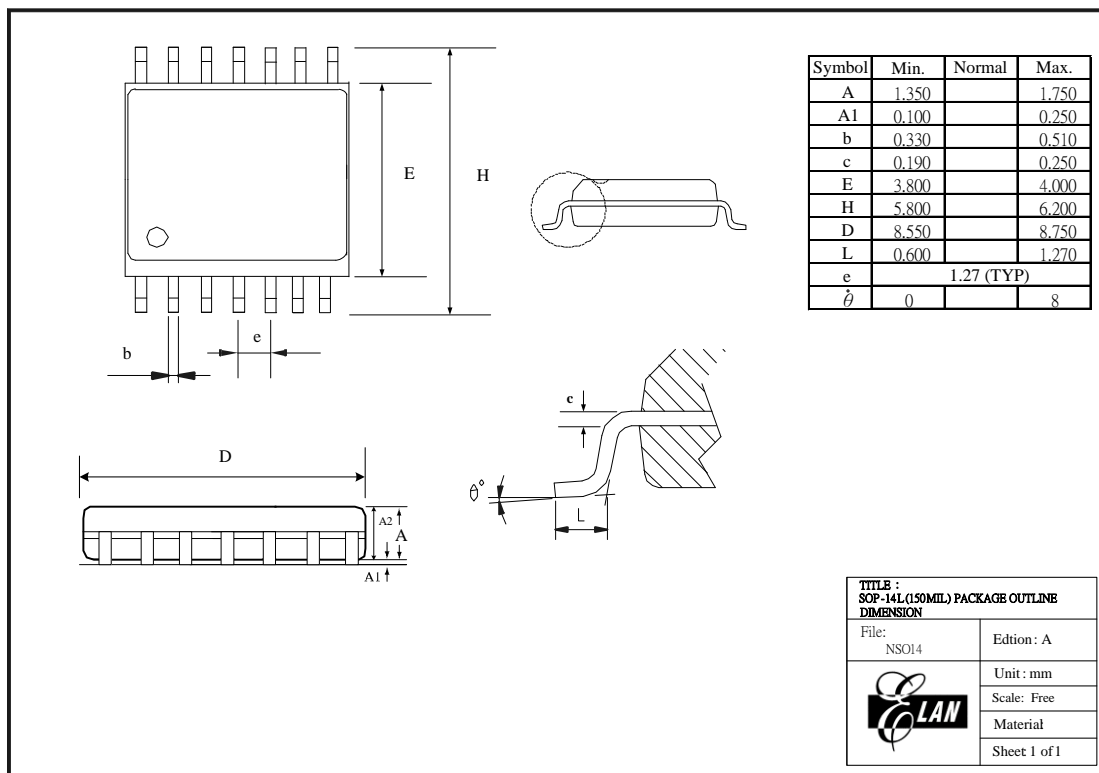
C 封装结构

C.1 EM78P372KD14



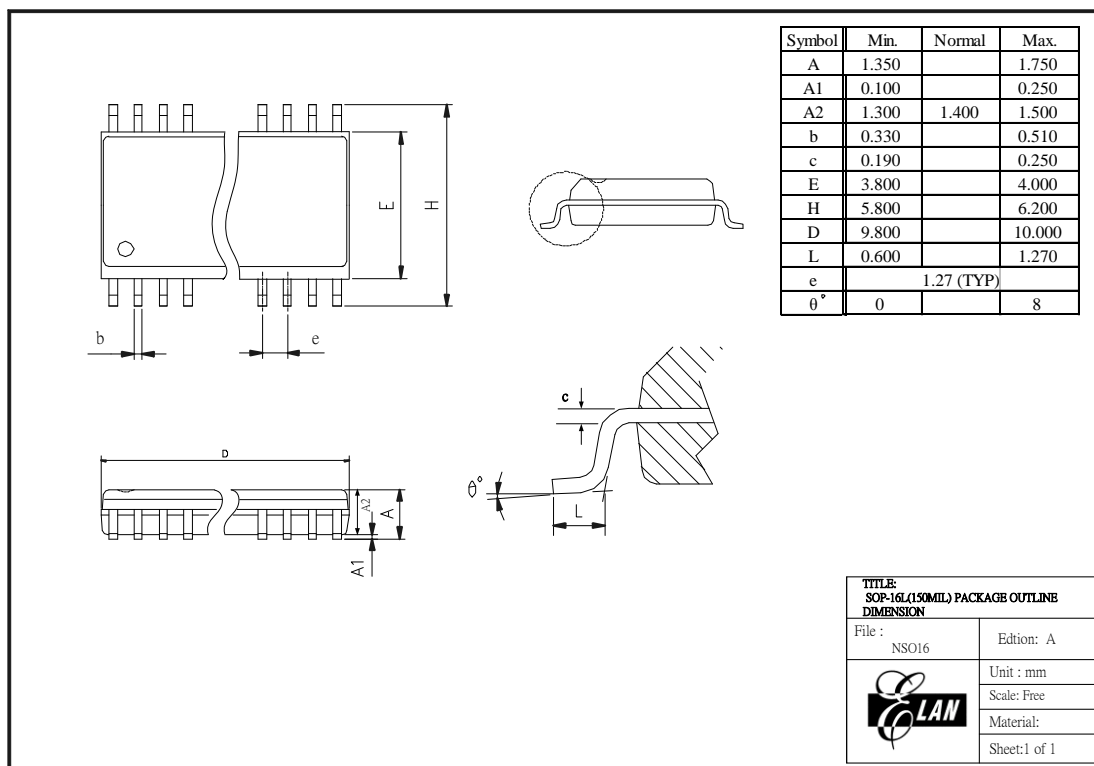
图C-1 EM78P372K 14-pin PDIP封装类型

C.2 EM78P372KSO14



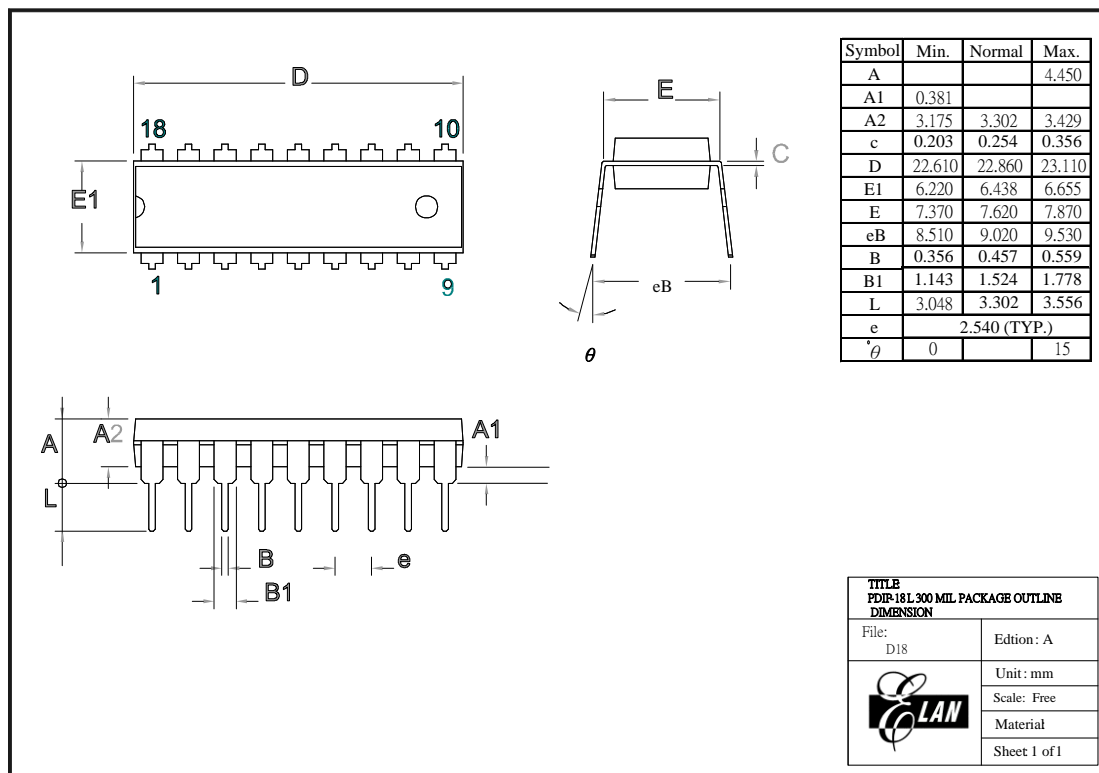
图C-2 EM78P372K 14-pin SOP封装类型

C.3 EM78P372KSO16A



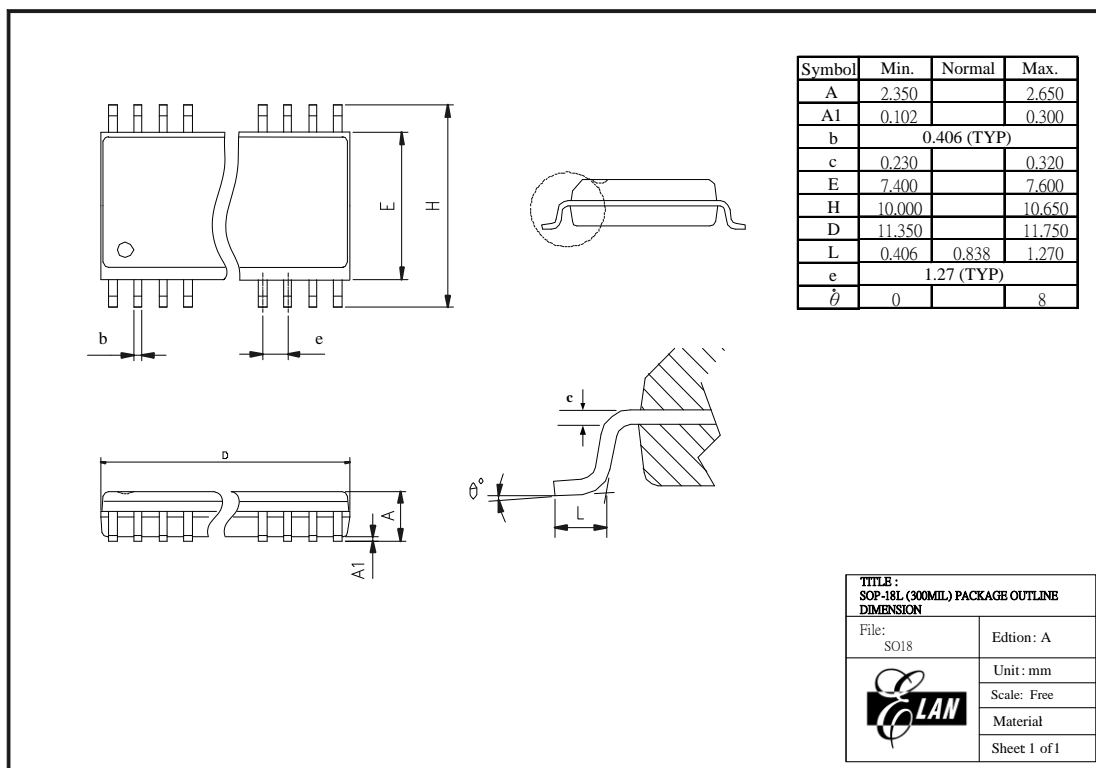
图C-3 EM78P372K 16-pin SOP封装类型

C.4 EM78P372KD18



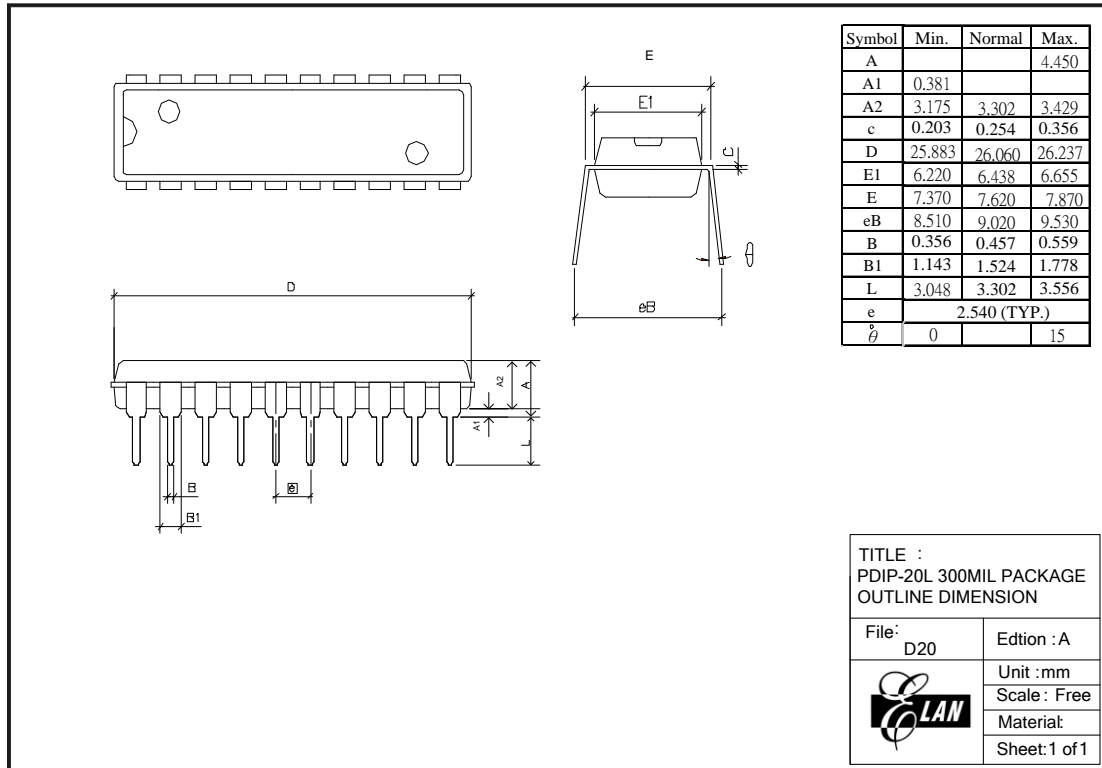
图C-4 EM78P372K 18-pin PDIP封装类型

C.5 EM78P372KSO18



图C-5 EM78P372K 18-pin SOP封装类型

C.6 EM78P372KD20



图C-6 EM78P372K 20-pin PDIP 封装类型

C.7 EM78P372KS020

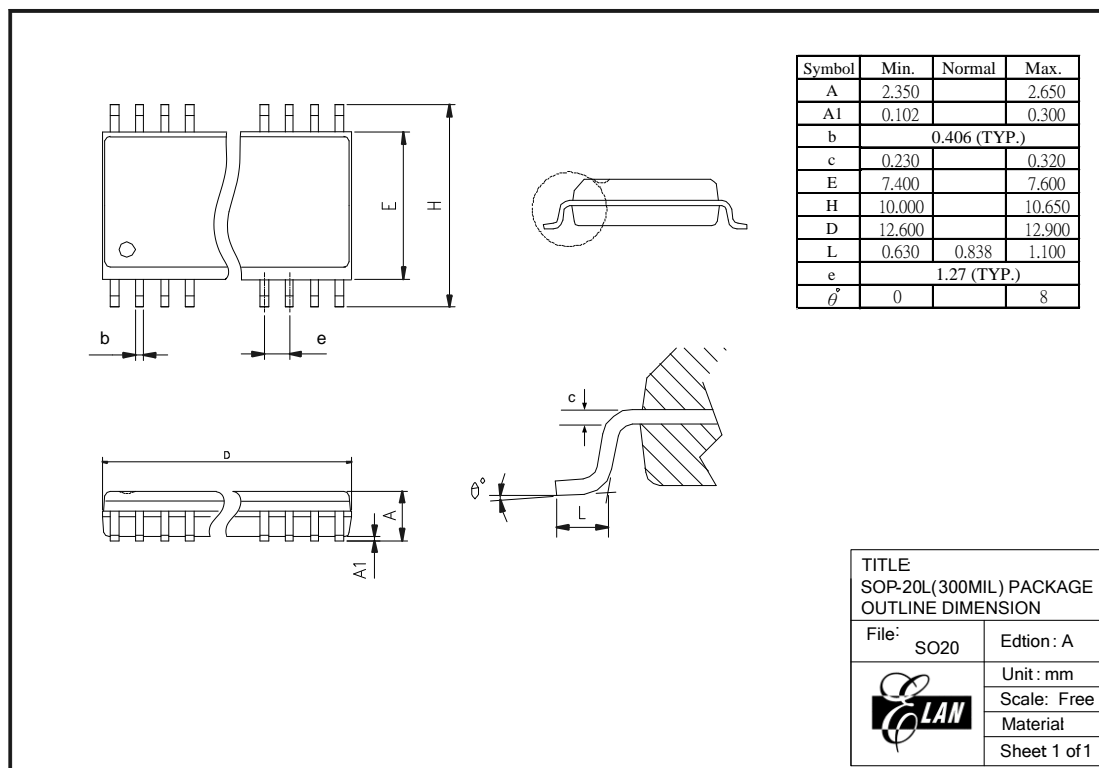
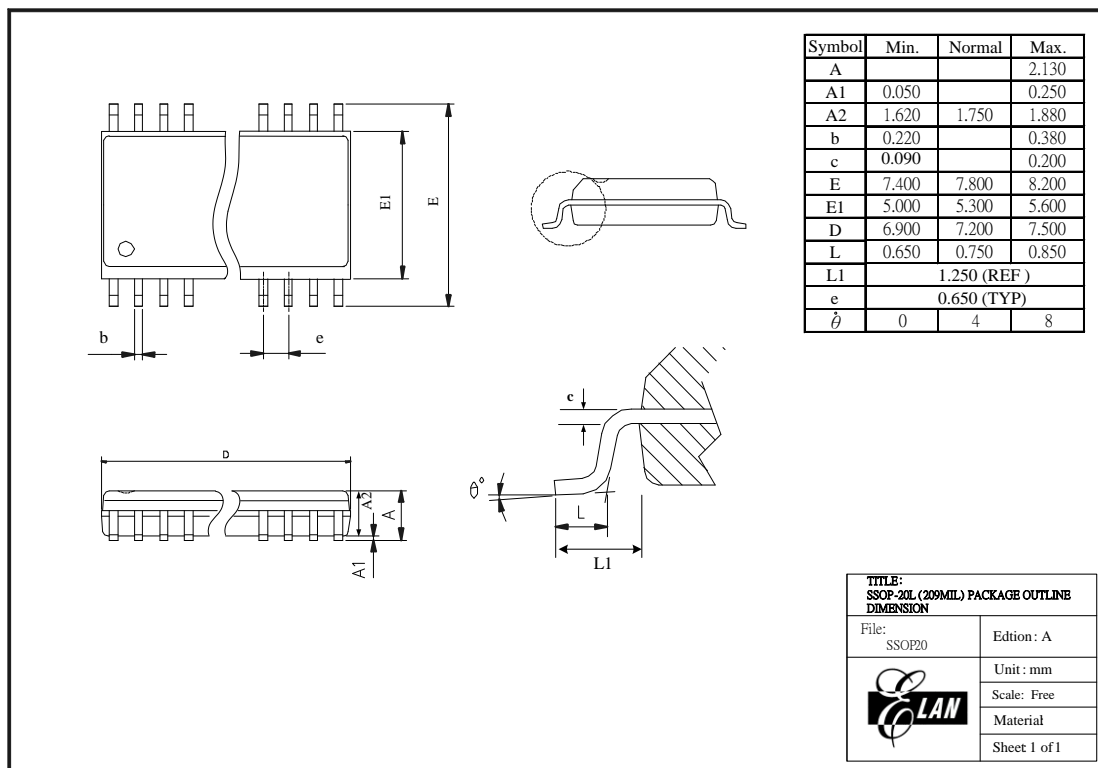
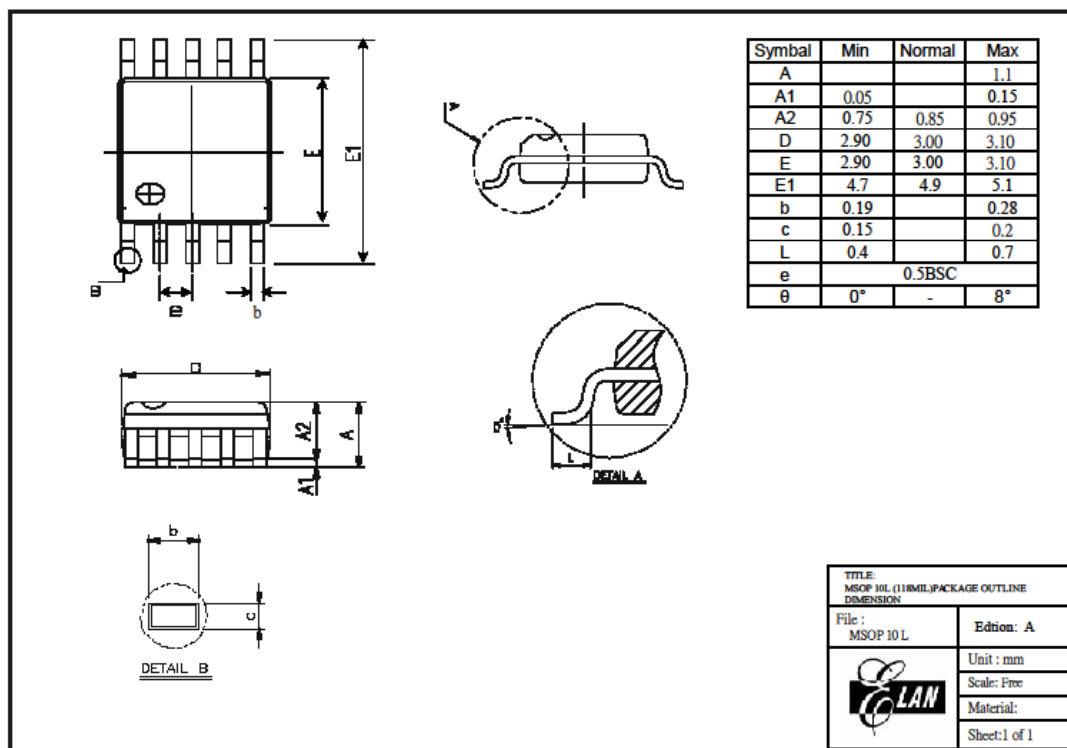


图 C-7 EM78P372K 20-pin SOP封装类型

C.8 EM78P372KSS20


图C-8 EM78P372K 20-pin SSOP封装类型

C.9 EM78P372KMS10



图C-9 EM78P372K 10-pin MSOP封装类型

C.10 EM78P372KQN16

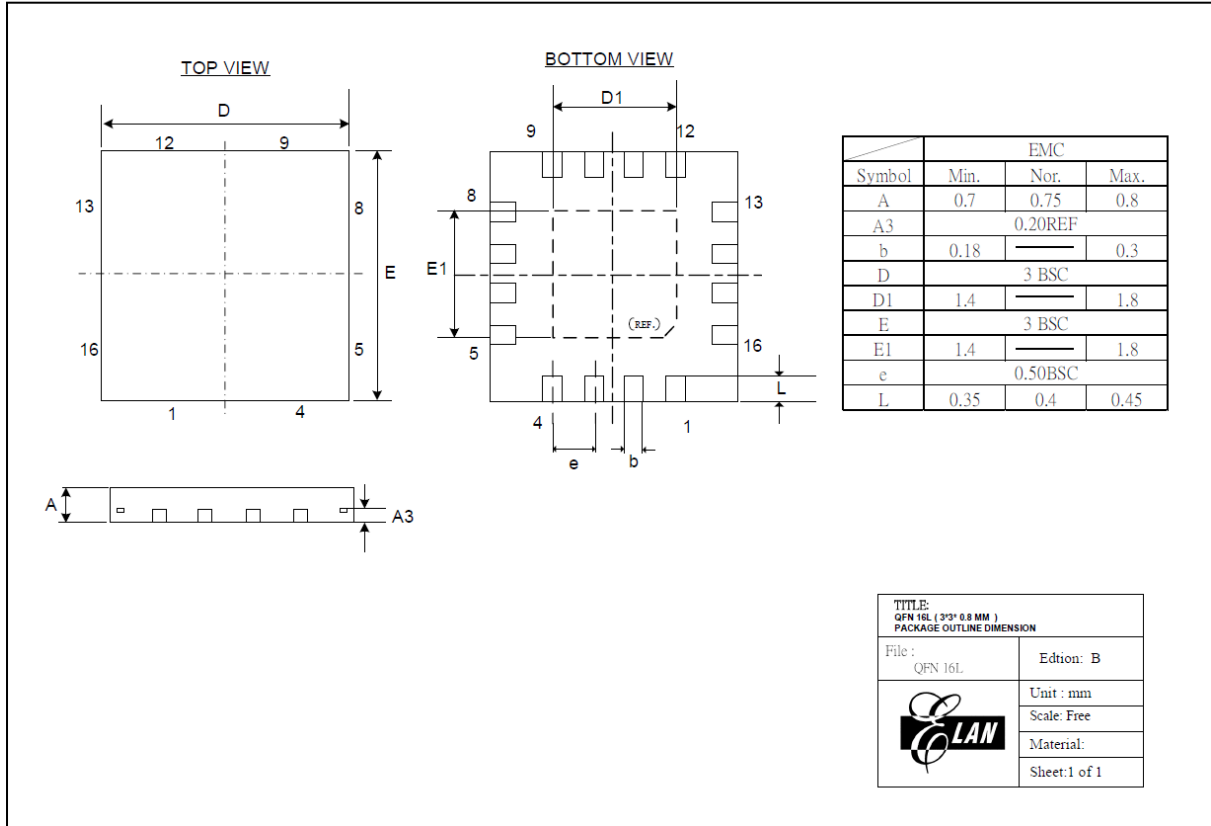


图 C-10 EM78P372K 16-pin QFN 封装类型

D 品质保证和可靠性

测试类别	测试条件	备注
可焊性	焊料温度=245 ± 5°C, 使用松香在上面停留 5 秒	-
前提条件	步骤 1: TCT, 65°C (15mins)~150°C (15mins), 10 个循环	使用于 SMD 封装的 IC (如 SOP, QFP, SOJ, 等)
	步骤 2: 在 125°C 烤, TD (持久性)=24 hrs	
	步骤 3: 放置在 30°C /60% , TD (持久性)=192 hrs	
	步骤 4: IR 变化 3 次 (Pkg 厚度 ≥ 2.5mm 或 Pkg 体积 ≥ 350mm ³ ----225 ± 5°C) (Pkg 厚度 ≤ 2.5mm 或 Pkg 体积 ≤ 350mm ³ ----240 ± 5°C)	
温度周期测试	-65° (15 分钟)~150°C (15 分钟), 200 次	-
高压锅测试	TA =121°C, RH=100%, 压力=2 atm, TD (持久性) = 96 hrs	-
高温 /高湿测试	TA=85°C , RH=85% , TD (持久性)=168 , 500 hrs	-
高温保存期	TA=150°C, TD (持久性)=500, 1000 hrs	-
高温工作寿命	TA=125°C, VCC=最大工作电压, TD (持久性) =168, 500, 1000 hrs	-
Latch-up	TA=25°C, VCC=最大工作电压, 800mA/40V	-
ESD (HBM)	TA=25°C, ≥ ± 4KV	IP_ND,OP_ND,IO_ND IP_NS,OP_NS,IO_NS IP_PD,OP_PD,IO_PD, IP_PS,OP_PS,IO_PS, VDD-VSS(+),VDD_VSS (-)模式
ESD (MM)	TA=25°C, ≥ ± 400V	

D.1 地址缺陷检测

地址缺陷检测是MCU嵌入式自动防止故障危害功能的一种，检测MCU由噪声或类似造成的功能故障。无论何时MCU试图从ROM区获取一条指令，内部恢复电路将自动开始。如果检测到噪声引起地址错误，MCU重复执行程序直到噪声消除。MCU将继续执行下一条指令。