

AD5040/AD5060

特性

单通道14/16位DAC，INL = 1 LSB

上电复位至中量程或零电平

通过设计保证单调性

3种省电功能

低功耗，串行接口采用施密特触发式输入

8引脚小型SOT23封装，低功耗

快速建立时间，典型值为4 μ s

2.7 V至5.5 V电源供电

上电时毛刺非常低

SYNC中断设置

应用

过程控制

数据采集系统

便携式电池供电仪表

数字增益和失调电压调整

可编程电压源和电流源

可编程衰减器

概述

AD5040和AD5060属于ADI公司的nanoDAC系列产品，是一款低功耗、单通道14/16位缓冲电压输出DAC，采用2.7V至5.5V单电源供电。AD5040/AD5060的相对精度为 ± 1 LSB，保证工作单调性，微分非线性(DNL)为 ± 1 LSB。这两款器件采用灵活的三线式串行接口，能够以最高30MHz的时钟速率工作，并与标准SPI®、QSPI™、MICROWIRE™、DSP接口标准兼容。AD5040和AD5060的基准电压都通过外部 V_{REF} 引脚概述AD5040和AD5060属于ADI公司的nanoDAC系列产品，是一款低功耗、单通道14/16位缓冲电压输出DAC，采用2.7V至5.5V单电源供电。AD5040/AD5060的相对精度为 ± 1 LSB，保证工作单调性，微分非线性(DNL)为 ± 1 LSB。这两款器件采用灵活的三线式串行接口，能够以最高30MHz的时钟速率工作，并与标准SPI®、QSPI™、MICROWIRE™、DSP接口标准兼容。AD5040和AD5060的基准电压都通过外部 V_{REF} 引脚。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

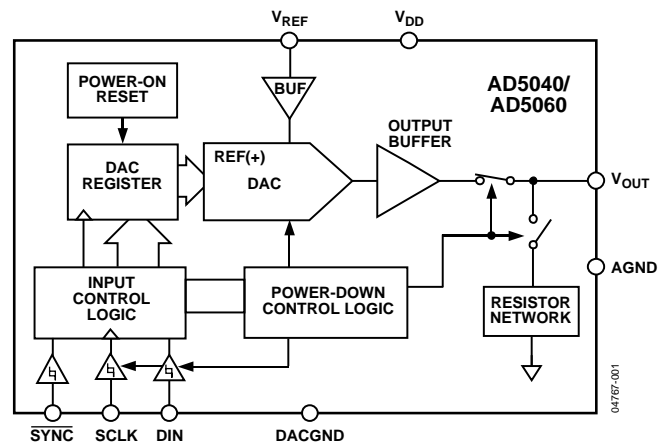


图 1.

产品聚焦

1. 采用8引脚小型SOT-23封装。
2. 14/16位精度，INL= 1 LSB。
3. 上电时毛刺非常低
4. 高速串行接口，时钟速率最高达30 MHz。
5. 为用户提供三种省电模式。
6. 复位到已知的输出电压(中量程、零电平)。

表1. 相关器件

产品型号	描述
AD5061	2.7 V至5.5 V电源供电，16位nanoDAC转换器，INL=4 LSB，SOT-23封装
AD5062	2.7 V至5.5 V电源供电，16位nanoDAC转换器，INL=1 LSB，SOT-23封装
AD5063	2.7 V至5.5 V电源供电，16位nanoDAC转换器，INL=1 LSB，MSOP封装

目录

特性	1	基准电压缓冲	15
应用	1	串行接口	15
概述	1	上电复位	16
功能框图	1	软件复位	16
产品聚焦	1	省电模式	17
修订历史	2	微处理器接口	17
技术规格	3	应用	19
时序特性	5	选择用于AD5040/ AD5060的基准电压源	19
绝对最大额定值	6	使用具有电流隔离接口芯片的AD5040/AD5060	20
ESD警告	6	电源旁路和接地	20
引脚配置和功能描述	7	外形尺寸	21
典型工作特性	8	订购指南	21
术语	14		
工作原理	15		
DAC架构	15		

修订历史

2010年1月—修订版0至修订版A

更改表2, 相对精度(INL)和尾注1.....	3
更新外形尺寸	21
更改订购指南	21

2005年10月—版本0:初始版

技术规格

除非另有说明, $V_{DD} = 5.5 \text{ V}$ 、 $V_{REF} = 4.096 \text{ V}$ 、 $R_L = \text{无负载}$ 、 $C_L = \text{无负载}$; T_{MIN} 至 T_{MAX} °

表2

参数	A、B和Y级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
静态性能	16				
分辨率				Bits	AD5060
				Bits	AD5040
相对精度(INL) ²		±0.5	±2	LSB	-40°C 至 +85°C, AD5040/AD5060 A 级
		±0.5	±1	LSB	-40°C 至 +85°C, AD5040/AD5060 B 级
		±0.5	±1.5		-40°C 至 +125°C, AD5060 Y 级
总非调整误差(TUE) ²		±0.1	±2.0	mV	-40°C 至 +85°C, AD5040/AD5060
		±0.1	±2.0		-40°C 至 +125°C, AD5060 Y 级
微分非线性(DNL) ²		±0.5	±1	LSB	保证单调性, -40°C 至 +85°C, AD5040/AD5060
增益误差		±0.5	±1		保证单调性, -40°C 至 +125°C, Y 级
增益温度系数		±0.01	±0.02	% of FSR	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, AD5040/AD5060
失调误差		±0.01	±0.03		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ AD5060 Y 级
		1		ppm of FSR/°C	
失调误差温度系数		±0.02	±1.5	mV	$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, AD5040/AD5060
满量程误差		±0.02	±2.0		$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, AD5060 Y 级
		0.5		μV/°C	
		±0.05	±2.0	mV	全1载入DAC寄存器, AD5040 AD5060; $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$
		±0.05	±2.0		全1载入DAC寄存器, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, AD5060 Y 级
输出特性 ³	0				
输出电压范围			V_{REF}	V	
输出电压建立时间		4		μs	¼量程至¾量程编码转换为±1 LSB、 $R_L = 5 \text{ k}\Omega$
输出噪声频谱密度		64		nV/√Hz	DAC编码=中量程, 1 kHz
输出电压噪声		6		μV p-p	DAC编码=中量程, 0.1 Hz至10 Hz带宽
数模转换毛刺脉冲		2		nV-s	编码57386的1 LSB变化, $R_L = 5 \text{ k}\Omega$, $C_L = 200 \text{ pF}$
数字馈通		0.003		nV-s	DAC 编码=满量程
直流输出阻抗(正常模式)		0.015		Ω	输出阻抗容限为±10%
直流输出阻抗(省电模式)					
(输出与1 kΩ网络连接) ⁴		1		kΩ	输出阻抗容限为±400 Ω
(输出与100 kΩ网络连接)		100		kΩ	输出阻抗容限为±20 kΩ
容性负载稳定性			1	nF	使用 $R_L = 5 \text{ k}\Omega$, $R_L = 100 \text{ k}\Omega$, $R_L = \infty$ 的负载used R
压摆率		1.2		V/μs	¼量程至¾量程编码转换为±1 LSB、 $R_L = 5 \text{ k}\Omega$ $C_L = 200 \text{ pF}$
短路电流		60		ma	DAC 编码=满量程, 输出短接到 GND, $T_A = 25^\circ\text{C}$
		45			DAC编码=零电压, 输出短接到 V_{DD} , $T_A = 25^\circ\text{C}$
DAC上电时间		4.5		μs	AD5060退出省电模式进入正常模式 的时间, 第24个时钟沿达到DAC最终 值的90%, 输出无负载。
直流电源抑制比		-92.11		db	$V_{DD} \pm 10\%$, DAC 编码=满量程

AD5040/AD5060

参数	A, B, 和 Y 级 ¹			单位	测试条件/注释
	最小值	典型值	最大值		
宽带无杂散动态范围 (SFDR)	-67			db	输出频率 = 10 kHz
基准输入/输出					
V _{REF} 输入范围 ⁵	2		V _{DD} - 50	mV	零电平负载
输入电流(省电模式)		±0.1		μA	
输入电流(正常模式)			±0.5	μA	
直流输入阻抗	1			MΩ	
逻辑输入					
输入电流 ⁶		±1	±2	μA	V _{DD} = 4.5 V 至 5.5 V V _{DD} = 2.7 V 至 3.6 V
V _{IL} , 输入低电压			0.8	V	
			0.8		
V _{IH} , 输入高电压	2.0			V	V _{DD} = 2.7 V 至 5.5 V
	1.8				V _{DD} = 2.7 V 至 3.6 V
引脚电容		4		pF	
电源要求					
V _{DD}	2.7		5.5	V	所有数字输入为 0 V 或 V _{DD} DAC 工作中, 不包括负载电流
I _{DD} (正常模式) V _{DD} = 2.7 V 至 5.5 V		1.0	1.2	mA	
		0.82	1.0		V _{IN} = V _{DD} 并且 V _{IL} = GND, V _{DD} = 5.0 V, V _{REF} = 4.096 V, 编码 = 中量程
					V _{IN} = V _{DD} 并且 V _{IL} = GND, V _{DD} = 3.0 V, V _{REF} = 2.7 V, 编码 = 中量程
I _{DD} (所有省电模式) V _{DD} = 2.5 V 至 5.5 V		0.33	1	μA	V _{IH} = V _{DD} 并且 V _{IL} = GND, V _{DD} = 5.5 V, V _{REF} = 4.096 V, 编码 = 中量程
		0.065			V _{IH} = V _{DD} 并且 V _{IL} = GND, V _{DD} = 3.0 V, V _{REF} = 4.096 V, 编码 = 中量程

¹ A级和B级的温度范围是-40°C至+85°C, 典型值为25°C; Y级温度范围是-40°C至+125°C。

² 线性度是使用一个递减的数据范围计算出来的, AD5060为160到编码65535, AD5040为40到编码16383。

³ 通过设计和特性保证, 但未经生产测试。

⁴ AD5040没有1 kΩ省电模式。

⁵ 在-40°C时, 对于不同基准电压, 典型输出电源裕量性能如图26所示。

⁶ 流入所有引脚的总电流。

时序特性

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	限值 ¹	单位	测试条件/注释
t_1^2	33	ns 最小值	SCLK 周期时间
t_2	5	ns 最小值	SCLK 高电平时间
t_3	3	ns 最小值	SCLK 低电平时间
t_4	10	ns 最小值	$\overline{\text{SYNC}}$ 到 SCLK 下降沿的建立时间
t_5	3	ns 最小值	数据建立时间
t_6	2	ns 最小值	数据保持时间
t_7	0	ns 最小值	SCLK 下降沿至 $\overline{\text{SYNC}}$ 的上升沿
t_8	12	ns 最小值	$\overline{\text{SYNC}}$ 最小高电平时间
t_9	9	ns 最小值	$\overline{\text{SYNC}}$ 上升沿到下一个 SCLK 下降沿

¹ 所有输入信号均指定 $t_r = t_f = 1\text{ ns}$ (10%到90%的 V_{DD}) 并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² SCLK 最小频率为 30 MHz。

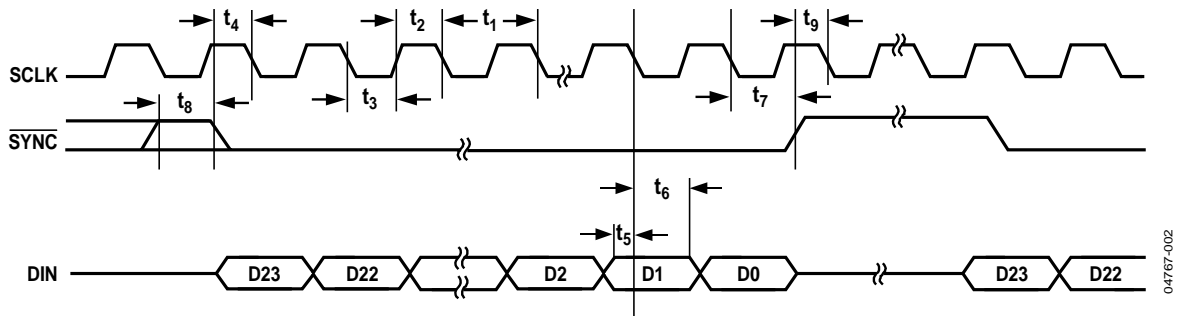


图2. AD5060的时序图

04767-002

AD5040/AD5060

绝对最大额定值

表4

参数	额定值
V _{DD} 至 GND	-0.3V 至 +7.0V
数字输入电压至 GND	-0.3V 至 V _{DD} + 0.3V
V _{OUT} 至 GND	-0.3V 至 V _{DD} + 0.3V
V _{REF} 至 GND	-0.3V 至 V _{DD} + 0.3V
工作温度范围	
工业级(A, B级)	-40°C 至 +85°C
扩展的汽车产品温度范围(Y级)	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
最高结温	150°C
SOT-23 封装	
功耗	(T _J 最大值 - T _A) / θ _{JA}
θ _{JA} 热阻	206°C/W
θ _{Jc} 热阻	91°C/W
回流焊(无铅)	
峰值温度	260°C
峰值温度时间	10 秒至40秒
ESD (AD5040/AD5060)	1.5 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能集成电路，ESD额定值小于2kV，对ESD(静电放电)敏感。搬运和装配时应采取适当的防范措施。

ESD 警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积，可高达4000V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



引脚配置和功能描述

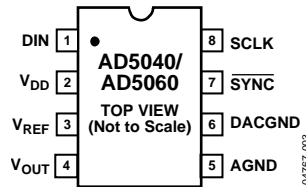


图3.引脚配置

表5.引脚功能描述

引脚编号	引脚名称	描述
1	DIN	串行数据输入。这些器件有16/24位移位寄存器。数据在串行时钟输入的下降沿进入寄存器。
2	V _{DD}	电源输入引脚。这些器件可以在2.7V至5.5V电源范围内工作，V _{DD} 需要去耦至GND。
3	V _{REF}	基准电压源输入。
4	V _{OUT}	DAC的模拟输出电压。
5	AGND	模拟电路的地参考点。
6	DACGND	DAC内核的地输入。
7	$\overline{\text{SYNC}}$	电平触发的控制输入（低有效）。这是输入数据的帧同步信号，当变为低电平时，使能输入 $\overline{\text{SYNC}}$ 移位寄存器，数据在接下来的时钟的下降沿输入移位寄存器。DAC在第16/24时钟周期后刷新，除非 $\overline{\text{SYNC}}$ 在这个时钟沿之前变为高电平，此时 $\overline{\text{SYNC}}$ 的上升沿起到中断信号的作用，写时序会被DAC忽略。
8	SCLK	串行时钟输入。数据在串行时钟输入的下降沿进入输入移位寄存器。数据能够以最高30 MHz的速率传输。

典型工作特性

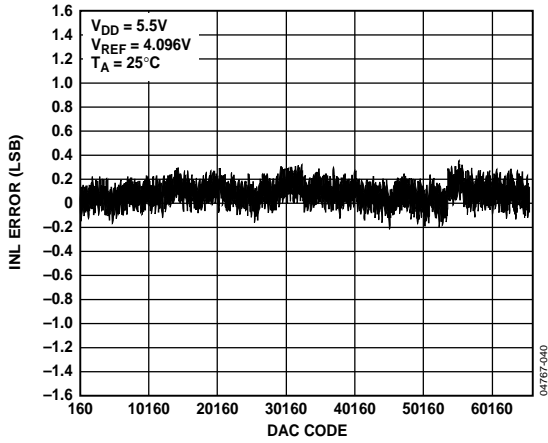


图4. 典型AD5060 INL

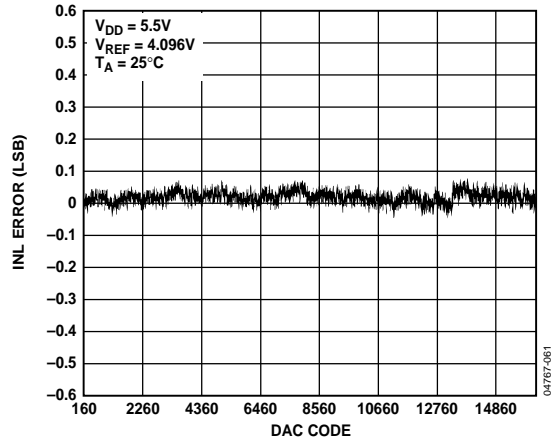


图7. 典型AD5040 INL

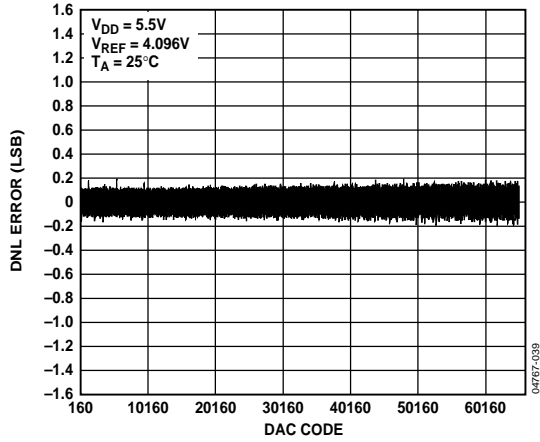


图5. 典型AD5060 DNL

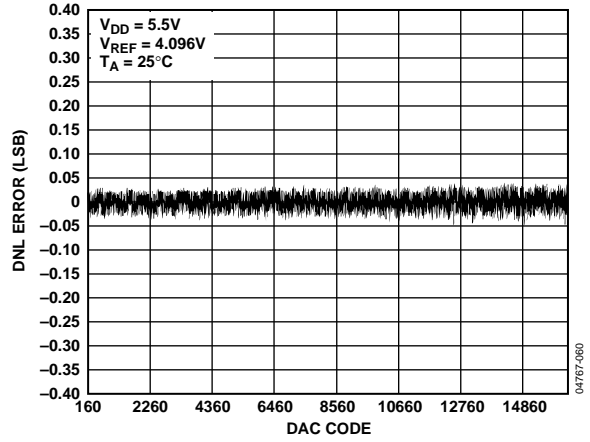


图8. 典型AD5040 DNL

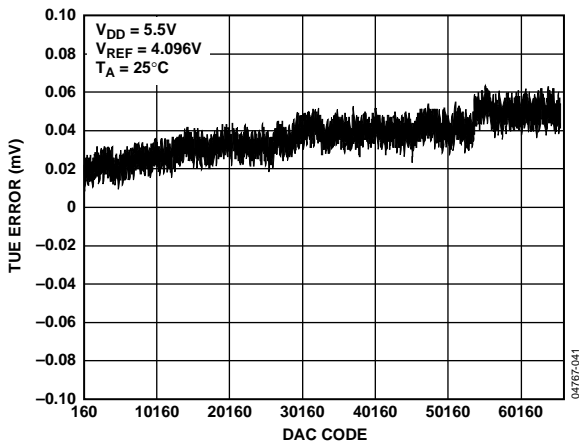


图6. 典型AD5060 TUV

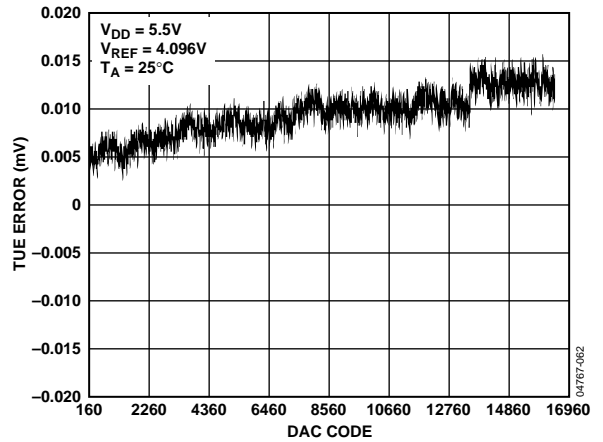


图9. 典型AD5040 TUV

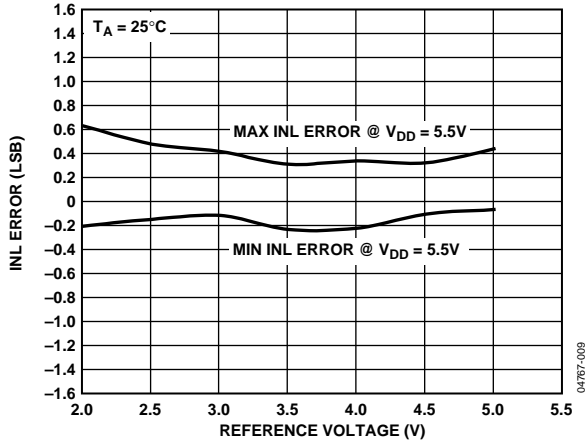


图10. INL与基准输入电压的关系¹

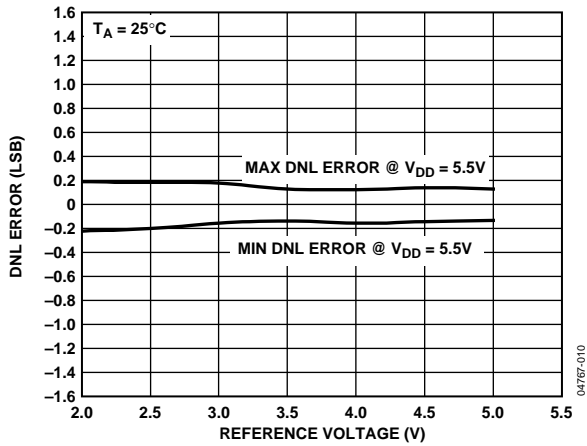


图11. DNL与基准输入电压的关系¹

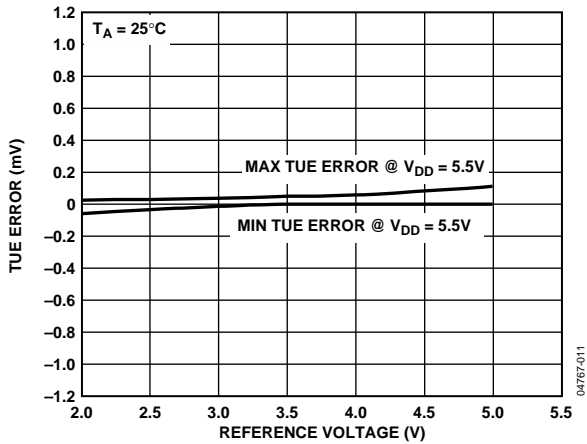


图12. TUE与基准输入电压的关系¹

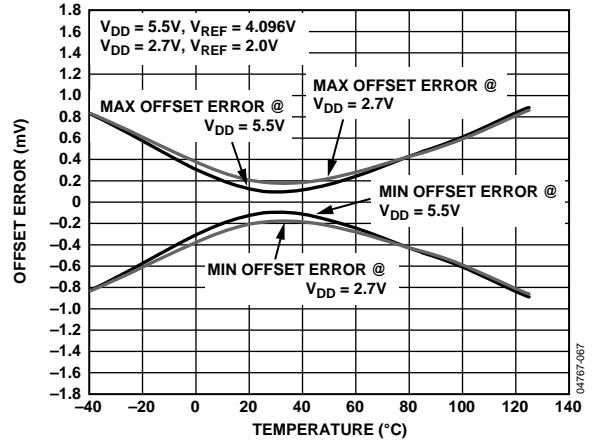


图13. 典型失调误差与温度的关系¹

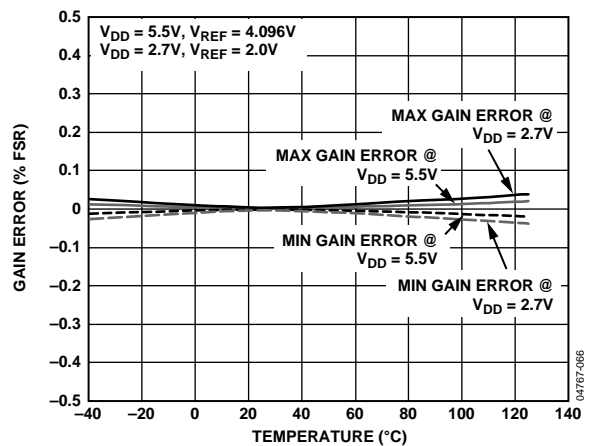


图14. 典型增益误差与温度的关系¹

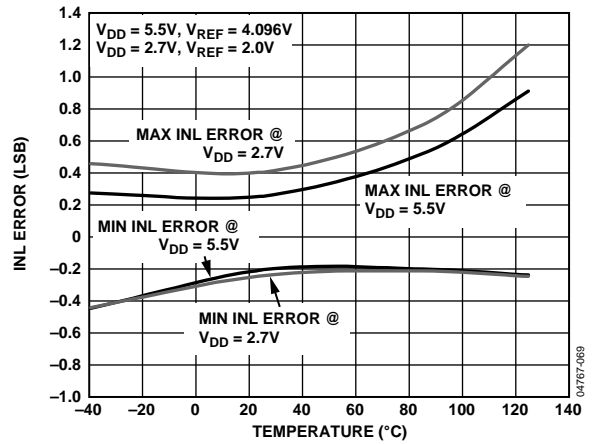


图15. 典型INL误差与温度的关系¹

¹ 仅限AD5060。

AD5040/AD5060

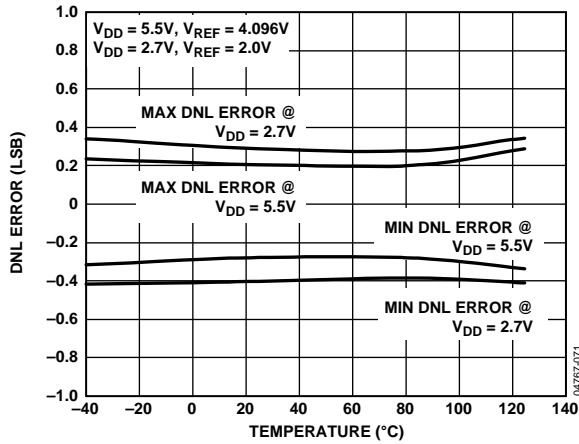


图16. 典型DNL误差与温度的关系¹

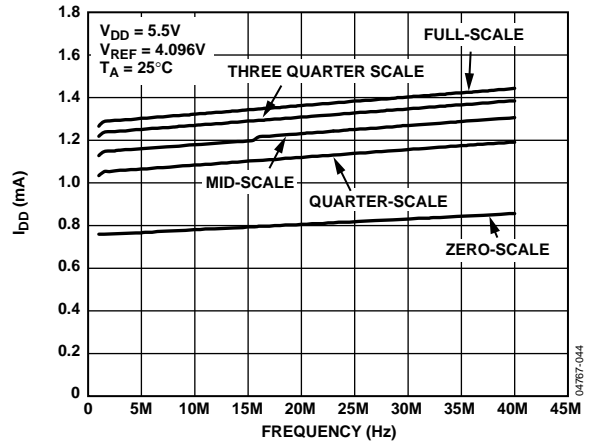


图19. 5.5V供电时典型电源电流与频率的关系¹

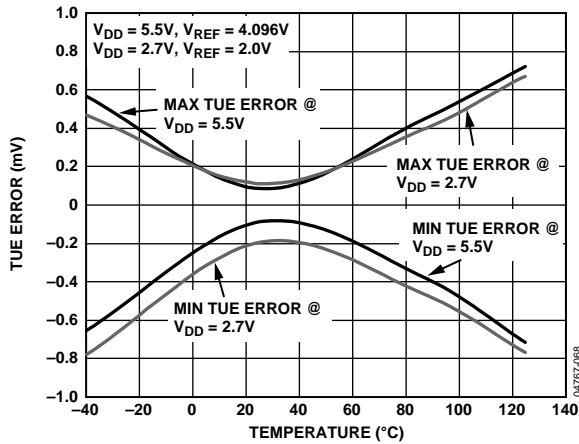


图17. 典型TUE误差与温度的关系¹

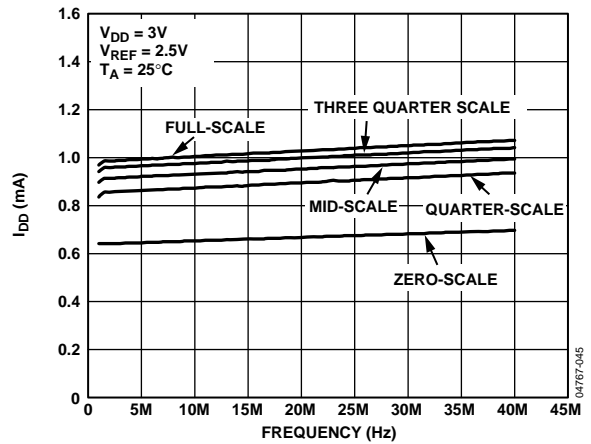


图20. 3V供电时典型电源电流与频率的关系¹

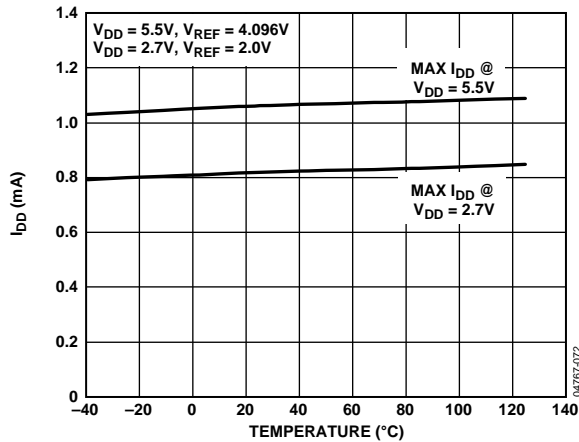


图18. 典型电源电流与温度的关系¹

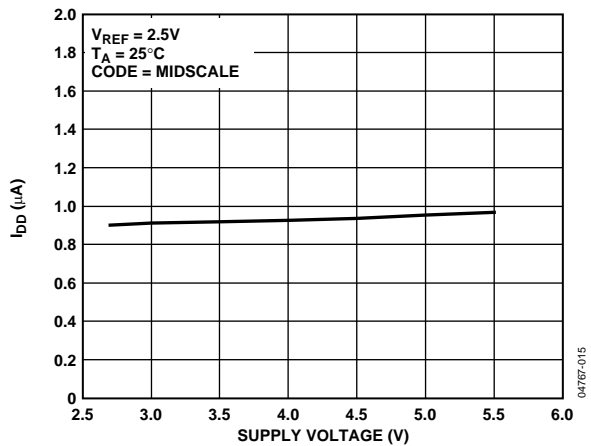


图21. 典型电源电流与电源电压的关系¹

¹ 仅限AD5060。

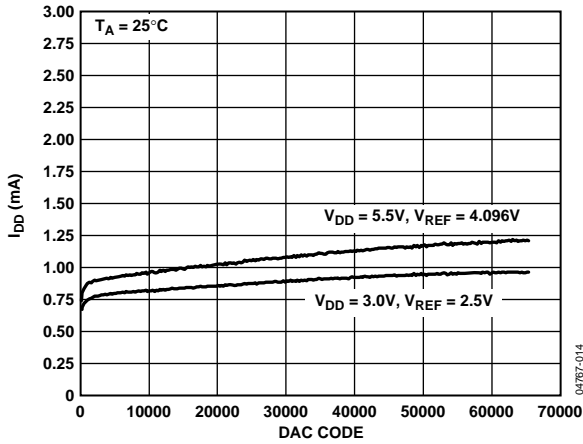


图22. 典型电源电流与数字输入编码的关系¹

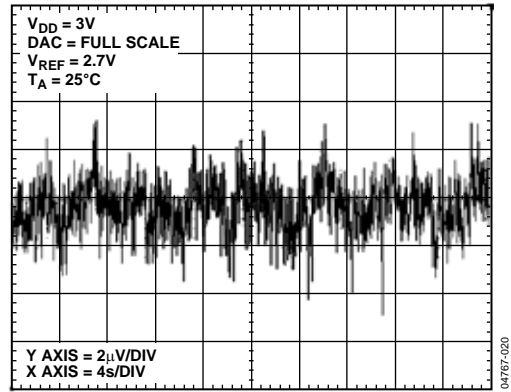


图25. 0.1 Hz至10 Hz噪声

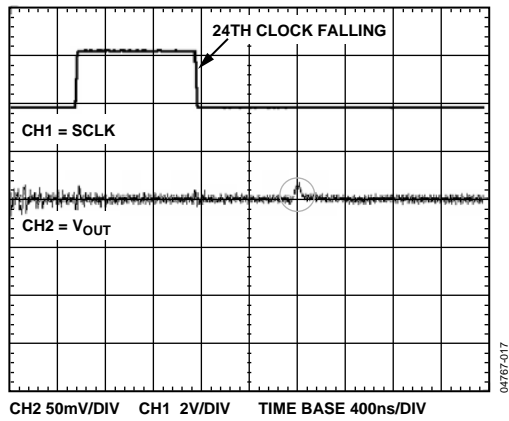


图23. AD5060数模转换毛刺脉冲
(见图24)

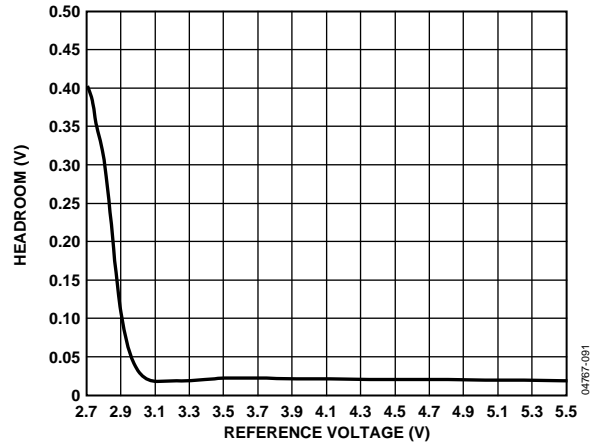


图26. V_{DD} 裕量与基准电压的关系

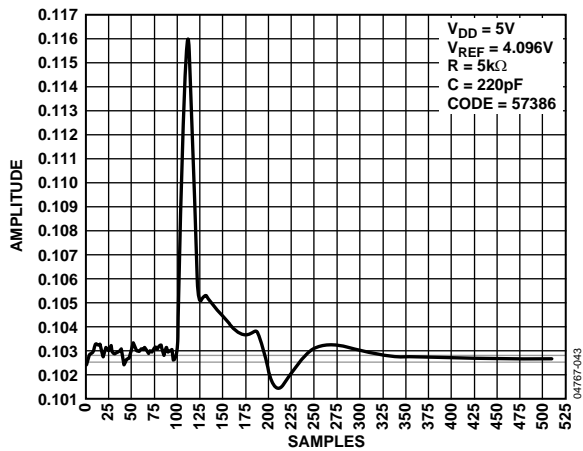


图24. AD5060数模转换脉冲干扰

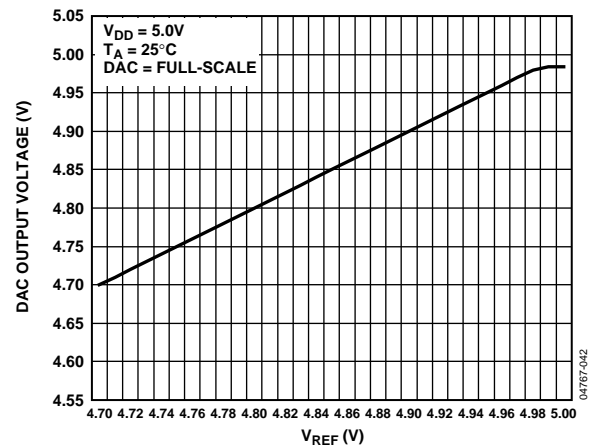


图27. 输出电压与基准电压的关系

¹ 仅限AD5060。

AD5040/AD5060

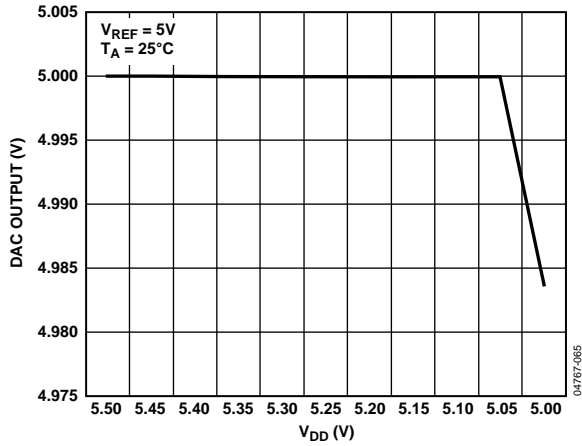


图28. 典型输出与电源电压的关系

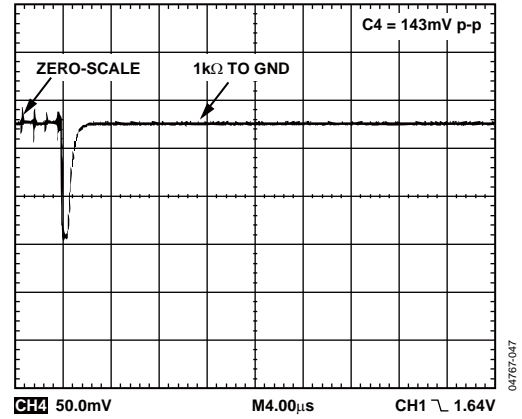


图31. 进入软件省电模式到零电平的毛刺

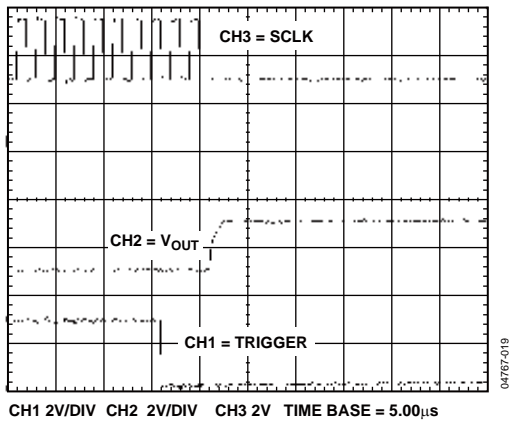


图29. 退出省电模式进入中量程的时间

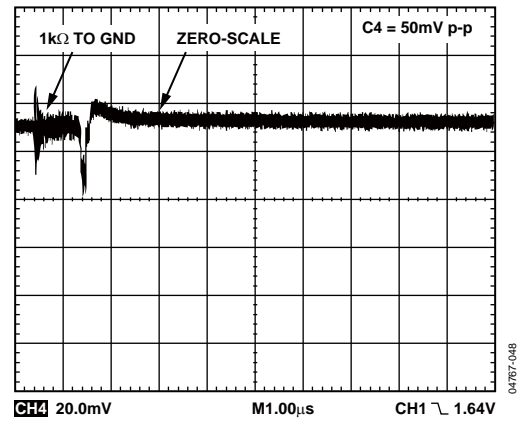


图32. 进入软件省电模式到零电平的毛刺

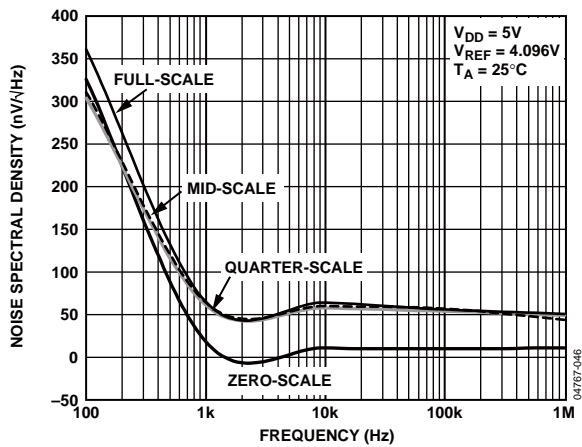


图30. 噪声频谱密度

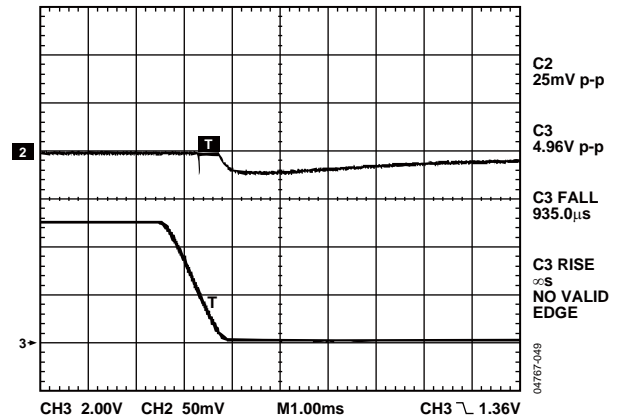


图33. 进入硬件省电模式到三态的毛刺

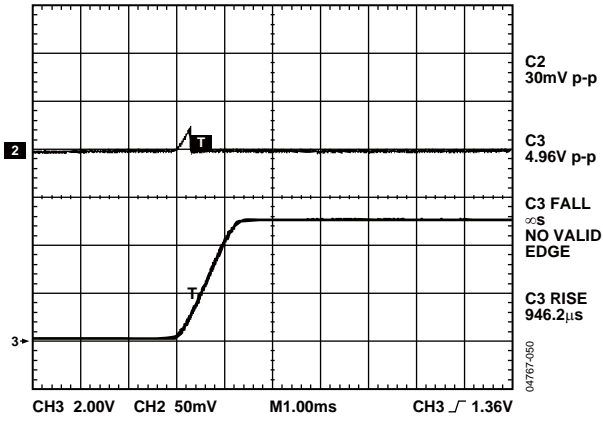


图34. 退出硬件省电模式到零电平的电刺

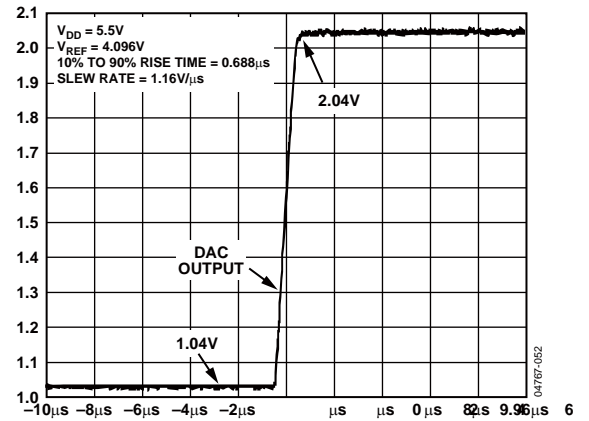


图37. 典型输出压摆率

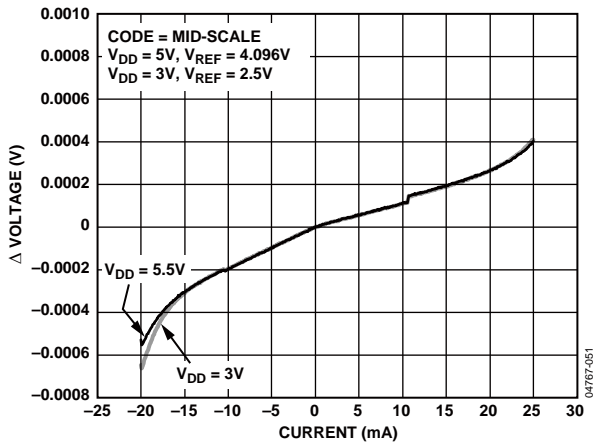


图35. 典型输出负载调整率

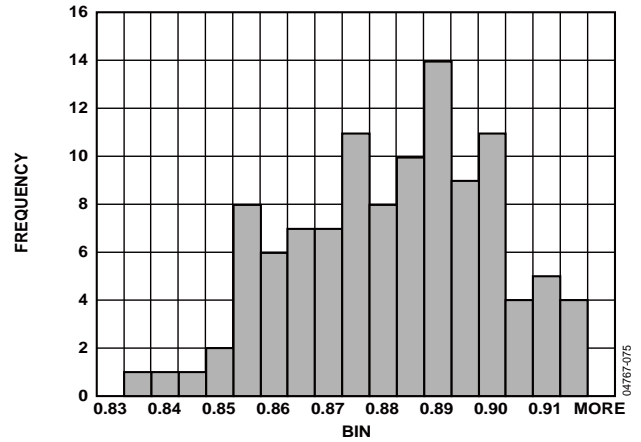


图38. $V_{DD} = 3.0\text{ V}$ 时的 I_{DD} 直方图

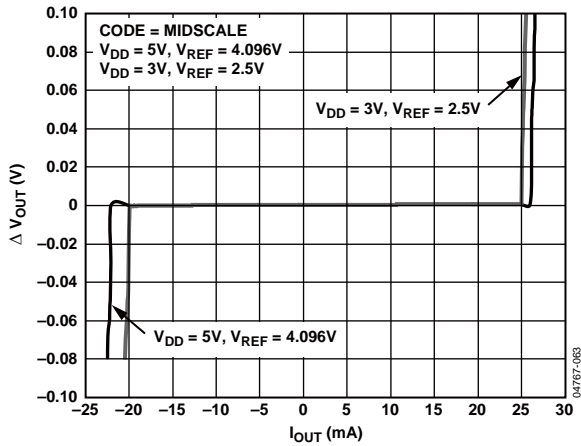


图36. 典型电流限制

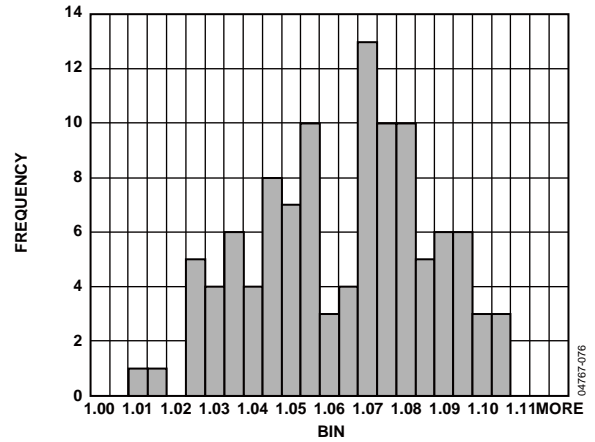


图39. $V_{DD} = 5.0\text{ V}$ 时的 I_{DD} 直方图

术语

相对精度

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC传递函数端点的直线之间的最大偏差，单位为LSB。图4给出了典型的AD5060的INL与码的关系图。

微分非线性(DNL)

微分非线性是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图5给出了典型的AD5060的DNL与码的关系图。

失调误差

失调误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在AD5040/AD5060中，零代码误差始终为正值，因为DAC输出不能低于0V。这是由于DAC和输出放大器中的失调误差的共同作用。零代码误差用mV表示。

满量程误差

满量程误差衡量将满量程码(0xFFFFAD5060,0x3FFFAD5040)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1 L_{SB}$ 。满量程误差用满量程范围的百分比表示。

增益误差

增益误差是衡量DAC量程误差的指标。它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。

总非调整误差(TUE)

总非调整误差衡量包括所有误差在内的总输出误差。图6给出了典型的AD5060的TUE与码的关系图。

失调误差漂移

失调误差漂移衡量零电平误差随温度的变化，用 $\mu V/^{\circ}C$ 表示。

增益误差漂移

增益误差TC衡量增益误差随温度的变化，用(满量程范围的ppm)/ $^{\circ}C$ 表示。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。它定义为毛刺的面积，用nV-s表示，当数字输入码在最坏的情况(编码为53786)发生1 LSB变化时进行测量，如图23和图24。图23中的展开图表明在校准程序完成后产生了毛刺；图24放大了这个毛刺。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-s，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

工作原理

AD5040/AD5060是单通道、14/16位、串行输入、电压输出DAC。工作电压范围是2.7 V至5.5 V。数据通过3线串行接口以24位字格式写入AD5060，以16位字格式写入AD5040。

AD5040和AD5060都内置了一个上电复位电路，确保DAC输出上电至一个已知的输出状态(中量程或零电平，详见订购指南)。它们也有软件省电模式，可以将功耗降至1 μ A以下。

DAC架构

AD5060的DAC架构包含两个匹配的DAC部分。简化电路图如图40所示。16位数据字的高4位MSB经解码用于驱动15个开关(E1至E15)。每个开关都将15个匹配电阻中的一个与DACGND或 V_{REF} 缓冲输出相连。数据字的其余12位驱动12位电压模式R-2R梯形网络的S0至S11开关。

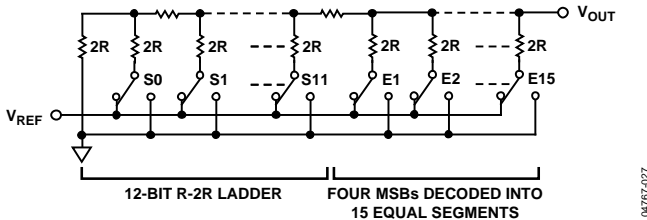


图40. AD5060的DAC梯形结构

基准电压缓冲

AD5040和AD5060采用外部基准电压源。基准输入(V_{REF})的输入范围是2 V至 $V_{DD} - 50$ mV。利用该输入电压，可提供DAC内核的缓冲基准电压。

串行接口

AD5060/AD5040的3线串行接口(\overline{SYNC} 、SCLK和DIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。

图2是AD5060写序列的时序图。

写序列通过将 \overline{SYNC} 线置为低电平来启动。对于AD5060，来自DIN线的数据在SCLK的下降沿进入24位移位寄存器。串行时钟频率最高可以达到30MHz，可以使这些器件与高速DSP兼容。在第24个时钟下降沿，最后的数据位被输入，编程功能执行完毕，DAC输出或者操作模式会改变。

在这个阶段， \overline{SYNC} 线可以保持在低电平或置为高电平。在任意一种情况下， \overline{SYNC} 必须在下一个写序列之前保持至少12 ns的高电平，这样才能用下降沿启动下一个写序列。由于 \overline{SYNC} 缓冲在 $V_{IH} = 1.8$ V时比 $V_{IH} = 0.8$ V时消耗更多电流，为了达到更低的功耗， \overline{SYNC} 在写序列之间空闲时应为低电平。如前所述，在下次写序列前它必须被置为高电平。AD5040需要16个时钟周期来更新输入移位寄存器。在第16个时钟下降沿，最后的数据位被输入，编程功能执行完毕，DAC输出或者操作模式会改变。

输入移位寄存器

AD5060的输入移位寄存器是24位宽，见图41。PD1和PD0是控制器件操作模式的控制位——正常模式或者任意三个省电模式之一(详情请见省电模式部分)。接下来的16位是数据位。这些数据在SCLK的第24个下降沿被送入DAC寄存器。

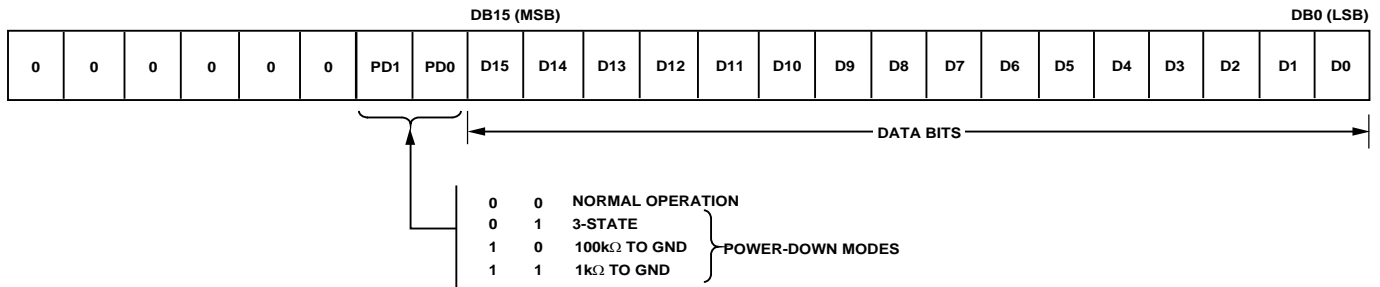


图41. AD5060输入寄存器内容

AD5040/AD5060

AD5040的输入移位寄存器是16位宽，见图42。PD1和PD0是控制器件操作模式的控制位——正常模式或者任意两个省电模式之一(详情请见省电模式部分)。接下来的14位是数据位。这些数据在SCLK的第16个下降沿被送入DAC寄存器

SYNC中断

在AD5060的正常写序列中， $\overline{\text{SYNC}}$ 线在至少24个SCLK的下降沿保持为低电平，DAC会在第24个下降沿更新。如果在第24个下降沿之前 $\overline{\text{SYNC}}$ 被拉高，写序列就会被中断。移位寄存器会复位，写序列被认为是无效的。不会造成DAC寄存器内容的更新和操作模式的改变，如图43所示。在AD5040正常的写序列中， $\overline{\text{SYNC}}$ 线在至少16个SCLK的下降沿保持为低电平，DAC会在第16个下降沿更新。如果在第16个下降沿之前 $\overline{\text{SYNC}}$ 被拉高，写序列就会被中断。移位寄存器会复位，写序列被认为是无效的。不会造成DAC寄存器内容的更新和操作模式的改变。

上电复位

AD5040和AD5060都包含在上电时控制输出电压的上电复位电路。DAC寄存器被写为零电平码或中量程码，输出电压为零电平或中量程(关于复位模型的更多详情请参考订购指南)。这些状态会一直保持，直到出现对DAC的有效的写序列。这对于在上电过程中需要了解DAC输出状态的应用来说很重要。

软件复位

通过将DAC寄存器的所有位设为1可以使AD5060进入软件复位状态，包括将位D23和位D16设为1，这不是正常的工作模式。对于AD5040来说，包括将位D15和D14设为1，这也不是正常的工作模式。注意，如果AD5040和AD5060启动了软件复位命令，就不能执行 $\overline{\text{SYNC}}$ 中断命令。

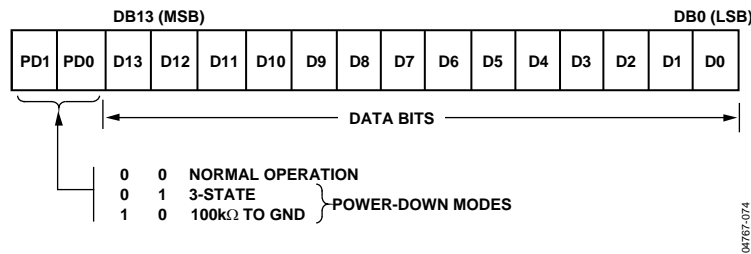


图42. AD5040输入寄存器内容

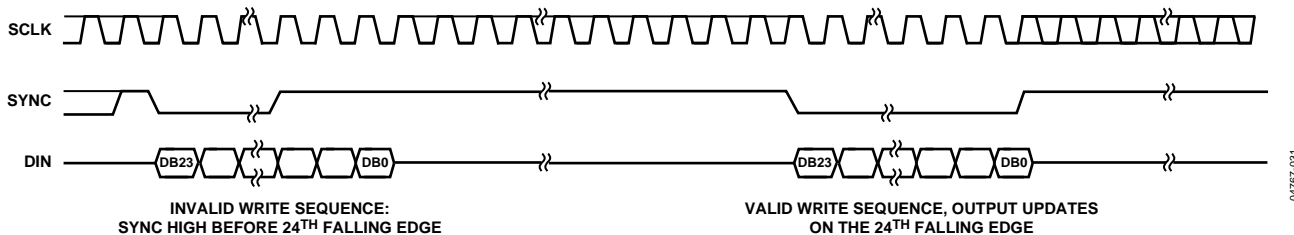


图43. AD5060 $\overline{\text{SYNC}}$ 中断设置

省电模式

AD5060具有四种工作模式，AD5040具有三种工作模式。这些模式可以通过设置控制寄存器中的两位进行软件设置，AD5060中的位DB17和DB16，AD5040中的位DB15和DB14。表6和表7显示了各位的状态与两个器件的工作模式的关系。

表6. AD5060的工作模式

DB17	DB16	工作模式
0	0	正常工作
0	1	省电模式
1	0	三态 100 kΩ 至 GND
1	1	1 kΩ 至 GND

表7. AD5040的工作模式

DB15	DB14	工作模式
0	0	正常工作
0	1	省电模式
1	0	三态 100 kΩ 至 GND
1	1	参见“软件复位”部分。

对于AD5060和AD5040，当两个最高有效位设为0时，器件为正常功耗。然而，对于AD5060的三种省电模式和AD5040的两种省电模式，供电电流在5V时会下降至小于1 μA(3V时小于65 nA)。不仅是供电电流下降，输出状态也从放大器输出变为已知值电阻网络。这是有好处的，因为在省电模式下器件的输出阻抗是已知的。输出会通过1 kΩ电阻(仅限AD5060)或100 kΩ电阻在器件内部与GND连接，或者保持开路状态(三态)。图44显示了此输出级。

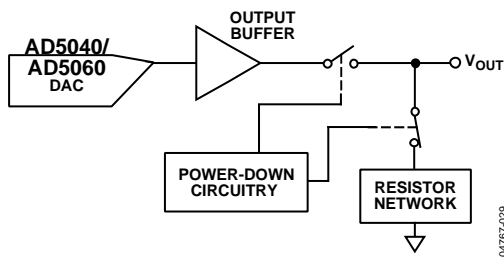


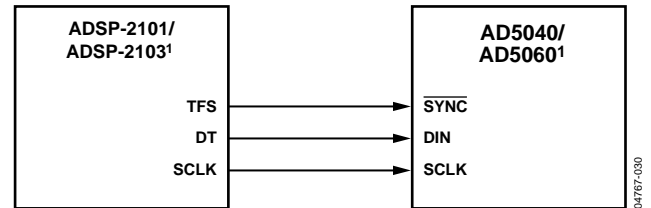
图44. 省电模式下的输出级

在省电模式有效时，偏置发生器、DAC内核以及其它相关线性电路会全部关闭。然而，在省电模式下DAC寄存器的内容不受影响。退出省电模式一般需要2.5 μs ($V_{DD} = 5V$)和5 μs ($V_{DD} = 3V$)，见图29。

微处理器接口

AD5040/AD5060与ADSP-2101/ADSP-2103的接口

图45显示的是AD5040/AD5060与ADSP-2101/ADSP-2103之间的串行接口。ADSP-2101/ADSP-2103应该设置为SPORT交替帧传输模式。ADSP-2101/ADSP-2103 SPORT模式是通过SPORT控制寄存器设置的，并且应该配置为内部时钟工作模式，低电平有效帧，16位字长。使能SPORT后，可以通过对Tx寄存器进行写操作来启动传输。

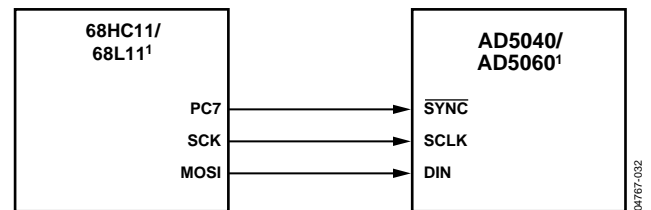


¹ADDITIONAL PINS OMITTED FOR CLARITY

图45. AD5040/AD5060与ADSP-2101/ADSP-2103的接口

AD5040/AD5060与68HC11/68L11的接口

图46显示的是AD5040/AD5060与68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK驱动AD5040/AD5060的SCLK引脚，MOSI输出驱动DAC的串行数据线。SYNC信号由端口线(PC7)获得。这个接口正确工作的条件是68HC11/68L11的CPOL位设为0，CPHA位设为1。当数据发送给DAC时，SYNC线被拉低(PC7)。当68HC11/68L11的CPOL位设为0，CPHA位设为1，MOSI在SCK下降沿输出的数据是有效的。在发送周期中，来自68HC11/68L11的8位字节的串行数据仅出现在8个时钟下降沿上。发送数据时先发送MSB高位。为了将数据加载到AD5040/AD5060，在前8位传输后，PC7保持为低电平，然后会对DAC进行第二次串行写操作。在这个过程结束之后，PC7被拉高。



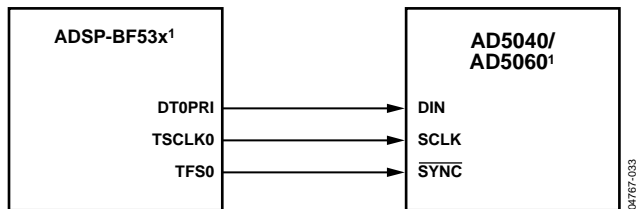
¹ADDITIONAL PINS OMITTED FOR CLARITY

图46. AD5040/AD5060与68HC11/68L11的接口

AD5040/AD5060

AD5040/AD5060与Blackfin® ADSP-BF53x的接口

图47显示的是AD5040/AD5060与Blackfin ADSP-53x微控制器之间的串行接口。ADSP-BF53x系列处理器集成两个双通道同步串口，SPORT1和SPORT0，用于串行和多处理器通信。用SPORT0与AD5040/AD5060连接时，接口的设置是：DT0PRI驱动AD5040/AD5060的SDIN引脚，TSCLK0驱动SCLK引脚，SYNC从TFS0引脚驱动。

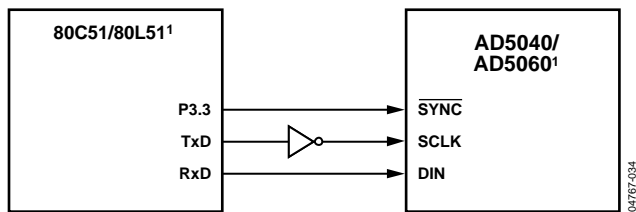


1ADDITIONAL PINS OMITTED FOR CLARITY

图47. AD5040/AD5060与Blackfin® ADSP-BF53x的接口

AD5040/AD5060与80C51/80L51的接口

图48显示的是AD5040/AD5060与80C51/80L51微控制器之间的串行接口。接口设置是：80C51/80L51的TxD驱动AD5040/AD5060的SCLK，RxD驱动器件的串行数据线。SYNC信号还是从端口的一个可编程位获得。在这个例子中，使用的是端口线P3.3。当数据被发送到AD5040时，P3.3被拉低。80C51/80L51只以8位字节传送数据；因此在发送周期中只有8个时钟下降沿。要加载数据到DAC，在前8位发送后P3.3保持低电平，第二次写周期开始传输第二个字节的数据。这个周期结束后P3.3被拉高。80C51/80L51以最低有效位(LSB)先发送的格式输出串行数据。AD5040/AD5060要求MSB为最先收到的数据位。80C51/80L51的发送例程需要考虑这一情况。

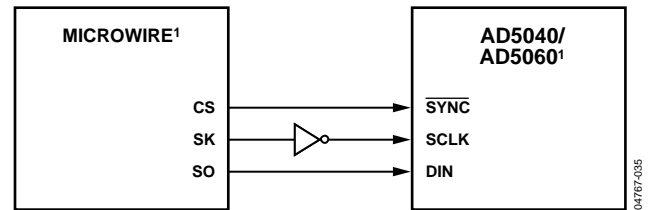


1ADDITIONAL PINS OMITTED FOR CLARITY

图48. AD5040/AD5060与80C51/80L51的接口

AD5040/AD5060与MICROWIRE的接口

图49显示的是AD5040/AD5060与MICROWIRE兼容器件之间的串行接口。串行数据在串行时钟的下降沿输出，并在SK的上升沿进入AD5040/AD5060。



1ADDITIONAL PINS OMITTED FOR CLARITY

图49. AD5040/AD5060与MICROWIRE的接口

应用

选择用于AD5040/AD5060的基准电压源

为使AD5040/AD5060发挥最佳性能，需要谨慎选择精密基准电压源。AD5040/AD5060只有一个基准电压输入 V_{REF} 。基准输入引脚的电压为DAC的正输入提供电源。因此，基准电压的任何误差都会在DAC中有所反应。

针对高精度应用选择基准电压时，需要考虑4种可能的误差源：初始精度，ppm漂移，长期漂移以及输出电压噪声。DAC输出电压的初始精度会导致DAC的满量程误差。为使这些误差最小，最好选用具有高初始精度的基准电压源。此外，选择具有输出调整功能的基准电压源，如ADR43x等，允许系统设计人员将基准电压设置为标称值以外的电压，以便校正系统误差。这种调整也可以用于消除温度误差。

AD5040/AD5060只需要极低的电源电流，非常适合低功耗应用。推荐使用电压基准源ADR395。这仅需要小于100 μ A的静态电流，因此，如果需要的话，可以在一个系统中驱动多个DAC。而且它还能提供非常好的噪声性能，在0.1 Hz至10 Hz范围内仅8 μ V p-p。

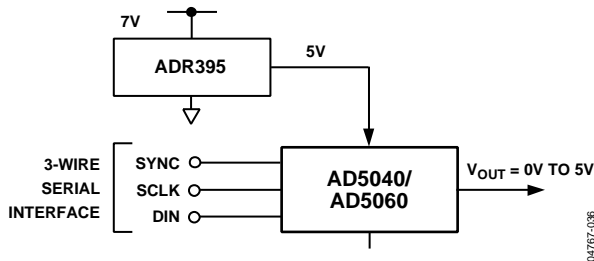


图50. ADR395作为AD5060/AD5040的基准电压源

长期漂移衡量基准电压源随时间的漂移量。具有低长期漂移特性的基准电压源可确保整体解决方案终身保持相对稳定。基准输出电压的温度系数影响INL、DNL和TUE。应选择温度系数较低的基准电压源，以降低DAC输出电压对环境温度的依赖性。

在噪声预算相对较低的高精度应用中，需要考虑基准电压源的输出电压噪声。为实现所需的系统噪声分辨率，选择输出电压噪声尽可能低的基准电压源是很重要的。ADR435等精密基准电压源在0.1 Hz至10 Hz范围内的输出噪声非常低。表8列出了一些推荐用于AD5040/AD5060的精密基准电压源

表8. 用于AD5040/AD5060的精密基准电压源

产品型号	初始精度 (mV 最大值)	温度漂移 (ppm/°C 最大值)	0.1Hz至10Hz噪声 (μ V p-p, 典型值)
ADR435	± 2	3 (SO-8)	8
ADR425	± 2	3 (SO-8)	3.4
ADR02	± 3	3 (SO-8)	10
ADR02	± 3	3 (SC70)	10
ADR395	± 5	9 (TSOT-23)	8

使用AD5040/AD5060的双极性工作模式

AD5040/AD5060专为单电源工作而设计，但是使用图51中的电路也可以实现双极性输出范围。所示电路可以实现 ± 5 V的输出电压范围。使用AD8675/AD820/AD8032或OP196/OP295可以在放大器输出端实现轨到轨输出方式。

任何输入码的输出电压可以按如下方式计算

$$V_o = \left[V_{DD} \times \left(\frac{D}{65536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

其中D代表十进制输入码(AD5060为0至65536)。

$V_{REF} = 5$ V, $R1 = R2 = 10$ k Ω 时:

$$V_o = \left(\frac{10 \times D}{65536} \right) - 5V$$

使用AD5060时，输出电压范围为 ± 5 V，0x0000对应-5 V输出，0xFFFF对应+5 V输出。

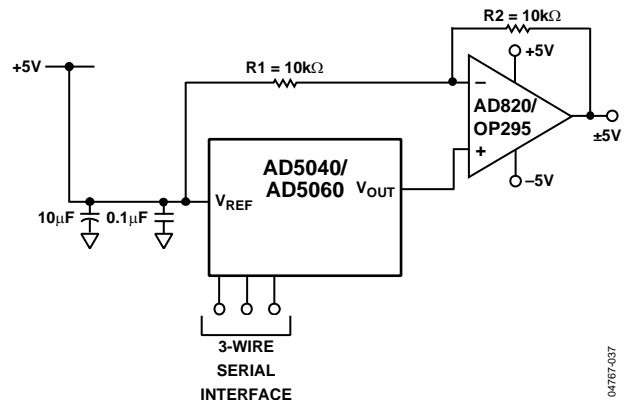


图51. 使用AD5040/AD5060的双极性工作模式

AD5040/AD5060

使用具有电流隔离接口芯片的AD5040/AD5060

在工业环境的过程控制应用中，有必要使用电流隔离接口以保护和隔离控制电路，使之免受可能出现在DAC工作区域的危险共模电压影响。iCoupler®可以提供超过2.5 kV的隔离。由于AD5040/AD5060使用三线串行逻辑接口，ADuM130x系列可以为DAC接口提供理想的数字解决方案。

AduM130x隔离器提供三个独立的隔离通道，支持多种通道配置和数据速率。它们可在2.7 V至5.5 V电源电压范围内工作，与低压系统兼容，并且能够跨越隔离栅实现电压转换功能。

图52显示使用AD5040/AD5060的典型隔离配置。器件的电源也需要隔离，这可以用变压器实现。在变压器的DAC侧，5V稳压器提供AD5040/AD5060所需的5V电源。

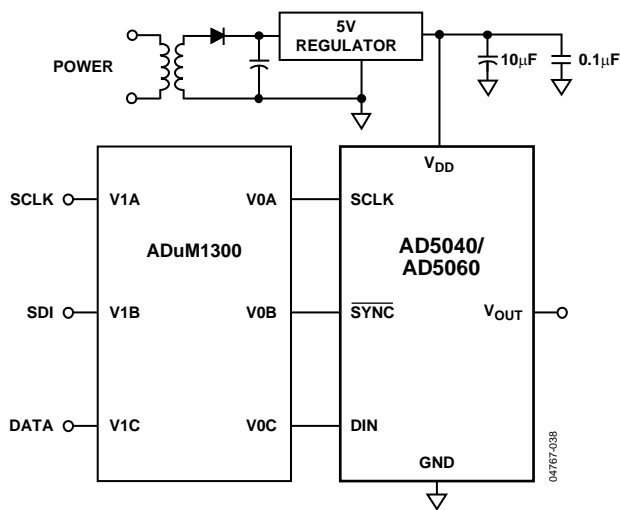


图52.具有电流隔离接口的AD5040/AD5060

电源旁路和接地

在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。含AD5040/AD5060的印刷电路板应具有单独的模拟部分和数字部分，各部分应有自己的板面积。如果AD5040/AD5060所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上连接。该接地点应尽可能靠近AD5040/AD5060。

AD5040/AD5060的电源应使用10 µF和0.1 µF电容进行旁路。这些电容应尽可能靠近该器件，0.1 µF电容最好正对着该器件。10 µF电容应为钽电容。0.1 µF电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，普通陶瓷型电容是可行的。针对内部逻辑开关引起的瞬态电流所导致的高频，该0.1 µF电容可提供低阻抗接地路径。

电源走线本身应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速切换数字信号应通过数字地屏蔽起来，使之不受电路板的其它器件影响。尽可能避免数字信号与模拟信号交叠。当走线跨过电路板相反两侧时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

注释

注释

注释